

半導体と強誘電体の機能的融合による
新エレクトロニクスデバイスの創製

姫路工業大学工学部教授

丹生博彦

半導体と強誘電体の機能的融合による 新エレクトロニクスデバイスの創製

1. 研究の背景と目的

マイクロエレクトロニクスの代表とされる半導体集積回路技術に限界が見えてきた。それに対処すべく次世代技術の追求が重要となり、材料物性の量子力学的設計の採用、新動作原理に基づく単電子トランジスタの考案等の革新的研究が開始されている。このような革新的研究テーマは、基礎科学の見地からも多くの関心を集め活況を呈している。その一方、これまで異なる分野でそれぞれに発展を遂げてきた技術を統合・活用する形態があり、その1つに半導体デバイスに強誘電体を利用することによって、デバイス特性の画期的改良を目指す方向でも活発な研究が進められている。後者の代表例として、ポストDRAM(Dynamic Random Access Memory)対策の一環としてのFeRAM(Ferroelectric Random Access Memory)の研究開発がある。その中でも特にMOS-FET(Metal Oxide Semiconductor-Field Effect Transistor)のゲート用酸化物絶縁体(O)を強誘電体(F)で置き換えたMFS-FETは、従来型より機能性に優れたメモリ動作のみならずニューロデバイスとしての機能をも発揮するデバイスとして注目され、多数の研究者がその研究開発に取り組んでいる。この種の半導体と強誘電体の機能的融合による新デバイス創製に向けての技術的課題に取り組むことが本研究の主題である。

ところで、F膜を電子デバイス中での機能薄膜として採用するにあたって、その薄膜化技術の進歩は著しいものの、(1)従来よりさらに薄くて良質のF薄膜作製が当面の技術課題の一つである。なお、そのようなF膜をS(現在では専らSi結晶)基板上に形成する必要がある。しかしながら、F構成元素のS基板中への拡散等プロセス上の難題により、S基板上直に結晶化F膜を形成し得ないのが現状である。その対策として、MFS構造のFとSの間にバッファ層(I層)を挿入する構造が提案され、そのMFIS構造が活発に検討されている。上記(1)と共に、(2)MFS-FETメモリの基盤としての良好なMFIS構造の追求が、当面の重要な技術課題である。

本研究では、課題(1)に関連してF膜の膜厚減少が電気的特性に及ぼす影響(サイズ効果)を明らかにすることと、課題(2)に関連してMFIS構造の重要構成要素であるI層として優れた特性(特にSとの優れた界面特性)を発揮する材料および薄膜形成法を探索することを目的に実験を遂行した。

2. 研究方法・研究内容

2. 1 PZT 薄膜のサイズ効果

2. 1. 1 方法

本研究ではF材料としてMOCVD(Metalorganic Chemical Vapor Deposition)法による $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (略してPZT)を採用した。そのPZT薄膜の膜厚に起因するサイズ効果を調べるために、①エピタキシャルPZT薄膜において、電気的特性の膜厚依存性を測定するとともに、②薄膜の成長初期において強誘電性が存在しうかどうかを結晶構造の面から評価を行った。

2. 1. 2 結果と考察

図1に $\text{SrRuO}_3/\text{SrTiO}_3$ 及び $\text{SrRuO}_3/\text{SiO}_2/\text{Si}$ 基板上に作製したエピタキシャル及び多結晶PZT薄膜の比誘電率の膜厚依存性を示す。エピタキシャルPZT薄膜では、

膜厚が 400nm から 27nm に減少するのに伴い、比誘電率は 260 から 170 まで低下した。一方、多結晶 PZT 薄膜では比誘電率は膜厚が 400nm から 51nm に減少するのに伴い、600 から 350 まで急激に低下した。このようなエピタキシャル膜と多結晶膜の比誘電率の膜厚依存性の違いは、結晶粒界の有無によるものと考えられる。エピタキシャル膜では結晶粒界が存在せず、比誘電率の低下は、純粋に膜厚が減少したことによるサイズ効果に起因するものと考えられる。一方、多結晶膜では膜厚の減少に伴う結晶粒径の減少が観測されており、膜厚の減少に伴うサイズ効果に加え、結晶粒径の減少に伴うサイズ効果があらわれたために比誘電率が急激に低下すると考えられる。

図 2 にエピタキシャル PZT 薄膜の D-E ヒステリシスループと残留分極、抗電界の膜厚依存性を示す。図 2 (a) に示すように膜厚 35nm の非常に薄い PZT 薄膜においても良好な強誘電性を示す D-E ヒステリシスループが得られた。図 2 (b) から残留分極 (P_r) は膜厚にほとんど依存しないが、抗電界 (E_c) は膜厚の減少に伴い急激に増加することがわかる。また、D-E ヒステリシスループの電圧軸方向のシフトが観測されたが、そのシフト量は膜厚によらず、約 0.7V とほぼ一定であった。

これらの結果示された膜厚及び結晶粒径の減少に伴うサイズ効果の要因としてはそれぞれ PZT 薄膜中の内部応力と結晶粒径の減少による常誘電性結晶粒界の体積の増加が考えられる。PZT 薄膜は作製温度 (560°C) から室温までに冷却する際にキュリー点 (約 350°C) を通過し、立方晶の常誘電相から正方晶または菱面体晶の強誘電相へと相転移する。この相転移の際に膜中には大きな圧縮応力が導入される。さらに基板との熱膨張係数の違いによる圧縮応力が加わり、室温においては面内方向に大きな圧縮応力が残留している。このような圧縮応力による歪み

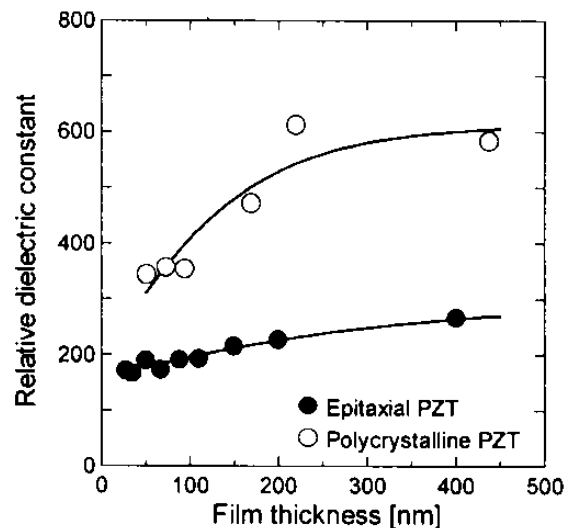


図 1 エピタキシャル及び多結晶 PZT 薄膜の比誘電率の膜厚依存性

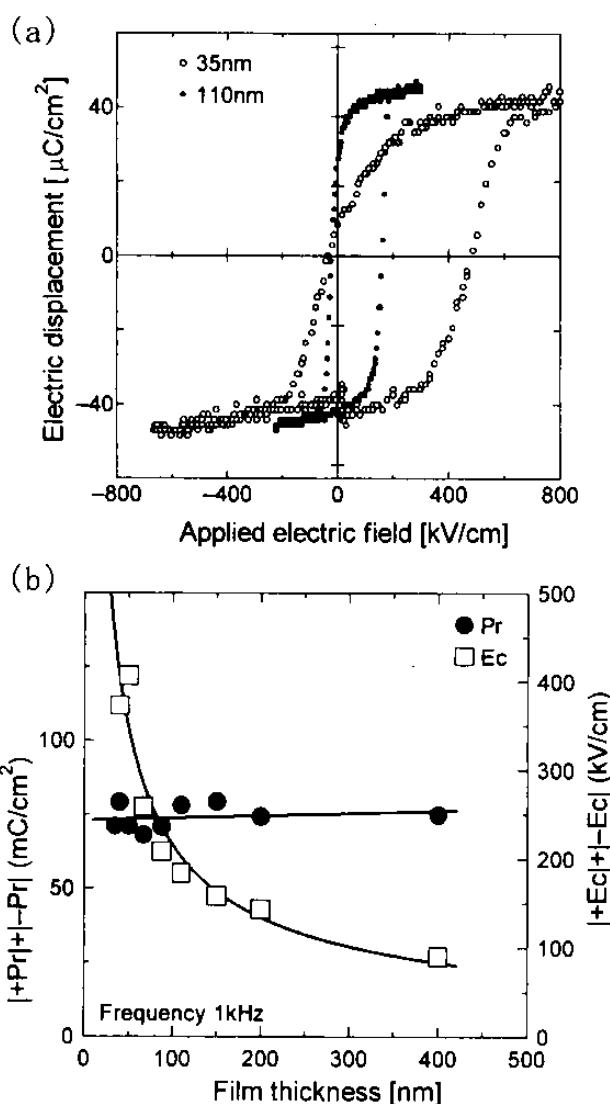


図 2 エピタキシャル PZT 薄膜の (a) D-E ヒステリシスループ、(b) 残留分極、抗電界の膜厚依存性

はBサイトが一方の安定位置からもう一方の安定位置に変位する際に越えなければならないポテンシャル障壁の高さを増大させるとともに、結晶格子の変形を伴うため、自発分極に偏りが生じ、内部電界が発生する。ポテンシャル障壁の増大及び内部電界の存在は、それぞれ抗電界の増加とD-Eヒステリシスループのシフトにつながると考えられる。また、シフト量は膜厚によらず一定であることと膜厚の減少に伴い、抗電界が急激に増加することから、応力は下部電極界面に集中し、膜の上部では応力はある程度緩和されていると考えられる。一方、強誘電体の比誘電率はBサイトイオンの双安定位置における微小変位に伴うものであるため、応力の増加に伴う歪みが増大してもそれほど影響を受けず、膜厚にそれほど依存しないものと考えられる。したがって、格子定数や熱膨張係数を考慮した上で、適切な単結晶基板、電極材料を選択するとともに、低温成長により内部応力の低減をはかることで、膜厚数10nm以下の非常に薄い領域においても良好な強誘電性を持つPZT薄膜を作製することができると考えられる。

Pt/SiO₂/Si 基板上に作製した多結晶 PbTiO₃ 薄膜の成長初期に形成される島状結晶の断面TEM像を図3に示す。基板に垂直な方向に面間隔0.28nmの格子面が観察された。これらの格子面はバルクの格子定数から{110}あるいは{101}面であることがわかっている。また、基板に対して約38°傾いた縞状のコントラストが観察され、その前後で格子面が3~4°折れ曲がっていることがわかる。これらの像は

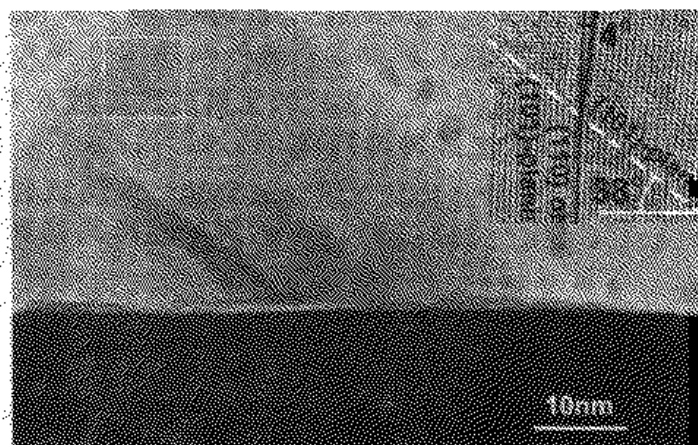


図3 多結晶PZT薄膜の成長初期の島状結晶の断面TEM像

図4に示すように、正方晶PbTiO₃が(101)面を双晶境界に持つ双晶(90°ドメイン構造)を持つことに起因するものであり、成長初期の島状結晶においても自発分極が存在し、強誘電性を持つ可能性があることを示唆している。

このように、膜厚35nmという非常に薄い領域においてもエピタキシャルPZT薄膜が強誘電性を持つことが初めて確認され、多結晶PZT薄膜でも高さ・幅ともに20~30nmの島状結晶における強誘電性の存在が示唆される結果が得られた。これらの知見は、今後更なる薄膜化(膜厚10nm以下)と高品質化を進めていく上で非常に重要であると考えられる。

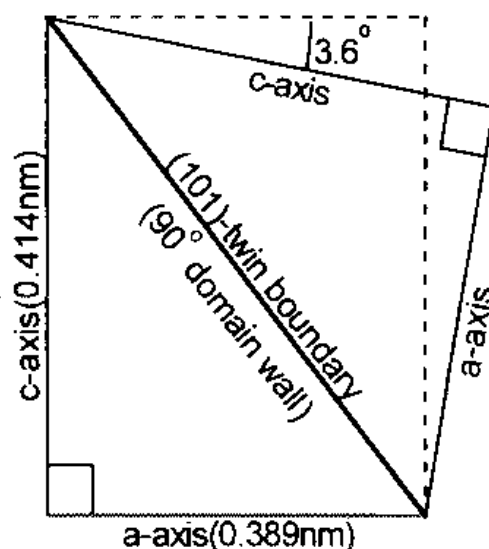


図4 正方晶PbTiO₃の90°ドメイン構造

2. 2 MFIS構造の試作・評価

2. 2. 1 方法

本研究において薄膜化に伴うサイズ効果を調べている強誘電体PZT(F)をSi半導体デバイスに融合させる場合に、その(具体例としてはMFS-FETメモリの)基本構成となるであろうMFIS構造の試作・評価を進めた。そのMFIS構造のFとSの間に

挿入されるI層は、バッファ層として(a)F膜形成用の下地、(b)界面準位の少ないIS界面の形成、および(c)Fとの複合によりメモリー特性を維持するFIゲート膜の形成、等への適性が要求される。これらのことを勘案して、本実験では、異なる材料及び膜形成法により次に述べる3種類のI層をバッファ層とするMFIS構造の作製・評価を行った。

(1)RFマグネトロンスパッタ法によるMgO薄膜をI層とするMFIS構造:MgO単結晶基板上にはPZTがエピタキシャル成長するとの実験報告があるので、本MgO薄膜がF膜形成にとって良好な下地となり得ると期待される。

(2)マイクロ波励起プラズマ酸化法による Al_2O_3 をI層とするMFIS構造:本形成法は、低温プロセスでかつプラズマダメージを低減するよう工夫されているので、良好な特性のIS界面形成が期待される。

(3)MOCVD法による TiO_2 薄膜をI層とするMFIS構造: TiO_2 は、PZTの構成元素の一部からなるので、MOCVD法による連続プロセスが採用できる。従って、MOCVD法の特長とされる優れた膜質制御性が活用できる。

ここで、(1)、(2)、(3)のI層成膜温度をそれぞれ 580°C 、室温、 450°C とした。

さらに、電気的特性評価用試料として上記(1)-(3)に対応するMFISダイオードを作製し、それらのC-V(Capacitance-Voltage)特性及びDLTS(Deep Level Transient Spectroscopy)による界面準位の測定を行った。

2. 2. 2 結果と考察

[バッファI層が結晶性に及ぼす効果]

Si基板直上及び各種バッファI層上に作製したPZT薄膜のXRDプロファイルを図5に示すように、Si基板直上に作製したPZT薄膜では観測されなかったペロブスカイト層からの回折ピークがMgO、 Al_2O_3 、 TiO_2 のいずれのバッファI層上に作製したPZT薄膜では観測された。いずれの場合もPZT薄膜は(001)、(100)面に優先配向した多結晶膜であった。しかしながら、回折ピークの強度はPt/ SiO_2 /Si基板上のPZT薄膜に比べると弱く、さらなる結晶化が望まれる。このことから、これらの

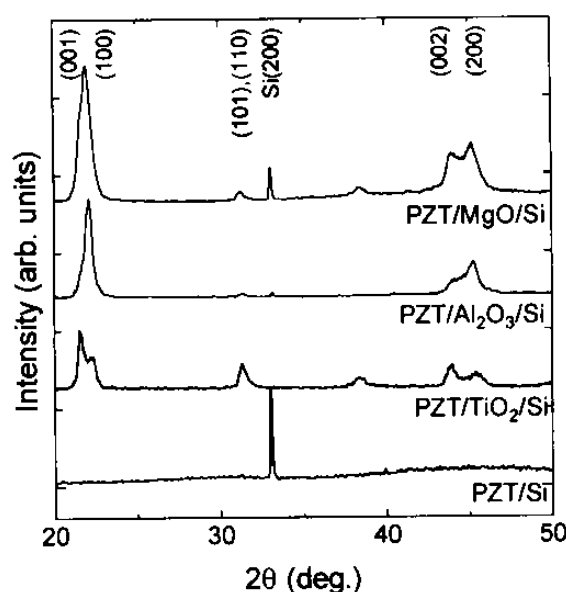


図5 Si基板直上及び各種バッファI層上に作製したPZT薄膜のXRDプロファイル

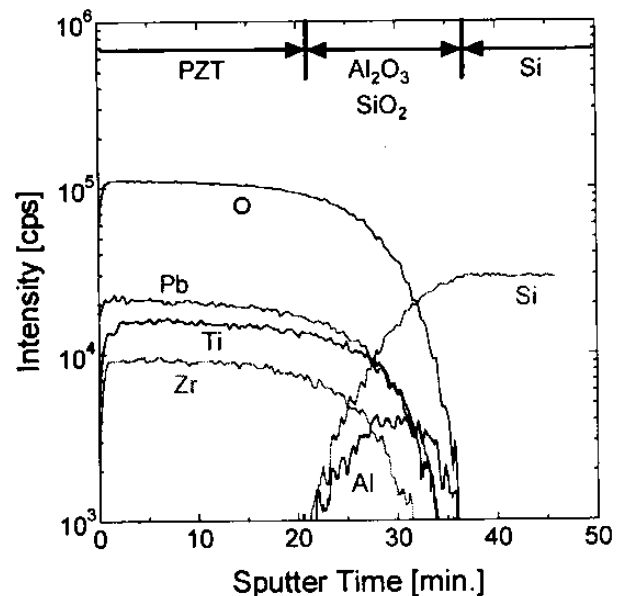


図6 オージェ電子分光法によるPZT/ Al_2O_3 /Siの深さ方向組成プロファイル

バッファ I 層が PZT 薄膜の Si 基板上での結晶化に寄与することが確認された。また、オージェ電子分光組成分析による PZT/Al₂O₃/Si の深さ方向組成プロファイルの測定結果 (図 6) から、バッファ I 層 (Al₂O₃ 薄膜) が PZT の構成元素 (特に危惧される Pb) の Si 基板中への拡散を抑制するバリア効果を発揮することも確かめられた。

[界面準位密度]

いずれのバッファ I 層 (MgO, Al₂O₃, TiO₂) を用いた MFIS ダイオードに於いても、電界効果による半導体界面の状態変化を反映した C-V 特性が測定された。その例として、Au/PZT/Al₂O₃/n-Si ダイオードの高周波 C-V 特性を図 7 (a) に示す、すなわちゲート (Au 電極) に印加された電圧 V の正から負への変化につれて、キャリアの蓄積・空乏・反転に伴う容量変化がはっきりと観測された。図 7 (b) には、同一試料についての界面準位密度測定時に観測された DLTS 信号を示している。

DLTS 信号より求めた界面準位密度は、用いたバッファ I 層の種類及び作製プロセスに強く依存したが、MgO, Al₂O₃, TiO₂ を用いた MFIS ダイオードの IS 界面準位密度として、それぞれ 10¹³、10¹¹、10¹³ [eV⁻¹cm⁻²] オーダーの値を得た。Al₂O₃ を用いた場合に最小の値が得られているが、SiMOS ダイオードの OS 界面に比べると非常に大きな値である。しかしながら、10¹¹ [eV⁻¹cm⁻²] 程度の界面準位にトラップされるキャリアの電荷換算量は、通常の F 膜で容易に得られている残留分極量 1μCcm⁻² (=6.25・10¹² 個 cm⁻²) より少なく、充分補償されると見積られる。なお、この種の界面に S 基板と電氣的に絶縁された良好な電導チャネルを形成するには、キャリア移動度の観点からの検討も、今後必要となる。

[電氣的メモリー効果]

MFIS 構造による FET メモリの実現にあたっては、IS 界面の電気伝導度を電界効果により変調するのみならず F の有するメモリー効果を F/I 複合ゲート膜を介して発揮させる必要がある。この点からも、F/I 複合ゲート膜の材料、成膜法、寸法比等が重要検討項目となる。ここでは、本研究での最良と考えられる MFIS 構造による Au/PZT/Al₂O₃/n-Si ダイオードの高周波 C-V 特性におけるメモリー効果の観測結果について述べ、予備的な検討を行った。

C-V 特性に於いて、F/I ゲート膜の残留分極によるヒステリシスとゲート膜中へ

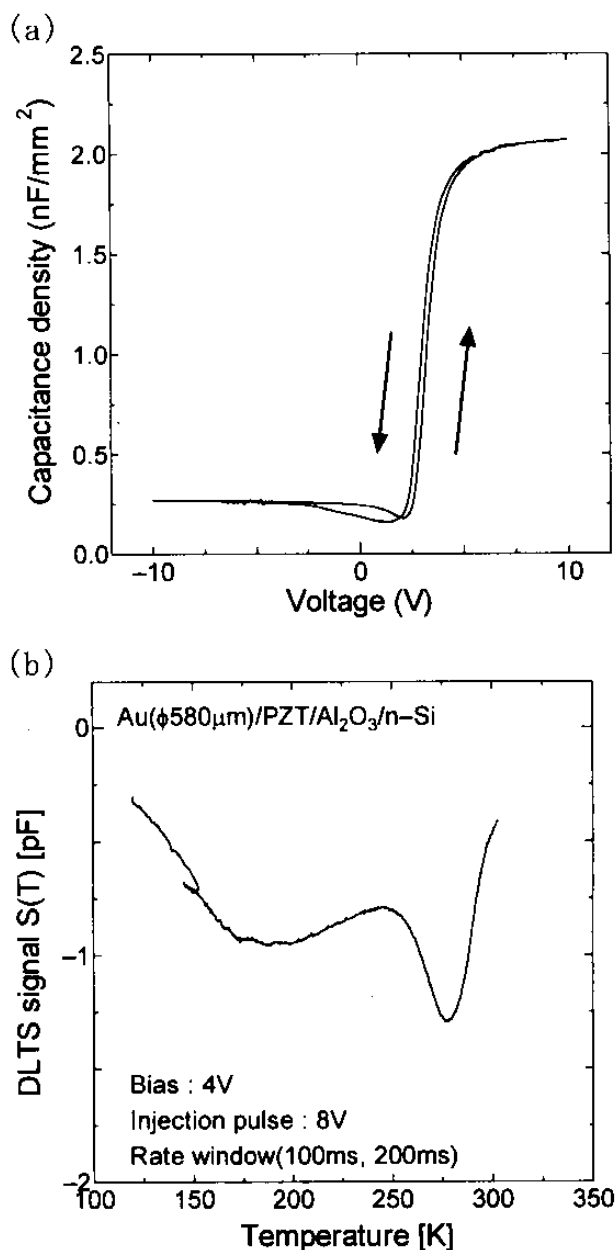


図 7 Au/PZT/Al₂O₃/n-Si ダイオードの (a) 高周波 C-V 特性, (b) DLTS 信号

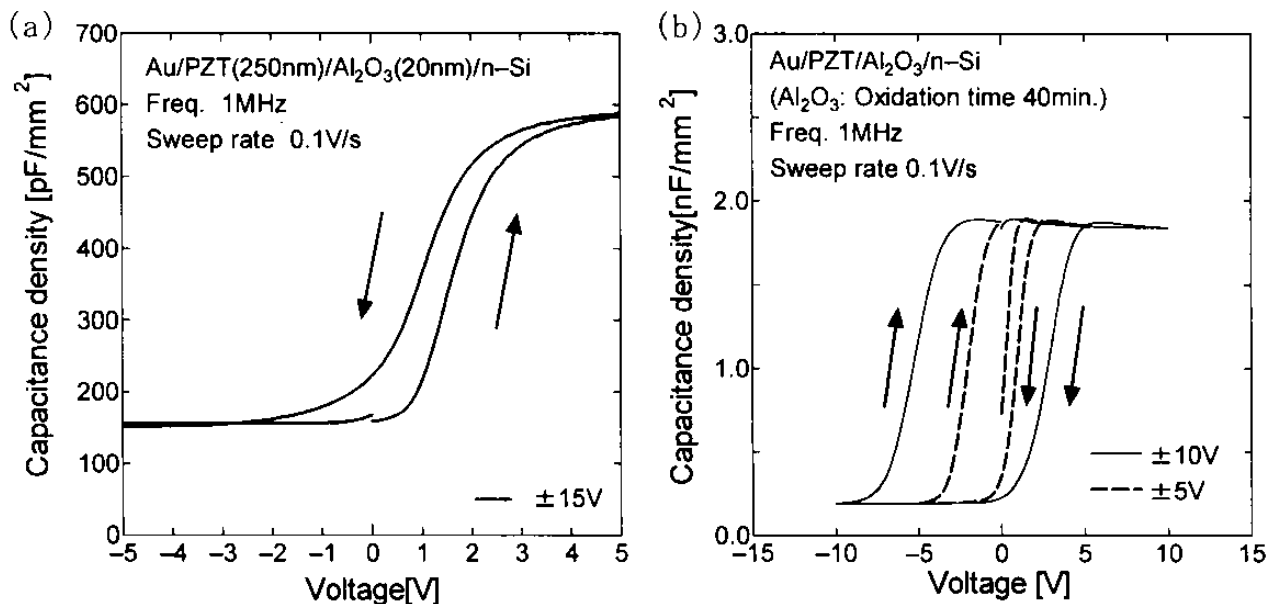


図8 (a) 残留分極によるヒステリシス, (b) キャリヤ注入によるヒステリシス
 キャリヤ電荷注入によるものの2種類のヒステリシスが観測された。その例を図8 (a), (b)に示す。図(a)は残留分極によると考えられるのヒステリシスループ（反時計回り）を描いており、これはAu/PZT/Al₂O₃/n-SiのAl₂O₃膜厚が約20nmの試料で観測された。Al₂O₃膜厚がそれより数nm薄い試料で観測されたのが同図(b)であり、キャリア注入によると考えられるヒステリシスループ（時計回り）を描いている。どちらの場合も、メモリウィンド巾（ヒステリシスの大きさ）が掃引ゲート電圧とともに増加し、Fの強誘電性の関与を示唆している。但し、試料によって掃引電圧の増加につれて、反時計回りから反時計回りに反転するヒステリシスループも観測されており、詳細な機構は明らかでない。その解明にあたって、より均一なAl₂O₃膜の形成と電子注入箇所の同定が、メモリウィンド巾の増大とともに、今後の検討課題である。

3. 研究成果

本研究では、強誘電体（PZT）膜の作製にデバイス用薄膜成長技術として優れたMOCVD法を採用した場合のPZT薄膜のサイズ効果を明らかにするとともに、それを半導体に融合させたデバイス開発において基本構造となるであろうMFIS(Metal-Ferroelectrics-Insulator-Semiconductor)構造について実験的検討を行い、以下に要約される成果を得た。

MOCVD法により成長させたエピタキシャルPZTは厚さ35nmときわめて薄い膜で強誘電性を持つことが確認され、多結晶PZTでも高さ、幅ともに20-30nmの島状結晶における強誘電性の存在が示唆された。

MgO, Al₂O₃, TiO₂のいずれをバッファ層としても、Si基板上への結晶化PZT薄膜のMOCVD成長が可能であることが明らかにされた。特に、マイクロ波励起プラズマ酸化法により形成されたAl₂O₃がSiとの比較的良好な界面を形成し、その界面準位密度は通常得られる残留分極で充分補償される程度の値であることが確認された。

強誘電体の非線形誘電特性に関連して、分極形とキャリア注入形の両ヒステリシスの存在が明らかにされた。この機構の詳細を解明してメモリウィンドウ幅を制御することが、半導体界面に沿って十分な電気伝導度を与えるためにキャリア移動度を高めるとともに、MFIS-FETメモリの開発に向けての今後の重要な検討課題となる。

4. 生活や産業への貢献および波及効果

最近、携帯電話の著しい普及率に代表されるように通信手段の小型・携帯化が急速に進行し、半導体産業においてはハードディスク、フロッピーディスクに置き換わるデータ記憶媒体として半導体フラッシュメモリがポストDRAMの牽引車になりつつある。このような状況からすると、本研究で検討されているMFS-FETは、フラッシュメモリと同レベルの集積化が可能であって、しかも高速・高頻度の書き換えとニューロデバイスとしての新機能を併せ持っていることから、実用化に向けての更なる界面特性の改善が必要とされるものの、マルチメディア携帯機器の将来の発展に大きく貢献しうると予想される。

なお、本研究の実験検討により有効性が明らかにされたMOCVD法による強誘電体薄膜作製法およびマイクロ波励起プラズマ酸化によるバッファ層形成法は、比較的に低温プロセスであることから、これらの手法が、強誘電体を融合の対象とする半導体デバイスをSiデバイスのみならず、化合物半導体デバイスへの拡張を促進すると考えられる。

発表論文

- 1) Size Effects of Epitaxial and Polycrystalline $\text{Pb}(\text{Zr,Ti})\text{O}_3$ Thin Films Grown by Metalorganic Chemical Vapor Deposition, H.Fujisawa, S.Nakashima, K.Kaibara, M.Shimizu and H.Niu, Jpn.J.Appl.Phys., **38**(1999)pp.5392-5396.
- 2) Effects of the purity of Ti source precursor on the electrical properties of $\text{Pb}(\text{Zr,Ti})\text{O}_3$ thin films prepared by MOCVD, M. Shimizu, M. Yoshida, H. Fujisawa and H. Niu, Korean J.Appl.Phys., **35**, pp.S1529-S1531, 1999.
- 3) Effects of Film Thickness and Grain Size on the Electrical Properties of $\text{Pb}(\text{Zr,Ti})\text{O}_3$ Thin Films Prepared by MOCVD, M.Shimizu, S.Nakashima, K.Kaibara, H.Fujisawa and H.Niu, Ferroelectrics, (2000)(in press).
- 4) Thickness Dependence of Crystalline and Electrical Properties of Ultrathin PZT Films Grown on $\text{SrRuO}_3/\text{SrTiO}_3$ by MOCVD, M.Shimizu, H.Fujisawa and H.Niu, Mater.Res.Soc.Symp.Proc., **596**, (1999)(in press).
- 5) Observations of Domain Structure at Initial Growth Stage of PbTiO_3 Thin Films Grown by MOCVD, H.Fujisawa, M.Shimizu, H.Niu, K.Honda and S.Ohtani, Mater.Res.Soc.Symp.Proc., **596**, (1999)(in press).
- 6) $\text{Pb}(\text{Zr,Ti})\text{O}_3$ 薄膜を用いたMFIS構造における絶縁体膜の検討 - C-V及びDLTS法による界面準位密度の測定 -, 藤沢浩訓, 清水勝, 丹生博彦, 平成12年電子情報通信学会電子デバイス研究会/シリコン材料デバイス研究会「強誘電体材料及びその応用」, 電子情報通信学会技術研究報告書 ED99-320, SDM99-213 (2000-03), pp. 7-11.

口頭発表

- 1) 板東達也, 上林輝彦, 鷺海健一, 藤沢浩訓, 清水勝, 丹生博彦, 松田哲朗: 「プラズマ酸化法による Al_2O_3 バッファ層を用いたMFIS構造の作製と評価」, 平成12年(2000)春季第47回応用物理学関係連合講演会講演予稿集, p. 568, 論文No. 31p-P7-20.
- 2) 森本浩司, 藤沢浩訓, 清水勝, 丹生博彦, 本田耕一郎, 大谷成元: 「MOCVD法により作製した PbTiO_3 薄膜の成長初期過程のTEMによる観察[II]」, 平成12年(2000)春季第47回応用物理学関係連合講演会講演予稿集, p. 568, 論文No. 29p-P7-13.