

第1部 (35) PSII・DLC被膜の開発と界面信頼性改善

Development for Adhesion Improvement
DLC Coatings by PSII Method

西口 晃(ナノテック) 平塚 傑工(ナノテック) 中森 秀樹(ナノテック)

Akira NISHIGUCHI, Nanotec, Shiraokamachi-Nishi, Saitama

Masanori HIRSTSUKA, Nanotec

Hideki NAKAMORI, Nanotec

Diamond-Like Carbon (DLC) has superior characteristics that low friction coefficient and high wear resistance, high corrosion resistance. DLC coatings is made use of moulds, tools and mechanical parts. We coated DLC coatings using an ion beam deposition method with a pulse bias (a few kV) of Plasma Source Ion Implantation- PSII method because of an improvement of DLC coatings. We experienced a coating method of a superior DLC coatings by changing of a bias voltage.

Key Words : PSII, DLC, Ceramics, Corona surf, Ion Beam Deposition

1. はじめに

ダイヤモンド状炭素(Diamond-Like Carbon ; DLC) 膜は超硬度、低摩擦係数、耐摩耗性、耐食性、耐凝着性などの特徴から電子部品、磁気記録媒体、光学レンズの保護膜、切削工具、刃物、金型への成膜など幅広い分野にわたって実用されている。炭素材料の代表的なものとして、グラファイト、ダイヤモンドが挙げられるが、その結合状態によって結晶構造が異なっている。これは炭素の電子が sp^3 混成軌道(ダイヤモンド)や sp^2 混成軌道(グラファイト)をとり得るためである。DLC は短距離秩序的には炭素間の結合が、このような sp^3 、 sp^2 の結合を持っていると考えられるが、マクロ的な見方をすれば、アモルファス状の構造を持っている。また成膜プロセスの違いにより、機械的特性は大きく変化し、用途に応じて、広範囲で制御することができる。

成膜方法としては、従来の方法として、物理的蒸着(Physical Vapor Deposition ; PVD)法、化学的気相成長(Cheical Vapor Deposition ; CVD)法があり、レーザPVD 法のように成膜速度は速いが大面積の薄膜形成が難しい方法、RF プラズマ CVD 法のように成膜速度は比較的遅いが、大面積の薄膜形成が可能なものなど、それぞれ特徴を備えている。ここでは成膜速度が比較的速く、大面積の薄膜形成が可能な PVD 法の一つであるイオンビーム蒸着(Ion Beam Plating ; IBP)法を用いた。さらに、膜の基板に対する密着力を上げる手段として、プラズマソースイオン注入(Plasma Source Ion Implantation ; PSII)法

の技術である、基板に負パルスバイアスを印加する方法を取り入れた。しかし、基板印加電圧を従来の PSII 法は数十 kV であるが、数 kV とした。この理由については、密着力を向上させる目的としては、数 kV で充分であることと、印加電圧を過大にすると DLC 膜自身の構造を破壊してしまう恐れがあるためである。また、PSII 法はプラズマ源に RF 放電を用いていることが多いが、ここでは直流イオンソースを用いた。これにより、プラズマのエネルギー分布関数が鋭くなり、目的のエネルギー(sp^3 、 sp^2 結合を生成するためのエネルギー)のみを発生させることが期待できる。この方法を、負パルスバイアスイオンビーム蒸着(Negative Pulse Biased Ion Beam Plating)法と呼ぶ。¹⁾

ここでは、負パルスバイアスイオンビーム蒸着法によって、DLC を成膜する際に、直流イオンソースのアノード電圧、基板に印加する負パルスバイアスを変化させ、高絶縁性と耐摩耗性に優れた DLC 成膜方法を検討した。

2. 目的

高絶縁性の DLC 膜にすることを目的とし、DC バイアスとパルスバイアスのコロナサーフによる電荷保持力の比較及びパルスバイアスによる膜質変化について比較を行う。

3. 実験方法

パルス条件を以下に示す。

基板バイアス 2kV で SUS 基板は剥離した。しかし、その他のサンプルは全て剥離が無かった。



Fig. 4 After Coating of ④Batch



Fig. 5 After Coating of ②Batch (Same③、⑤)

・評価試験結果及び成膜条件

基板		Siウエハ			
電圧 (kV)	電流 (mA)	膜厚 (μm)	膜厚レート($\mu\text{m/min}$)	硬さ (HV)	ヤング率 (GPa)
0.5	10	0.85	0.0031	1147	103.6
1	19	0.75	0.0042	1502.8	163.2
2	30	1.1	0.0061	1516.4	183.0
3	40	1	0.0077	1601	169.0
2-LOW	24	1	0.0056	1527.8	174.0

Table 2 Coating Condition and Result

基板電圧と電流及び膜厚レートの関係を図6に示す。膜厚は、表面粗さ計にて測定を行った。

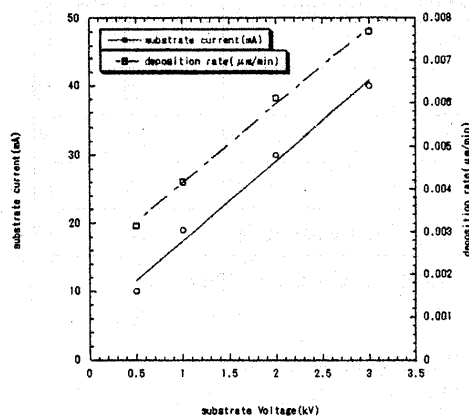


Fig. 6 Character of Substrate Voltage—Current and Coating Thickness

放電条件は統一してあるので、基板電圧の上昇に伴い、基板電流値も増加する。また、膜厚レートも基板電圧に比例している。つまり、膜厚レートは基板電流に比例している。(図7に基板電流と膜厚レートを示す。)

今後、この点に留意して頂きたい。本実験は基板電圧と共に、電流値も変化しているので、膜質制御が、基板電圧によるものなのか、電流によるものなのか、決定することは出来ない。

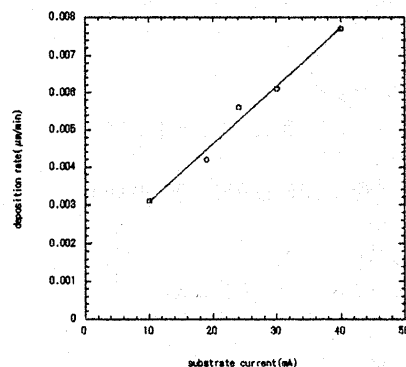


Fig. 7 Relation of Substrate Current — Coating Thickness Rate

コロナサーフを用いて、表面の絶縁性の評価を行った。DC バイアスでの DLC のデータを示す。グラフが上部にあるほど、電荷が表面に保持されやすく、絶縁性が高いと推察できる。

バッチ No	基板電圧(kV)	周波数 (kHz)	Duty(%)
①	2	1.5	30
②	1	1.5	30
③	3	1.5	30
④	0.5	1.5	30
⑤	2(Anode—LOW)	1.5	30

Table 1 Condition of Pulse

放電条件を以下に示す。

①～④バッチ

Ar ボンバード条件

フィラメント：10V 30A アノード：1A

リフレクタ：10V 0.06A

基板電圧及び電流：0.5→2.0 kV 20→40mA

時間：30 min

ガス圧： 3.0×10^{-1} Pa (30sccm)

基板回転スピード：2.3 (メーター表示)

DLC 成膜条件

フィラメント：10～13V 30A

アノード：0.8A

リフレクタ：0.055A

基板電圧及び電流：表2に示す。

ガス圧： 1.9×10^{-1} Pa

基板回転スピード：2.3 (メーター表示)

⑤バッチ

Ar ボンバード条件

フィラメント：10V 30A アノード：1A

リフレクタ：なし

基板電圧及び電流：0.5→2.0 kV 20→30mA

時間：30 min

ガス圧： 3.0×10^{-1} Pa

基板回転モータスピード：2.30 r/min

DLC 成膜条件

フィラメント：10～13V 30A

アノード：0.65A

リフレクタ：なし

基板電圧及び電流：2.0 kV 24mA

ガス圧： 2.0×10^{-1} Pa

基板回転モータスピード：2.30 r/min

①～④バッチは電圧を変化させ比較した。

⑤バッチ目はリフレクタなしで成膜を行った。その理由は、リフレクタ有りの時のダストが気になったためと放電条件に関する検討も行っていたためである。

①～⑤バッチ

試料取り付け状況

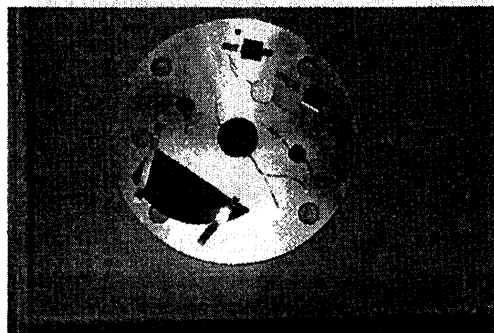


Fig.1 Setting Situation

セッティング状況を以下に示す。



Fig.2 Setting Situation

4. 結果

①バッチ



Fig.3 After Coating of ①Batch

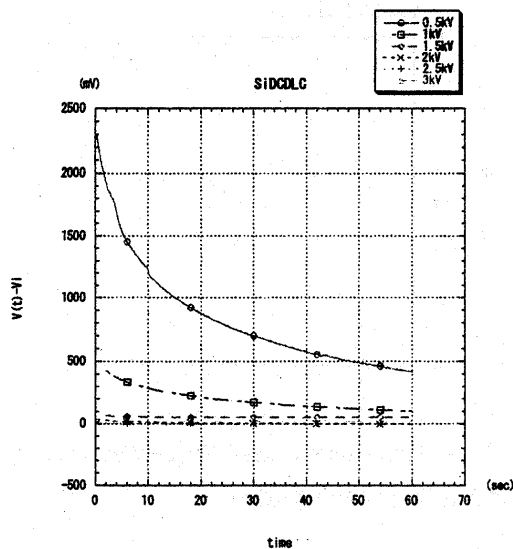


Fig.8 Corona Surf Date of DLC+Si

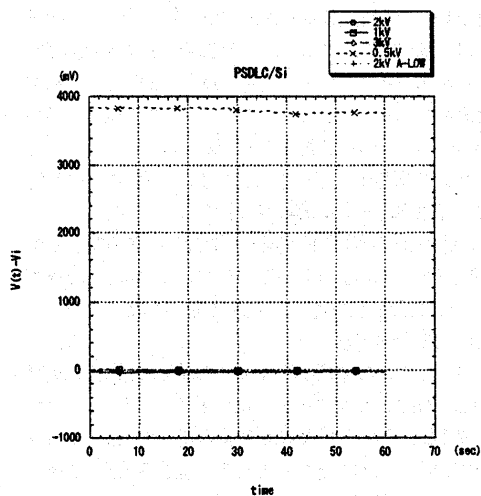


Fig.9 Corona Surf Date of PSII DLC+Si

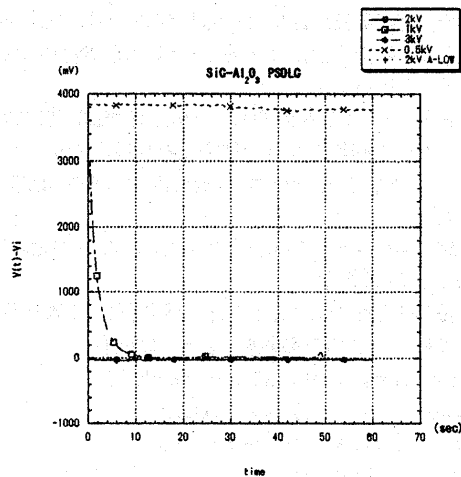


Fig.10 Corona Surf Date of PSII DLC+ Ceramics

DC バイアスでは、電圧の低下に従い、絶縁性は向上する。0.5kV の時が最大で、次は 1kV である。
パルスバイアスでは、DC とは違い 0.5kV でドラスティックに変化する。0.5kV のみ絶縁性が高い。
電圧の低下と共に絶縁性が向上する。0.5kV の時が最も絶縁性が高い。

Si ウエハによる硬さ測定の結果を図 11 に示す。

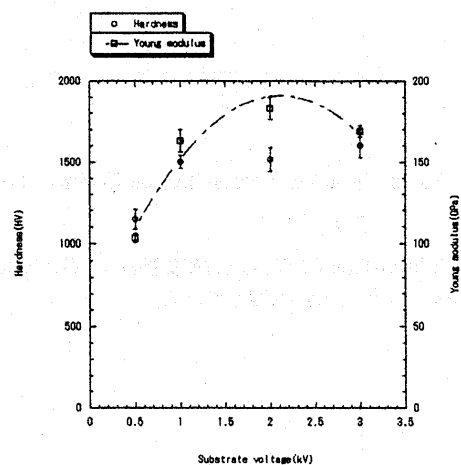


Fig.11 Relation of Substrate—
Hardness—Young Module

ヤング率が最も高い時、図3に示すようにSUSの基板のDLCが剥離した。その他の条件の時、剥離は見られなかった。基板電圧は2kVでは応力は高いと考えられるので、今後、基板電圧は、ある程度下げ応力を調整するのが望ましいと思われる。

絶縁物上のスクラッチ試験の結果は、剥離臨界荷重では100Nまで、剥離無く、大きな差異は見受けられなかった。

ただし、硬度が高いサンプルほどAEが出る荷重は低くなった。

剥離が無かったので、比較は出来ないため、具体的な記述はここでは行わない。

摩擦摩耗評価については、以下に示す条件で比較を行い、剥離は無く、低い摩擦係数を示した。(図12)

Static partner: ball 6.35 mm, on Al₂O₃

Load: 5.00N Radius: 1.50mm

Speed: 100cm/s Atmosphere: air

Distance: 30000 laps

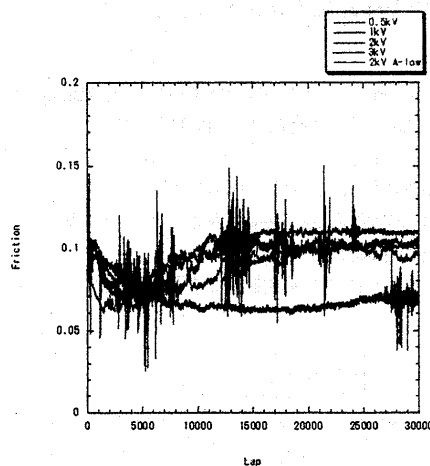


Fig.12 Result of Friction Test on Ceramics PSII DLC

基板電圧が0.5kVの時、最も摩擦係数の低下が見られた。その他はほぼ同様の摩擦係数であった。

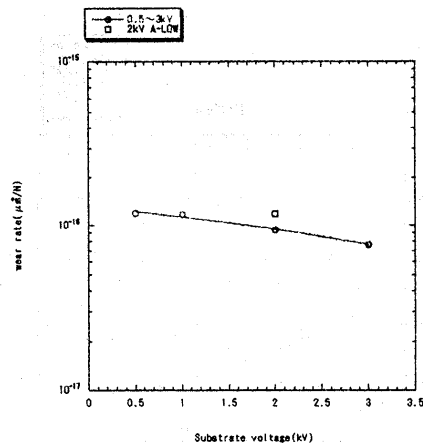


Fig.13 Relation of Substrate Voltage—Wear Rate

電圧の増加と共に摩耗量は減少した。

5. 考察

まず、パルスの成膜レートと基板電圧、電流の関係は、電流値がレートと比例関係にあるのは、当然であり、膜厚レートは、基材に入射するイオンの個数つまり基板電流である。パルスバイアスにおいても、DCにおいても、基本的には同様である。しかし、パルスバイアスの場合、基板電位が0Vの状態の時にあり、その間、ニュートラルな分子やイオンの影響下に強くさらされる。今回の条件では、そのことは膜厚レートに影響が大きく出なかった。

今回、①～④で放電条件を統一したため、基板電圧と共に電流値も動いてしまっている。そのため、電圧の影響であると一概には言えない。このことを留意した上で電圧を軸とした考察を述べる。

パルスバイアスの基板電圧0.5kVの時に、最も高い絶縁性を示し、硬度、ヤング率ともに最小値を示した。また、JFCCの報告²⁰⁾から基板電圧の低下供に水素含有量も高くなっている。このことから考えて、基板電圧が低い時、polymer-likeなDLCであると考えられる。

摩耗量は、反対に基板電圧の増加と共に下がる。0.5kVでは一番摩耗する。これは、硬度との関係が考えられる。しかし、摩擦摩耗試験条件を変えた場合には、どうなるかは今後の課題である。基板電圧が増加すると摩耗量は低下した。

つまり、電圧が低くなり、水素含有量が増え、ポリマーに近づき、応力や硬度が低下する。このことは、高い面圧に対して、膜自体が破壊されずらくなる。しかし、摩耗量の増大する。これらの要因と、今後、応用される部材の使用条件に合致したものを、制御しながら見つけ出していくことが必要である。

6. まとめ

アルミナ系セラミックへの DLC 成膜は、パルスバイアスを下げると電荷保持力（コロナサーフでの評価）は向上することがわかった。ただし、硬度の低下及び摩耗量は増大する。パルスバイアスを用い、電圧を制御することで、大きく絶縁性や硬度を制御できることがわかった。今後、他の応用用途も開拓していく予定である。

表3に今回の実験及び参考文献により予想できる DLC のまとめを記す。これは概略的なまとめであり、細かい値は明示できない。今後、実験を重ね結果を出していく所存である。

名称	DLC		
	Polymer like	Diamond like	Graphit like
電圧	低	→	高
水素含有量	高	→	低
硬度(HV)	低	高	低
絶縁性	高	→	低
応力	小	大	小

Table 3 Result of DLC Coatings

7. 参考文献

- 1) 中森秀樹 吉田仁紀 鈴木薫：(Trans.IEE of Japan, Vol.122-A, No.3, March, 2002)
- 2) JFCC 和住：日本トライボロジー学会トライボロジー会議予稿集（宇都宮 2001-11）
- 3) JFCC 和住：第2回炭素系高機能材料技術シンポジウム予稿集（2002-2）