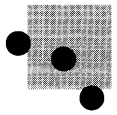
The Japan Society of Plasma Science and Nuclear Fusion Research



小特集 半導体パルスパワー電源の現状と今後
～プラズマ研究をささえる半導体パワーデバイス～

6．高速・大容量半導体パワーデバイス

高田育紀
（三菱電機）

High-Speed, Large-Current Power Semiconductors for Pulse Power Generation

TAKATA Ikunori
Mitsubishi Electric Corporation, Hyogo 661-8661, Japan

(Received 25 January 2005)

This paper describes the operation principles and limits of power semiconductors. In addition, operation mechanisms of the new pulse power devices, SOS (Semiconductor Opening Switch) and dynistors, are explained qualitatively. The fastest operating power device is the series connection of comparatively low-voltage devices. For large-current operation, a uniformly operating pin-diode structure device is essential. An SOS is constructed from dozens of medium voltage (about 3kV) special hard-recovery diodes. This can shut off 2 kA current at 10 kV within 10 ns. The dynistor has n^+pnp^+ four layers and two electrodes. Serial-connected dynistors have the potential to replace thyratrons. These new devices can endure over 10 kA/cm^2 at much higher voltage than their static breakdown values in the repetitive use more than 10^{11} times.

Keywords:
power semiconductor, pulse power, pin diode, dynistor, FID, RDS, SOS, DSRD, IRD

6.1 はじめに

半導体パワーデバイス（以後，パワーデバイスと呼ぶ）のエッセンスは，通電状態と遮断状態を行き来できるスイッチ機能である．通電状態では金属で，遮断状態では絶縁体となる素子が理想的である．それに近いデバイスとしてサイラトロン（thyratron）に代表されるガス放電管がある．パワーデバイスを代表するサイリスタ（thyristor）は，このサイラトロンと同じ動作を期待されて名づけられた．そして現在，50年近い期間を経てようやくサイラトロンを置き換え得るデバイス（SOS，dynistor）が現れようとしている．

放電管内のガスは通常は絶縁体であるが，放電が起こると通電状態となる．タウンゼント放電は，ガス原子が電離して生まれた電子が，電界で加速されてガス原子に衝突し新たな電離を引き起こす状況が持続している状態である．ガス放電管では，電離により生じる電子とガス原子イオンからなるプラズマ中を電流が流れる．半導体では，放電という過激な現象がなくても，そのままの状態で自由に動きうる電子が存在し得る．そして，外部より電圧を加えることによって，その電子を増すこともできるし，逆電圧をかけた領域から電子を除き去ることもできる．動きうる電子を除いた領域は，数百MΩcm以上の優秀な絶縁体になり得る．

このように，半導体の第一の特徴は，導体と絶縁体の間を人為的に行き来できることである．第二の特徴は，電子の運動形態とほとんど同じ働きをする「自由電子」と「正孔」が存在することである．そして，これらが各々負電荷と正電荷を持ち半導体中に混在できることで，ガス放電管と同様に「プラズマ状態」を実現し得て，高濃度の荷電担体（キャリア）を半導体の内部に保持することが可能となる．

半導体素子では，通電能力に先だって遮断能力が必須である．これは「電圧保持能力」と言い換えることができる．通常は，電流が流れていない状況に対する「静的な耐圧」で表されるが，パワーデバイスでは電流が流れている状況での電圧保持能力が極めて重要である．「安全動作領域」と言われているものがこれにあたる．パワーデバイスの実用化の歴史は，この「安全動作領域」を拡大する歴史であったと言える．

6.2 現在の高速，大容量パワーデバイス

6.2.1 パワーデバイスファミリー

半導体パワーデバイスは，1957年のサイリスタの開発以来，水銀整流器を1960年代に置き換え，1980年代には自己消弧能力のあるGTO（Gate Turn-Off thyristor）や接合形トランジスタBJT（Bipolar Junction Transistor）でパワーエレクトロニクスを開花させ，1990年代にIGBT（Insulated Gate Bipolar Transistor）で絶頂に達した．パワーデバイスを基本動作に基づいて分類するとFig. 1となる．大きく(1)MOSFET，(2)接合形トランジスタ（BJT），(3)pinダイオー

author's e-mail: Takata.Ikunori@wrc.melco.co.jp

J. Plasma Fusion Res. Vol.81, No.5 (2005) 367-374

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

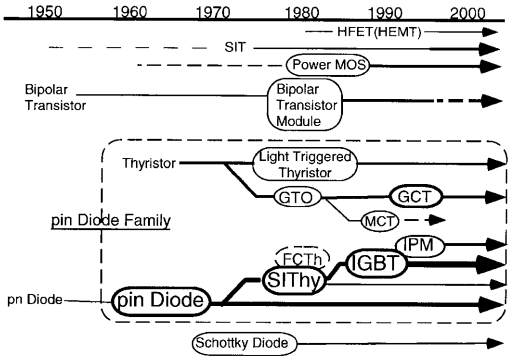


Fig. 1 Power devices family.

ド類，(4)ショトキーバリアダイオードに分類できる．(3)のpinダイオード類は，IGBTとサイリスタ，GTO等を含み圧倒的な重みを占める．

6.2.2 パルスパワー用パワーデバイス

GCT（Gate Commutated Thyristor）は，GTOのゲート駆動能力を著しく高めることでdi/dt，L負荷遮断耐量の大幅な改善をもたらした．サイリスタ形デバイスの理想形を実現したデバイスである[1]．GCTと同様の低L_S大容量ゲート駆動方式SIThy（Static Induction Thyristor）は，最強，最速の大容量パワーデバイスである．現在まだ進化しているIGBTは，速度はともかく過電流特性と繰り返し周波数でSIThyに劣る．MAGT（MOS Assisted Gate-triggered Thyristor）は，IGBTをベースにしてこの課題を解決したが，大面積化できなかった[2]．最速の半導体スイッチでは多数のMOSFETを直並列接続している[3]．

残念ながら，数十nsで数十kV，数十kAを扱おうとするパルスパワー用デバイスの開発活動は，国内では（SIThyを例外として）行われていない．また，パワーデバイスの学会でも，この方面の発表は極めて少ない．

6.2.3 近年のパワーデバイス業界のトピックス

6.5 kV IGBTも実現しパワーデバイス技術は閉塞しつつあると一時言われていたのであるが，200 μm～100 μm以下の薄いウエハを使ったIGBTの出現によって，技術開発が活発化している．開発テーマは，低圧IGBTの低損失化，高速ダイオードのリカバリー特性の改善，高温動作（125℃→175℃@600 V），マトリックスインバータ用の逆阻止形IGBT，100 V以下の超接合MOSFET等である．

また，パルスパワーに関与する技術的なトピックスとして，次のものがある（出現時間順）．

1．宇宙線によるダイオードの破壊現象：人工衛星や航空機に使われる約200 Vから数十V程度のパワーデバイスが，宇宙線によって破壊することはよく知られている[4]．この破壊は，宇宙線による正孔－電子対の発生が，高い電圧が印加された接合形トランジスタ（BJT）部分で起きた場合にのみ起こり，ダイオードでは発生しない．ところが，3 kV～5 kVの高耐圧ダイオードは，内部の電界強度が高くなると（基本構造が等しい）GTOと同じ率で破壊することが1994年に確認された[5]．現在では，IGBTを含め高耐圧パワーデバイスの耐圧定格は，宇宙線破壊に対する耐性で実質的に定まっている*1．パルスパワー用デバイスにも，必須の特性項目である．

2．SiCで作ったpn接合デバイスの劣化：SiCデバイスでは，Schottky Barrier Diode（SBD）が実用化され（600 V，20 A），各種デバイスの試作も進んだが，新たな問題としてpn接合デバイスに限って動作試験で劣化する問題が生じた．これは，正孔－自由電子の再結合時に発生するバンドギャップ（≈3 eV）に相応するエネルギーによって，SiC結晶に転移が発生することが原因と確認された．この劣化は良好な結晶を用いれば大幅に改善できるが，極限的な動作に曝されるパルスパワー用デバイスとしては重要な問題である．

3．IGBT破壊現象の解析：現在の主力パワーデバイスであるIGBTの破壊機構は未だ明白ではない．負荷短絡時に示す破壊は，熱的な要因[6]や電子的な要因[7]の解析が知られていたが，最近，オフした数百μs後に破壊する現象も解析され[8]，ようやくその全容が明らかになった．L負荷オフ動作の破壊についても解析が進み，一貫性のあるモデルのシミュレーションが報告されようという段階である[9]．

4．ロシアからの新型パルスパワーデバイス：ロシアの新型パルスパワーデバイスは，3章のSOS（Semiconductor Opening Switch）以外に，サイラトロンの置き換えが期待できるdynistorも使われ始めた．これらのデバイスは1985年頃から開発されていたが，パワーデバイスの学会等では全く話題にならなかった．しかしながら，デバイス構造は簡単で，動作原理は原則に則っている[10]．使い方には，独特のノウハウが必要であるが，極め付けの高速，大容量デバイスとして今後一分野を占めよう．

6.3 デバイス特性の限界とその原因

MOSFETでサイラトロンに匹敵する動作をさせている例として，1 kVのMOSFETを30直列に100並列接続した24 kV，2 kAのレーザー電源がある．26 kA/μsという高速動作は，1 kV MOSFETのオン時間で決まる．このように，高速オン動作の基本はデバイス長の短い（耐圧の低い）デバイスを多段に接続して同時にオンさせることである．一方，大電流動作の基本は，デバイスの両端に不純物濃度の濃いp領域とn領域を設け，それぞれから正孔と電子を中間の低濃度不純物領域に流入させて，両者の密度を高くすることである．このため，このpin構造のダイオード動作の把握が，SIThy，GCTの限界特性を評価するためには不可欠である．本節では，pinダイオードと微妙な差があるIGBTの動作原理と合わせて説明する．

6.3.1 pinダイオードの動作原理

pinダイオードの動作原理の簡明な説明を見いだせなかったので，著者は新たに説明を試みた[11]．その動作原理は極めて簡単で，次の式(1)と式(2)に尽きる．式(1)は領域a，bのエネルギー差（E_{ab}）と粒子密度（N_a，N_b）の関係（ボルツマン分布），式(2)はp領域とn領域中の拡散電流を示す．（q：電荷素量，D：拡散係数，n：電荷密

*1 例えば，デバイスの定格電圧の約60%のDC電圧を印加した時の故障率が1,000万時間あたり1回（100 Failure In Time）以下．

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

度，μ：移動度，$D=\mu kT/q$: Einstein の関係式)

$$\exp(-\Delta E_{ab}/kT)=N_a/N_b \quad (1)$$

$$J=qD\frac{dn}{dx}\fallingdotseq\mu kT\frac{\Delta n}{\Delta x} \quad (2)$$

最も単純な pin（実際は pn^-n）ダイオードは，p 領域，$i(n^-)$ 領域，n 領域の濃度をそれぞれ一定と単純化し，p 領域と n 領域の厚み（x_p, x_n）がせいぜい数 μm 程度という構造である(Fig. 2)．再結合は無視する．Fig. 2 には，自由電子密度（n_e）と正孔密度（n_h）の分布も示す．Fig. 3 に示すように電荷密度は nn^- 接合や n^-p 接合を挟んで大きく変化するが，式(1)に従っている．

エネルギー差（E_{ab}）は，次のようにして決まる．各接合を挟んで不純物濃度の差に応じたエネルギー差が始めから存在している．これは，外部に電圧として現れないので内蔵電位と呼ばれている(V_{n^-n}, V_{pn^-})．外部から順方向電圧(V_0)を加えると，nn^- 接合部(V_k)と n^- 領域(V_d)そして n^-p 接合部(V_a)に電位が生じる($V_0=V_k+V_d+V_a$)．この V_k と V_a は，内蔵電位差(V_{n^-n}, V_{pn^-})を（極性が違うので）実質的に小さくする．その結果，$E_{n^-n}=q(V_{n^-n}+V_k)$，$E_{pn^-}=q(V_{pn^-}+V_a)$ となる．

(外部電圧有無)×(両接合)×(正孔と自由電子）の組み合わせの 8 つの密度比率式(1)と，p 領域内の自由電子と n 領域内の正孔の拡散電流式(2)を連立させ，2，3 の近似を行えば式(3)が導かれる．小電流動作に限れば n^- 領域での電圧降下(V_d)を無視できて($V_0\approx V_a+V_k$)，よく知られた式(4)の関係となる．

$$J\approx J_h+J_e\approx\frac{kTn_i^2(\mu_h+\mu_e)}{\sqrt{N_pN_nx_px_n}}\exp[q(V_a+V_k)/kT] \quad (3)$$

$$J\propto\exp(qV_0/kT) \quad (4)$$

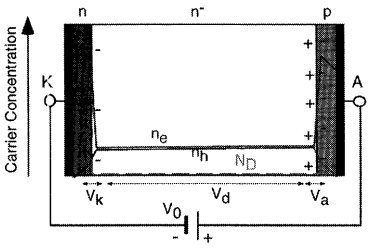


Fig. 2　Carrier distributions and voltage sharing of pin diode.

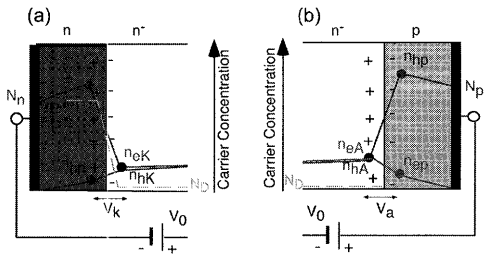


Fig. 3　(a)Carriers in cathode side. (b)Carriers in anode side.

電流密度が増えると n^- 領域のドリフト電流（式(5)）も考慮する必要が生じ，単純な式で近似できなくなる．

$$J=qnv=qn\mu E \quad (5)$$

6. 3. 2　pin ダイオードの大電流動作特性

大電流動作状態の pin ダイオードのオン電圧は，n^- 領域の電圧降下(V_d)が大半を占める．この状況の動作電流は，次の式(6)と評価することができる．N と Δx は，それぞれ p あるいは n 領域の不純物濃度と厚みで，電界強度(E)は（オン電圧）／（デバイス長）と近似できる．この式(6)は，n^- 領域のドリフト電流と p あるいは n 領域の拡散電流が等しい関係式(7)と，n^- 領域の電荷密度積($n^2\approx n_en_h$)と p あるいは n 領域中の電荷密度積($\approx N\Delta n$)が等しい関係式(8)を使って求めたものである．例えば $N\approx10^{18}$ cm^{-3}, $\Delta x\approx1$ μm, $\mu\approx500$ cm^2/Vs とすれば，(シリコンで 10 kV 耐圧に相当する) 1 mm 長のデバイスに 1 kA/cm^2 が流れる際のオン電圧は 6 V 程度と見込める．(N：p あるいは n 領域の不純物濃度，Δx：p あるいは n 領域の幅，Δn: p あるいは n 領域端の少数電荷増加量)

$$J=qn\mu E\approx\frac{q^2\mu}{kT}E^2N\Delta x \quad (6)$$

$$J=qn\mu E\approx\mu kT\frac{\Delta n}{\Delta x} \quad (7)$$

$$n^2\approx(N+\Delta n)\Delta n\approx N\Delta n\approx N\frac{qnE\Delta x}{kT} \quad (8)$$

6. 3. 3　IGBT の動作原理

Fig. 4 に IGBT の構造例を示す．その中の破線で囲んだ領域の電子電流密度と正孔電流密度分布のオン時のシミュレーション例を Fig. 5 に示す．正孔電流はチャネル開口部から少し離れた所を中心として流れ，そこ以外の p 領域(p-well と呼ぶ)にはあまり流れない．また，p-well 中央部ほどその外側の正孔密度（自由電子も）が低下している．IGBT はベース電流が MOSFET から供給される pnp トランジスタとよく説明されるが，Fig. 5 は，大半の電流は pnp トランジスタのコレクタに当たる p-well の主要部を流れてないことを示している．

むしろ，IGBT は，主要な電流経路にそって pin ダイオード動作をしていると考える方がふさわしい．正孔と自由電子が各々デバイスの両側から流入し，n^- 領域では基本的に正孔と自由電子の密度は等しい形で動作する特徴は pin ダイオードと共通している．しかしながら，IGBT のエミッタでは正孔が n^+ チャネル領域に流入せずに p-well 領域を

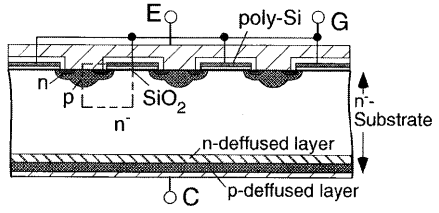


Fig. 4　A schematic cross-section of IGBT.

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

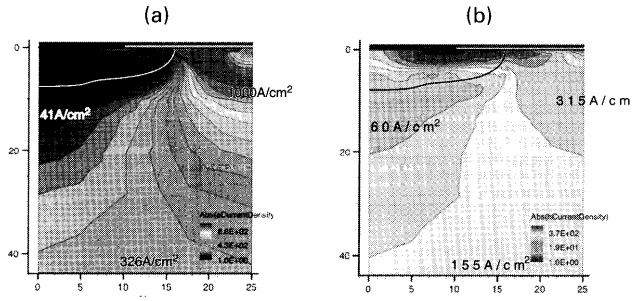


Fig. 5 Distributions at emitter side of on-state IGBT @ V_{CE} = 5 V, (25 μm × 110 μm) NPT-IGBT. (a)Electron current density. (b)Hole current density.

もっぱら通る点が異なる．すなわち，IGBT のエミッタは，電子にとっては n^+-n^-接合であるが，正孔にとっては（電子の経路に隣接する）p^+-n^-接合となっている．n^-領域中の正孔密度（$n_h \approx n_e$）は p-well 内部より小さいので，n^-領域から p^+領域に正孔が流れるためには濃度勾配に打ち勝つ電界が必要である．このため，IGBT は pin ダイオードに比べて余分な順方向電圧がエミッタ側に必要となる．そして，IGBT のエミッタ側の実効的な動作面積が狭いことが一層の順方向電圧降下をもたらす．IGBT は，結果的にこの余分な順方向電圧を低減しつつ進歩してきた．

6.3.4 オン動作速度

パワーデバイスのオン動作速度は，次の 4 要因で制限される（電界の変化で生じる変位電流が一番速いが，オン電流の主成分にはなり得ない）．

1．空乏領域に荷電担体が現れる始めるまでの時間
接合容量の充電時間（R_jC_j）＞ゲート容量の充電時間（R_gC_g）＞正孔－電子対発生時間

2．空乏領域に荷電担体が供給される速度
拡散運動とドリフト運動のアンバランス＜正孔－電子対発生

3．空乏領域を荷電担体が走行する時間（空乏領域幅／v_d）
通常はドリフト速度（v_d）で走る．これは基本的に電界強度（E）に比例するが（$v_d = \mu E$），高電圧スイッチングでは飽和速度（$v_s \approx 10^5$ m/s）となる．
正孔－電子対発生が大きい場合には対発生位置が移動する速度となる．

4．定常オン時の分布状態まで荷電担体が蓄積される時間（バイポーラ系デバイスのみ）
通常は（オン状態電荷蓄積量／流入電流）が目安となるが，正孔－電子対発生が著しく大きい場合には不要となる．

ガス放電管のオン時間は，オン状態で通電経路のほぼ全体でグロー放電が起きる時間である．正孔－電子対発生が大きい場合に相応し，（4）の期間は存在しない．

6.3.5 静的耐圧

オフ状態のパワーデバイスの印加電圧を上げていくとリーク電流が数桁に渡り急増する現象が起こる（Fig. 6）．ガス放電管になぞらえて，これを降伏（Breakdown）と呼ぶが，欠陥のない半導体デバイスでは数十 A/cm²程度の電

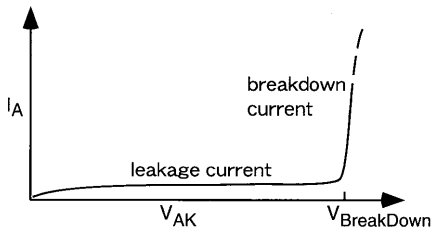


Fig. 6 Reverse *I-V* characteristics of pin diode.

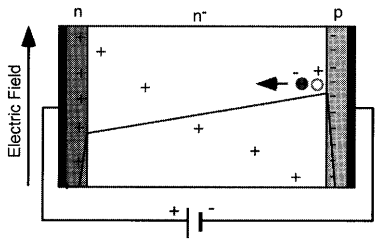


Fig. 7 Charge and electric field distributions in pin diode.

流密度で"破壊"することはない．なぜならば，pin ダイオードでは，電界強度の最大領域で衝突電離によって発生し陽極に移動する電子が，n^-領域の正味の正電荷密度を低下させて n^-領域の電界強度の勾配を下げる（Fig. 7）．電界の最大値も下がるので，衝突電離が起こり難くなるという負帰還が働くためである．デバイスの耐圧は，n^-領域の不純物密度を下げるとともに厚みを増やせばいくらでも増大できる原理であるが，実際の高耐圧デバイスが使用できる最大電圧は，リーク電流による温度上昇が正帰還的に起こる熱暴走で制限されている．リーク電流の発生率は $\exp(-E_g/kT)$ に比例するので，シリコンでは125℃辺りで使う限り 12 kV 以上の高耐圧化は無理である．リーク電流は，E_g の大きいワイドバンドギャップ半導体の pn 接合を使うと原理的には桁違いに小さくなる．

6.3.6 安全動作限界（動的耐圧）

スイッチング用のパワーデバイス（GCT，IGBT，MOSFET）では，大電流が流れているオン状態での電圧保持能力がオフ時の耐圧よりも重要である．この能力限界で起こるのが二次降伏（Secondary Breakdown）である．パワーデバイスの二次降伏現象は長年の懸案であったが，ようやく IGBT のシミュレーション結果が報告され始めた[9]．それによれば，不均一部がなければ，定格電圧に近い電圧で数万 A/cm² の動作ができそうである．実験的にも IGBT の破壊機構が確認される日は近いと予想される．残る大きな問題は，宇宙線による破壊とダイオードのリカバリー動作時の破壊となった．

6.3.7 デバイスの劣化

半導体デバイスには，次の劣化要因が考えられる．

1．機械的な疲労（半田疲労，アルミ・ワイヤ疲労，表面電極疲労）

2．大電流動作による半導体基板－電極部の疲労

3．電子－正孔対の再結合エネルギーによる半導体結晶の疲労（積層欠陥の発生，成長）

シリコンデバイスでは 1．だけが問題であったが，レー

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

ザーのような高エネルギー密度動作を行う化合物半導体では2.や3.も深刻な問題であった．**6.2.3**節で述べたように，最近SiCで3.が問題となっている．どの材料でも，素材である結晶やその上に成長させるエピタキシャル層の欠陥を減すことが有効であるが，高エネルギー状態で結晶の原子結合が破壊される現象が，半導体には潜在すると考えるべきである．特に，SiCの長期信頼性における懸念はまだ払拭されていない．また，シリコンにおいても結晶が劣化する可能性の（例外的な）指摘もある[12]．

一方，シリコン酸化膜が（微細な）リーク電流の総通電量に応じて劣化することは詳細に研究されている．電流を流すためには（高電界をかけて）原子間のボンドを切り荷電担体を生じさせねばならない．元から荷電担体が存在する半導体には通常は高電界が掛からないが，高電界がかかる状況ではやはりボンドが切れる．これが衝突電離に他ならない．衝突電離によって正孔－電子対を発生させるエネルギーは，SiCのpn接合素子で問題となる正孔－電子対の再結合エネルギーと等しい．すなわち，“（大規模な衝突電離が起きている）アバランシェ動作によって半導体素子は劣化しないのか”という昔からの疑問は，SiCバイポーラ素子の劣化と基本的に同じ問題ではないかと，著者は危惧する．

シリコンは，かなりの回数のアバランシェ動作を繰り返しても明白な劣化がないことは確かである．しかしながら，シリコンは本来の原子間のボンドを切るエネルギー(≈3.5 eV)のわずか1/3でアバランシェ動作が起きる．このことがシリコンに例外的に強いアバランシェ耐性をもたらしていて，むしろ再結合エネルギーが半導体結晶に欠陥を生じさせるのが一般的な現象ではないのかとの疑問が残る．

6.3.8 低気圧ガス放電管との比較

高耐圧パワーデバイスと低気圧ガス放電管は，微小なリーク電流から破壊が起こる大電流まで，広い動作範囲で類似点が認められる．Fig. 8は，600 Vクラスの NPT－IGBTと3 kVクラスのpinダイオードのシミュレーション結果である．ダイオードは単に逆方向電圧を増大させた時の逆方向電流密度を計算している．IGBTの(a)はゲート－エミッタをショートしてコレクタ電圧を増大させた場合である．これらのシミュレーションでは，デバイスに直列に高抵抗を挿入し，デバイスに掛かる電圧よりも桁違いに大きく電源電圧を増やしている．また，IGBTの(b)はL負荷をオフする際に破壊した際の軌跡である．いずれも温度上昇は考慮していない．

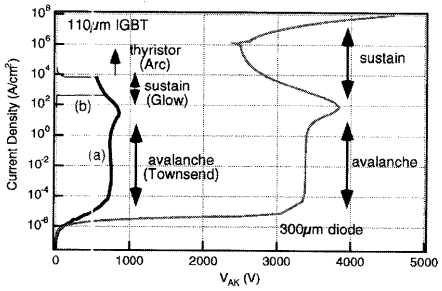


Fig. 8 $V_{CES}(sus)$ of a 110 μm NPT-IGBT and post avalanche of a 300 μm pin diode.

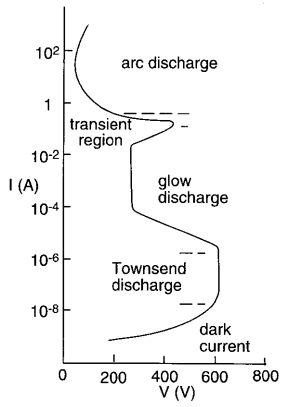


Fig. 9 *I-V* characteristic of low pressure gas discharge tube [13].

これらの特性は，Fig. 9に示す低気圧ガス放電管の電流－電圧特性と類似している．“暗流”はリーク電流に他ならない．放電が安定して継続する“タウンゼント放電”は，アバランシェ降伏現象と基本的に同じと思える．パワーデバイスのサスティン動作の機構は，放電領域が実質的に短くなって放電電圧が下がる“グロー放電”に似ている．温度上昇を無視したシミュレーションであるので，温度による電離が主要となる“アーク放電”に当たる現象はダイオードでは起きないが，IGBTでは主電極の両側から正孔と自由電子が流入するサイリスタ動作が起きて，放置すれば発熱によって破壊する．

6.4 新しいデバイス構造や材料

数十kAを数nsでオンあるいはオフできるパルス動作専用のシリコン半導体デバイスが，ロシアで作られている．どちらもpinダイオードを基本としており，単体デバイスの耐圧は1 kV～3 kVであるが，多数の直列接続が可能で100 kV以上の使用例がある．いずれも二端子デバイスなのでもっぱらパルスパワー用途に限られようが，動作原理からして最速，最強のパワーデバイスと言える．

6.4.1 Dynistor（FID，RSD）

dynistorは，RSD(Reverse Switching Dynistor)とかFID(First Ionization Dynistor)とも呼ばれる．Fig. 10に示すように，pinダイオードのi層部分が比較的高濃度のn層とp層となっている．4層構造であることはthyristorに似て

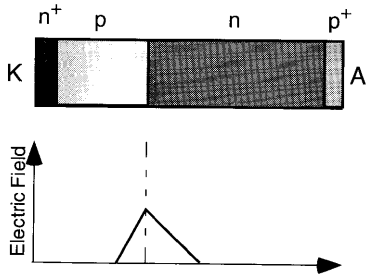


Fig. 10 Structure of dynistor and its initial electric filed distribution.

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

おり，2端子素子（diode）であることからdynistorと名づけたものと思われる．定格電圧は1 kV～3 kVで，パワーデバイスとしては低い．76 mm$^{\phi}$ ウエハの3 kV dynistorは，250 kA，50 μs幅のサイン波パルスを60 kA/μsでオンし，数十個の直列接続ができる．始めに降伏電圧の数十%の順方向電圧を印加しておく．この電圧は，図に示すように逆バイアスとなる中央部のpn接合の両側で保持される．そして順方向に急峻で降伏電圧を大きく超えるサージ電圧を加えることで，オン動作は始まる．このサージ電圧によって中央部の電界分布の山が高くなる．すぐに，電界分布の頂上で激しいアバランシェ動作が始まる．発生した正孔と電子はプラズマ状態となり，電界強度の分布は急峻なカルデラ火山状となる．外輪山にあたる部分の電界強度は，正孔－電子対の発生が起こり始めた時の最大電界よりも高くなるので，外輪山部でも新たにアバランシェ動作が起きる．こうして，高電界強度の山が外側に移動する現象が瞬時に起き，後に高密度のプラズマを残す．デバイス両端のn^+pあるいはnp^+接合は順バイアス状態なので，内部でプラズマが広がると直ちに大電流が流れ始める．

このように，dynistorはサイリスタというよりもpinダイオードとしてオンする．正孔と電子の移動速度は，高電界中で10^5 m/sで飽和するが，dynistorのプラズマの成長速度は正孔－電子対発生現象と電界分布が変化する速さ（光速）で定まるのでオン速度が桁違いに速く，**6. 3. 4**節で示したバイポーラ素子でネックとなる（4）の期間がごく短い．そして，大電流密度動作をするpinダイオードはドリフト電流機構（すなわちオームの法則）で動くので電流集中が起きず，大面積デバイスが可能である．また，保持電圧が大きいデバイスほどオンしやすいので，オン過程での電圧分担の不均一が問題にならない．定格耐圧が3 kV程度と低めなのは，深いpn接合を作る製造方法からの制限と，アバランシェを特定の場所で均一に起こしやすいためであろう．

6. 4. 2 SOS（DSRD，IRD）

SOS（Semiconductor Opening Switch）は，多数のDSRD（Drift Step Recovery Diode）を放熱板を挟みながら直列接続して構成している．4 kA，120 kVを20～30 nsで遮断した例では，0.25 cm^{2}のDSRDチップを128ヶ直列したSOSを10直2パラにしている．絶縁油に直接浸した状態で200 Hzの連続動作が可能で，（少なくとも）10^{11}回のショット数が可能とのことである．DSRDは，Fig. 11に示すようにpinダイオードを基本とし比較的高濃度の深いp領域を加わえて，急峻な逆回復特性（ハードリカバリー）を得ている．IRD（Inverse Recovery Diode）はその改善形のようだ．

オン動作のpinダイオードに逆バイアスが印加されると，中間領域に満たされていた正孔と自由電子がそれぞれp^+領域とn^+領域に移動してリカバリー電流となる．この移動は両端から起こり，正孔と自由電子は中央辺に取り残される傾向がある．この正孔－電子プラズマが存在する限り，リカバリー電流は流れる．DSRDは，リカバリー電流の減衰を急峻にするために，小面積（0.25 cm^2）にして電流密度を高くし，また正孔－電子プラズマが消滅する直前まで

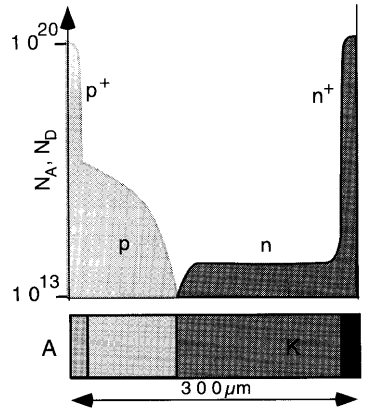


Fig. 11 Structure of DSRD.

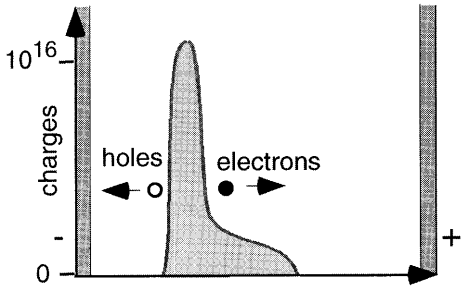


Fig. 12 Carrier distribution during a recovery process.

でプラズマ電荷の分布が高いピークを持つように設計されている（Fig. 12）．pinダイオードにとって，8 kA/cm^{2}程度のオン動作は全く問題なく，リカバリー電流が急峻に切断されるのも当然の動作である．電流遮断がチップ全面で一斉に起こることがDSRD動作の鍵である．また，宇宙線による破壊は，DSRDを直列接続することで回避できると予想される．正孔－電子対発生はごく局所で起こるので，一つのDSRDの保持電圧が瞬時的に下がるだけの影響に止まるからである．

従来の高耐圧の高速ダイオードの設計は，リカバリー電流を少なくし緩やかに減衰させようとしている．リカバリー電流の減衰がきついと，従来の高耐圧の高速ダイオードは（たかだか100 A/cm^{2}以下の動作で）容易に発振し，高じると破壊に至る（Fig. 13）．

6. 4. 3 超接合デバイス

1998年から市販され始めた超接合（super junction）MOSFETは，600 V～800 Vの高耐圧用途のみでなく数十Vクラスでも広く使われ始めた．これは，ドレイン領域を均一なn^-領域の代わりに，幅の狭い高濃度のn領域とp領域を入れ子にしている（Fig. 14）．両領域の不純物の総量は同じにして，しかも低い逆電圧が掛かった段階でそれぞれの自由電子と正孔が空乏化するように設計する．このようなp，n入れ子領域は，オフ時には実質的にごく高い比抵抗領域として働き，優秀な耐圧保持能力を発揮する．オン時には高濃度n領域が低抵抗の電流経路となって，例えば800 V MOSFETのオン抵抗を1/3程度に下げることができている．

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

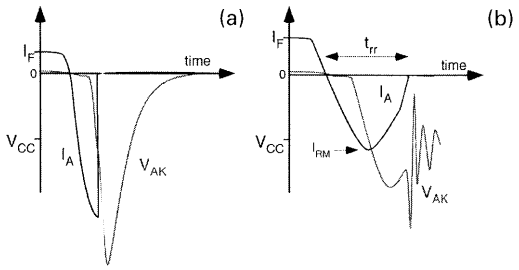


Fig. 13 Recovery waveforms of (a) DSRD and (b) conventional hard recovery diode.

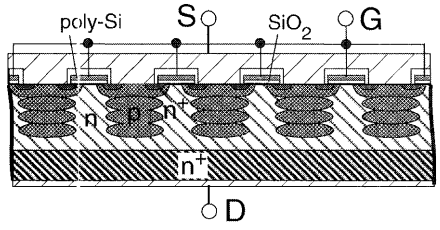


Fig. 14 An example of super junction MOSFET.

この超接合構造はMOSFET等のユニポーラ素子にのみ有効である．実質的な比抵抗がオフ時に比べてオン時に桁違いに低くできる機能は，バイポーラデバイスには本来備わっているからである．それで，高耐圧デバイスのシミュレーションは，シリコンの4.5 kV MOSFETのみが報告されている[14]．各々3×10^{15} cm^{-3}で3.5 μm幅のpとn層を交互に形成すれば，通常のMOSFETの約1/100の132 $m\Omega cm^2$のオン抵抗が得られた（厚みは350 μm）．ただし，p層とn層の濃度差が±1％以内という非現実的な制御が必要であった．この構造はSiC MOSFETの限界特性の改善方策として相応しいように思える．100 V程度のシリコン超接合MOSFETを高エネルギーインプラで選択マスクを用いて作るのと同じ方法が使えるからである．ただし，この方法もコストは高い．

6.4.4 ワイドバンドギャップ半導体デバイス

6.3.5節で述べたように，リーク電流が低いことは高耐圧デバイスの必須要因である．そして，リーク電流は$\exp(-E_g/kT)$に比例するので，シリコンで実現している12 kV（@125℃）以上の高耐圧，高温動作デバイスにはワイドバンドギャップ半導体が必須である．数kV以上のパワーデバイス用途に期待されているのはSiCである．SiCデバイスの基本構造の開発は，ここ10年に急速に進歩し3 kV，30 A GTOを使った18 kVAインバータが試作されるまでになった[15]．結晶技術も格段に進み，4インチウエハも近く市販されようとしているし，高速エピタキシャル技術も進み200 μmの成長が20～100 hrでできようになった．1 mm^2程度の600 Vショトキーダイオードは市販され，MOSチャネルのドリフト移動度（μ）がバルクの移動度よりも桁違いに小さい問題も何とか対処療法的な方策が見いだされている．何よりも，シリコンウエハの拡散炉の保護管の材料である絶縁体（SiC）で本当に数千Vのパワーデバイスができつつあることは，ゲルマニウム，シリコンという既成半導体イメージ（タブー）を打ち壊した点で歴史的な意義があると，著者は考える．

しかしながら，SiCデバイスの本格的な実用化にはまだ時間がかかるようである．材料コストが製造方法上シリコンよりも格段に高くなることは当初から予想されていたが，(1)バイポーラ動作時の結晶劣化という質的に新しい問題が現れ，(2)高温でのMOSゲート酸化膜の劣化というシリコンMOSFETと共通の問題が大きな障害となっている．1～2 kV MOSFETは（シリコン並の動作温度でも）高速スイッチングによる小体積化に特色を出し得るので，シリコンの主要市場（IGBT）の置き換えでなく，電力変換分野で1 kV以上のDC/DCコンバータに必要な高速デバイス[16]としてまず広がる可能性がある．現在，ハイパワー分野でJ-FET（SIT）とショトキーダイオードの組み合わせが試みられているが，アバランシェ動作が求められるであろうから(1)の解決が不可欠である．また，Schottky Barrier Diode（SBD）の低オン電圧は，電極金属と半導体基板の間の電位障壁がpn接合よりも低いことに起因しているので，必然的にリーク電流の増大をもたらす．このため，SiCにおいてもシリコンと同様にSBDの高耐圧化はpnダイオードよりも難しい．

6.5 課題

6.5.1 デバイス分野の課題

パワーデバイスの動作がわかりづらいのは当然である．パワーデバイスでは半導体材料の正味の特性が問題となるが，これらの明快な説明がないからである．例えば，耐圧限界，電流限界，温度限界，耐ストレス限界のみならず，最近までpinダイオードの動作モデルでさえ簡明な説明がなかった．そして，基礎現象では高電界増倍現象[4]とその逆過程（正孔－電子消滅過程），飽和速度等のモデルは甚だ不十分である．何よりも「正孔」が不明瞭である．半導体デバイスの動作を考える際には，「正孔」と「自由電子」はどちらも理想粒子で，電気極性が異なっているだけのように思えるが，それに対応するモデルがない．

今まで，宇宙線破壊やリカバリー破壊とかデバイスの寿命は，主要な研究・開発課題として取り上げられなかった．ロシアの新デバイスは，これらの問題に図らずも新しい視点をもたらした．まず，シリコンデバイスの動作限界が，従来の定格レベルより桁違いに大きいことが明白となった．また，高電圧が印加されたdynistorに宇宙線が入射し大量の正孔－電子対を発生させれば，サージ電圧を加えなくとも入射部分がオンし得るであろう．そして，リカバリー破壊耐量の改善には，DSRD設計の逆を指針にすればよいと予想できる．本質的な問題と予想される課題は，（遅ればせながらも）避けることなく正面から取り組まねばならない．

6.5.2 応用分野の課題

プラズマ分野にパワーデバイスを使う場合には，使用条件に応じた構造のデバイスの選択と，均一動作パッケージングが重要である．パワーデバイスの動作機構は必ず明らかにされるし，動作条件や寿命の限界は，当分は経験値を

NII-Electronic Library Service

The Japan Society of Plasma Science and Nuclear Fusion Research

使わざるえないにしろ，必ずモデル化されるべきものと考えるべきである．また，いかなる半導体デバイスを使うにしろ，次の原則が言えよう．

・高速動作：比較的低耐圧デバイスの直列，同時動作が最速
・大容量動作：pinダイオードを基本構造とする素子の全面均一動作

数十万Vのデバイスを使う基本技術は，半導体がシリコンであってもSiC等のワイドバンドギャップ半導体であっても変わらないと予想する．

6.6 まとめ

あまりにも常識破りの特性であることと，詳しい情報がないことから長い間一部にしか認知されていなかったが，サイラトロンと競合し得るデバイスdynistorが現れたようである．また，ガス放電管にない開放スイッチも，数十kV，2kA，数十nsの特性がSOSで可能になった．これらのデバイスは，10 kA/cm^{2}程度以上の大電流を流しながら，静的な降伏電圧を遥かに越える電圧で，10^{11}回以上の繰り返し動作にも耐える．これらは，ようやく理解が進みつつある半導体パワーデバイスの基本動作原理から見て，単純で極めて基本的な機構のデバイスである．使いこなすには独特の技術が必要であろうが，半導体デバイスの高電界，大電流密度動作の極限を実現する新しいデバイス群が出現したと，著者は考える．

また，この新しいデバイスは，従来の高電圧パワーデバイスの極めて困難とされている諸問題(宇宙線による破壊，ダイオードのリカバリー破壊，定格オーバー条件動作での長期信頼性）の解決に有用なヒントを与える．これら問題が解決され，半導体の固有能力の限界を十二分に実現されたデバイスが（まずシリコンで）実現する日はそう遠くないと予想する．

最後に，高耐圧パワーデバイスの新たな研究者が増えることを切に期待します．半導体メーカー主体のパルスパワー用パワーデバイスの開発は，今のままでは期待できない．本命はロシア製デバイスのような1次元デバイスで，ガス放電管と異なり理想粒子からなる素直なプラズマ現象が対象となる．市販のデバイスシミュレーターもかなり有用なので，設計そして試作の敷き居は案外低いと思います．

参考文献

[1] 電気学会技術報告第947号，“次世代パワーデバイス開発に向けての取り組むべき重要課題，”pp.17-22, 2004-2.
[2] 電気学会技術報告第710号，“大電力パルス発生技術とそれに向けたパワーデバイスの動向”，1999-1.
[3] 電気学会技術報告第960号，“パワーデバイス応用大電力パルス電源の適用技術”，2004-4.
[4] 田上三郎，小林孝，桐畑文明，染河秀治，久保山智：“宇宙用MOSFETのシングルイベントバーンアウト(SEB)の3次元シミュレーション”，電学合同研究会資料，EDD-01-75/ PC-01-80, pp.41-46, 2001.
[5] 松田，藤原，日吉，西谷，桑子，池原：“パワーデバイスへの宇宙線の影響”，電学合同研究会資料，EDD-94-47 / SPC-94-61, 69, 1994.
[6] H. Hagino, J. Yamashita, A. Uenishi and H. Haruguchi, IEEE Trans. Electron Devices, **43**, No.3, 490 (1996).
[7] I. Takata, *Proceeding of ISPSD'02* (2002) p.173.
[8] M. Ohtsuki, Y. Onozawa, H. Kanemaru, Y. Seki and T. Matsmoto, IEEE Trans. Electron Devices, **50**, No.6, 1525 (2003).
[9] I. Takata, “A Trial Simulation of the Fourth Secondary Breakdown of IGBTs”, *Conference Recorde of IPEC'05*, S48-3 (2005) p.1611.
[10] I. Grekhov, S. Korokov, A. Stepaniants, D. Khristyuk and V. Voronkov, “High power Semiconductor-based nano and subnanosecond pulse generator with a low delay time”, *Power Modulator Conference '04* <www.eng.auburn.edu/pmc2004/SSSw4-7.doc>.
[11] 高田育紀：“pinダイオードの小電流動作モデル，”H17電学全国大会 4-008, 第4分冊 pp.11-12, 2005.
[12] 電気学会技術報告書 第666号，“21世紀に向けたパワーデバイスの重点課題”，pp.88-90, 1998-2.
[13] 放電ハンドブック出版委員会編：放電ハンドブック（上）（電気学会，2000）第4章 図4.2，p.150.
[14] Y. Kawaguchi, K. Nakamura, A. Yahata and A. Nakagawa, *Proceeding of ISPSD'99* (1999) p.95.
[15] 浅野勝則，菅原良孝：“SiC 3相PWMインバータの開発”，電学産業応用部門ニュースレター，Vol.2, No.2, p.3, 2005.
[16] 赤木泰文：H15電学産業産業応用部門大会， I-19, pp.I-183-186, 2003

NII-Electronic Library Service