

27pA01P

実時間制御のためのプラズマ電流分布再構築法の検討

Study on Reproducibility of Current Profiles for the Real-time Control of Tokamak Plasmas
 栗原研一、米川出、川俣陽一、末岡通治、細山博己、吉田英俊、鈴木隆博、及川聡洋、坂本宜照、井手俊介
 日本原子力研究所 那珂研究所

K. KURIHARA, I. YONEKAWA, Y. KAWAMATA, M. SUEOKA, H. HOSOYAMA, H. YOSHIDA, T. SUZUKI, T. OIKAWA, Y. SAKAMOTO, S. IDE
 Japan Atomic Energy Research Institute, Naka Fusion Research Establishment

【動機と目的】

トカマク型核融合装置におけるプラズマ電流のポロイダル断面内分布は、最外殻磁気面位置形状と共にエネルギー閉じ込め性能や不安定性を決める、最も重要な内部量の一つであり、プラズマの高性能化には、この電流分布を実時間で再構築し制御することが必要となる。そこで、トロイダル電流場を記述する特殊関数を用いて級数形式で電流分布解を構成した後、プラズマ内部のマクロ平衡条件、外部電磁気計測条件、内部のMSE計測等を考慮して高速に電流分布を再構築する方法について、JT-60への適用を想定して解法開発、テスト計算等の各種検討を行った結果を報告する。

【解法の特徴—境界付き固有関数展開】

プラズマ電流分布を、内部に制約条件を課さず外部の磁場計測だけから再構築出来るかどうかについては、一般的には数値解析上非適切 (ill-posed) 問題となることが知られている。これを回避するために、これまではプラズマ電流分布を表す関数の形式 (電流及び圧力の2種類の磁気面関数) を予め決めておき分布の表現自由度を制限してGrad-Shafranov方程式の解を推定している。本検討では、分布の自由度を制限する一切の人工的な条件を用いないことを方針とした。そこで軸対称トロイダル電流場のGreen関数 $G(x, y)$ (x, y は位置ベクトル) を用いて、領域を固定した次の第1種Fredholm型積分方程式を数値的に解法する「境界付き固有関数展開法[1]」を用いた。

$$\Psi(x) = \lambda \int_{\Omega_p} G(x, y) \cdot \Psi(y) \, dS_y$$

(a) 上式の右辺の未知関数 Ψ に関する齊次方程式を領域 Ω_p 内部の離散化を行って数値的に解法し、固有値 λ_i ($i=1, 2, \dots$) に対応する軸対称トロイダル電流場の正規直交固有関数列 $\Psi_i(x)$ ($i=1, 2, \dots$) を計算する。

(b) プラズマ電流分布 $j(x)$ は、下に示す固有関数展開になることを用いて、その線形結合係数 β_i ($i=1, 2, \dots$) を制約条件の下で決定する。

$$j(x) = \sum_{i=1}^{\infty} \lambda_i \beta_i \Psi_i(x)$$

【電流分布の可同定性チェック】

固有関数展開を用いることで、数値的な検討が可能となる。そこでプラズマ外部での磁束が空間的に一定、即ち磁場が0という条件だけを課して、電流分布を求めてみると、一例として図1のような電流分布 (正逆両方向有り、総電流=0) が得られる。確認として得られた電流分布から外部磁場の

絶対値を計算すると、数値計算の精度で外部の磁場=0となり、磁場を作らないトロイダル電流分布が存在することが判る。このことから、内部制約条件を考慮せず、外部磁場(磁束)計測だけによる電流分布再構築は、「少なくとも工学的には一意ではない」と結論出来る。

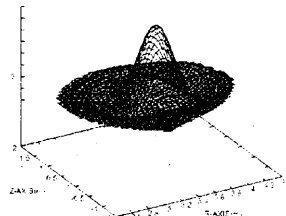


図1. 外部磁場0のトロイダル電流分布例 (高さが電流密度 (相対値))

【新しい実時間解法スキーム提案】

実時間(10ms周期想定)での解法について以下のスキームを検討中。

- ・全てのプラズマを1つの固有関数列で表現するため、領域を真空容器壁面内側として使用する固有関数は全て予め計算しておく。
- ・実時間で形状を再構築[2]後、プラズマ外側では電流条件 $j=0$ を課す。
- ・プラズマ外の磁場計測値、総電流計測値を条件として課す。
- ・内部制約無しでは一意解はないので、平衡条件 $j \times B = \text{grad } p$ を課す。具体的には非線形(未知数 β_i にとって3次)式[1]を考慮する。
- ・非線形制約条件下の最適化法としてはLagrange乗数法を使う。

【初期結果】

テスト用に与えた平衡解で与えられる外部磁場条件に対して、内部制約無で行った再構築結果は、磁気軸や磁束分布までは比較的精度良く再現した。さらなる内部制約条件の考慮の仕方など、詳細な検討結果はポスターにて報告する。

【参考文献】

- [1] K. Kurihara, Fusion Technol., 34 (1998), pp. 548-552.
 栗原研一, プラズマ核融合学会誌, 76 (2000), pp. 65-82.
- [2] K. Kurihara, Fusion Eng. Des., 51-52 (2000), pp. 1049-1057.

27pA02P

新概念に基づくタイミングシステムの開発

Development of the Timing System Based on a New Concept

赤坂 博美、川俣 陽一、米川 出

H. Akasaka, Y. Kawamata and I. Yonekawa

原研 那珂研

Japan Atomic Energy Research Institute, Naka Fusion Research Establishment

【はじめに】トカマク型核融合試験装置JT 60のタイミングシステム (TS) は、CAMAC 規格のモジュールから構成され、JT 60の実験運転において各種計測・制御機器の動作に必要なトリガー信号やクロック信号の送信、放電シーケンス制御における時間基準を発信するシステムとして重要な役割を果たしている。このTSは改造に対応するため信号の追加、変更柔軟性が高いことが求められているが、既存のシステムは、配線の組み換え、モジュールの追加、対応したソフトウェアの変更など柔軟性、拡張性さらに保守性にも課題を抱えていた。これらを解決するため、これまでの信号送信から受信まで1対1のケーブル接続を行っているシステムから送信側のロジックをソフトウェアで作成し、ネットワークを介して受信する装置にON/OFFデータとして送信し、受信装置の近くでタイミングパルス信号化を行うという方式に変えた新TSの設計を行い、その機能検証のためにプロトタイプの開発を行った。ここでは、その開発の概要、試験結果について報告する。

【機能の概要】図1にプロトタイプのシステム構成を示す。新TSのハードウェアはVMEバスシステムで構成し、タイミング信号の伝送は高速伝送が可能なリフレクティブメモリ (RM) (VMIC社製 VMIVME 5576, 6.2Mbyte/sec) を用いた。TSの機能変更や信号追加の作業は配線換えからソフトウェアのロジック内のルートに変更した。新TSは全系統制御設備 (JT 60構成機器全てを統括する制御システムであり以下「全系」と称す。) TSと設備TSに分かれる。全系統TSはクロックモジュール (CLK) により50 μ secの基準クロックを作成し各設備に発信するとともに、この基準クロックをトリガーとしてデジタルシグナルプロセッサ (DSP①) に組み込まれた制御ロジックを実行し、タイミング信号の情報をRMへ書き込む。RMは6.2Mbyte/secで設備にタイミング信号の情報を伝える。設備TSはRMから情報を読み込み対応するタイミング信号を出力する。設備TSも同様にVMEバスシステムで構成されクロックで動作する。ソフトウェアの機能は、TS機能としてタイミングロジックの演算処理、RMの読み込み/書き込み処理、DI/DOへの信号入出力処理と支援機能として制御ロジックの作成、制御ロジックからCコードへの自動変換処理、タイミング信号モニタ処理等から構成される。これらの機能のうち制御ロジック作成、自動変換処理を行うツールとして市販のMath Works社製MATLABを採用した。

【結果】全系統TSから設備TSへのタイミング信号伝送時間は、基準クロックと実際のDIの入力が非同期であるため最大50 μ sec (クロック長) 遅れること、及び各DSPが基準クロックを基に動作していることの2点の理由により100 μ sec~150 μ secであった (既存のシステム15 μ sec~40 μ sec)。この値は基準クロックを変更することにより短縮可能である。また、長時間放電に対してはCAMACモジュールにより制約されていた遅延処理の設定時間 (最大65536msec) がTS機能をソフトウェアに変更したことにより事実上制約が無くなった。(16ビットから32ビットに変更)

【今後の課題】本システムはクロックに同期して動作するため割込み信号に対しては信号伝送に遅れが生じる。この遅れ時間を短縮することが課題であり、現在、基準クロックに依存しない高速ポーリング方式 (状態変化をDSPのプログラムloopでチェック) 及び設備TSにおけるRM読み込み/書き込み処理、DI/DO入出力処理の割込み処理 (非同期処理) によりどこまでタイムラグが減らせるか (計算上は1 μ sec程度以下)、プロトタイプの改造により試験を実施する予定である。

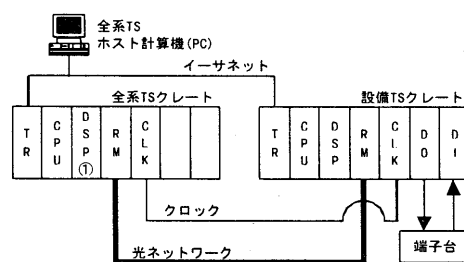


図1 プロトタイプシステム構成