多層平面コイルによる高周波・高空間分解能磁界計測とその LSI 電流計測への応用

Multi-Layer Planar Shielded Loop Coil with High Spatial Resolution for Measuring Magnetic Fields, and Its Application to High-Frequency Current Measurement

増田則夫・玉置尚哉 日本電気(株)デバイス評価技術研究所 N. Masuda and N. Tamaki, Device Analysis Technology Labs., NEC Corporation

To reduce EMI at the LSI-packaging level, new methods that can measure the high-frequency current from LSIs must be developed. This paper describes a new magnetic field probe that can measure the above mentioned current, as well as the magnetic field surrounding LSI packages and printed circuit boards (PCBs). It is designed on basis of a multi-layer planar shielded loop coil fabricated by using PCB manufacturing technology, and achieves a spatial resolution greater than that of existing probes. A test board design that can be applied to LSI testers for measuring the high-frequency current was also developed. The paper includes a proposal for standardizing methods of measuring the high-frequency currents.

Key words: magnetic field, shielded loop coil, integrated circuit, power terminal, high-frequency current, microstrip line, spatial resolution, muti-layer board, electromagnetic interference

1. まえがき

近年、電子機器の動作速度の向上は著しく、例えばパー ソナルコンピュータの心臓部である MPU (Microprocessing Unit) の動作周波数は1GHz を超えようとしている. これに伴い, LSIの内部回路や実装ボードの設計において も配線インダクタンスなどを正確に求める必要が出てきて いる.これは、従来は考慮されていなかった接続要素が遅 延や共振を起こす可能性が出ているためで,電子機器の EMI (Electro-Magnetic Interference) 対策設計の対象も LSI パッケージなどのよりプリミティブな実装階層に移行 せざるをえない¹⁾. 一方, SOC (System On a Chip) 化によ る大規模化、高集積化により内部回路間の電磁干渉の増大 が懸念されている. このような設計環境の変化に対応する ために、世界各国の工業団体や IEC が LSI の EMI 評価法 の標準化検討を行っている²⁾. LSI が EMI を発生させる能 力を評価するためには電磁界、電圧、電流などの計測が考 えられるが、設計改善に利用していくためには、EMI の発 生原因である高周波電流を定量的に求めることが重要であ る. 例えば、LSIの動作に必要な電力は電源系より供給さ

れるため、電源・グランドを経由して放射する高周波電流 に着目すると、LSIの電源回路を流れる高周波電流の評価 は EMI 特性の評価として重要な位置を占める.

従来,LSIの入出力電流を計測するための方法として は、コイルやホール素子を利用した電流プローブや1Ω抵 抗を挿入して差動プローブで計測する方法などがある³³. しかし、配線を切断してケーブルや抵抗を挿入しなければ ならないため、計測系の高周波特性を劣化させる問題があ る.超伝導を利用する方法⁴¹も開発されているが、特殊な環 境下におかなければならないため、LSIテスターを用いた 通常動作状態での計測が困難である.また、LSIテスティ ングの分野では抵抗変化を利用した計測法⁵¹などが開発さ れているが、高周波計測には不向きである.

そこで、筆者らは多層平面コイル構造⁶⁰を用いて多層基 板型磁界プローブを開発・改良し^{71,80}、高周波磁界の計測 に適用してきた.さらに、EUT (Equipment Under Test) 近傍に発生する磁界を利用し、非接触での高周波電流の計 測法を考案し、EIAJ (Electronic Industries Association of Japan) 経由で日本提案として IEC に提案⁹⁰した.この方 法は PCB (Printed Circuit Board) に実装された LSI の電 源端子をターゲットとした高周波電流スペクトラムの計測 法¹⁰⁰であり、LSI 内部回路や外部デカップリング回路の設 計に直接利用できるデータを提供する¹¹⁰.また、特殊な設 備を必要としないので比較的簡単に計測を行うことができ る.

本稿では、多層基板型磁界プローブの一つの設計モデル (幅 10 mm)について主に述べ、磁界計測の一つの応用と しての高周波電流計測法について解説する.また、製品と して販売されている LSI を DUT (Device Under Test) と した電源の高周波電流スペクトラムの計測結果や CAF (Complex Antenna Factor)による電流波形の再生につい ても解説した.

2. 多層基板型磁界プローブと電流計算

磁界検出には, MO 素子, MI センサ, 半導体センサなど も利用されるが¹²⁾, 感度, 小型化, 高周波対応などの点で 課題があり、電子機器の LSI や高密度 PCB に対応させる ためにはさらに研究開発を続けることが必要である。LSI 周辺で計測される磁界の強度は、10~100 dBµA/m (スペ クトラム), 周波数は 1~1,000 MHz 以上である (電源端 子を流れる高周波電流のピーク値は数 mA~1 A と予想さ れる). また、LSIパッケージのピンのピッチや高密度 PCBの配線ピッチに対応するためには、信号線で 0.1~ 0.3 mm の空間分解能が必要となる(電源配線の場合は,1 ~3 mm 程度). さらに, 通常 LSI 周辺には他のコンポー ネントや配線パターンが存在するので、電界を除去し、鋭 い指向性をもたせることが必要となる。このような条件下 で使用可能なプローブとして、PCB上に多層平面コイル 構造を形成した多層基板型の磁界プローブを開発した. こ のプローブは電界をシールドしながら高空間分解能で計測 でき,小型化が容易である.

2.1 多層基板型磁界プローブ¹³⁾

Fig.1 に多層基板型磁界プローブの内部構造を示す.磁 界検出部の本体は、6 層 PCB(基板の比誘電率 ε_r = 4.7, 金 属パターンの厚み t=35 μm) により構成されており,外形 寸法は 30 mm×10 mm である. 第3 層, 第4 層, ならび に第5層で3層構造のストリップライン (Z₀=50 Ω)を構 成する. 第3層と第5層は幅0.8mmの同一の金属パター ンであり、第4層の幅 0.1 mm の金属パターンをサンド イッチした構造となっている.また,第1層と第6層には SMA コネクタ取り付け用パッドが設けられている. 各層 間には誘電体が充填されており、その厚みは第1層側から 順に 0.1 mm, 0.2 mm, 0.2 mm, 0.2 mm, 0.3 mm となって いる.これは第4層について対称な層構成とするためであ る.この多層基板型磁界プローブは,現在広く用いられて いるシールディドループプローブのセミリジッド同軸ケー







Fig. 3 Spatial resolution of various probes.

Spatial resolution (mm)

s = 1 mm

(Strip width: 100 μ m)

0.1

0.01

(Strip width: 1 mm)

10

1

ブルを平面構造のストリップラインに置き換えた構造に なっている. そのため, 特性インピーダンスを 50 Ω に設 計することで計測系との整合を保つことができ、さらに電 界シールド特性を考慮しつつ小型化,高精度化,および量 産化が容易となった.また, Fig.2のように下部に設けら れたループを横長の方形 (0.2 mm×8.4 mm) としたことに より、配線に効率的に近接させ、空間分解能および検出感 度の向上を図っている⁷). 多層平面コイル構造を採用した ことにより、同軸ケーブルよりも成形性が良くなり、Fig. 2 に示す形状を実現することが可能となった. Fig. 3 は 種々の磁界プローブの空間分解能について計算した結果で ある. この図はマイクロストリップライン直上の磁界強度 を0dBとして6dB低下する位置を空間分解能としてい る. PCB 上の配線パターンは等間隔に平行して配置され ているのが一般的であるため、このように空間分解能を定 義すると隣接配線の影響を受ける大きさを評価する上で便 利なためである.また,原理的には隣接配線の影響を全く 受けない計測方法が存在し、複数本の配線が平行して存在 する場合でも従来型よりも影響を低減できる⁷⁾. 空間分解 能は, EUT としてのマイクロストリップラインやループ 中心とストリップ間の距離に依存して変動する. Fig.1の 磁界プローブは、s=1 mm となるようにカバーなどの設 計がなされているので,空間分解能は1mm前後となって

いる. なお, 図中のs はループ先端とストリップ導体との 距離であり, ループの形状が方形のものについては円形に 変換して半径を求めて比較している. 磁界プローブの出力 は, ループの開口部に鎖交する磁界の時間変化に応じた電 圧として与えられる. なお, Fig. 1 の磁界プローブの保証 範囲は 1~1,000 MHz であるが, 2 GHz 程度までは使用可 能である.

2.2 磁界検出と電流計算

Fig. 1 に示したプローブは基本的にはループプローブと 同じ構造であり、先端の検出部(ループ)で磁界を検出で き、半導体パッケージ周囲での磁界計測などに利用でき る.文献8には、Fig. 1 と同様の構造でさらに小型化・高 空間分解能化した磁界プローブによる磁界分布の計測結果 が報告されている.このような磁界分布は EMI の原因と なっている波源を探査する目的としては有効であるが、回 路設計で扱うことができるのは電圧や電流であろう.した がって、磁界分布から電流ベクトルを推定するなどの方法 が考えられるが、推定精度については検討の余地がある. 一方、以下に述べるとおり EUT の形状や磁界プローブを 設置する幾何学的関係に制限を加えることにより、精度良

は置する及何子的実际に制限を加えることにより、構成及 く電流推定を行うことができる. Fig. 4 はマイクロストリップライン上での磁界計測を示 す図である.マイクロストリップライン周囲に発生する磁

界はマイクロストリップラインの各構造パラメータにより 決定されるため、磁界から電流を逆算することが可能とな る.マイクロストリップラインの電磁界は金属ストリップ の幅 w や誘電体基板の厚み h が波長に比べ十分小さい場 合には TEM モードとみなすことができ、さらに金属スト リップが十分長く、またグランドプレーンが十分広い場合 には、解析において鏡像電流を仮定できる、磁界計算は、



Units: mm

Fig. 4 Section view of magnetic field probe and microstrip line.

金属ストリップとプローブのループ中心との間隔 Y が金属ストリップの幅 w, 厚み t, 磁界プローブのループ半径 に比べて十分大きい場合に磁界 H_x は式 (1) のとおり近似 できる^{7),10)}.

$$H_x = \frac{lh}{\pi Y(Y+2h)} \tag{1}$$

H_x:磁界の*x*方向成分 [A/m]

Y: 金属ストリップとプローブのループ中心との間隔 [m]

t: 金属ストリップの厚み [m]

スペクトラム計測の場合は特定の周波数において計測を 行うので、実際に使用されるマイクロストリップラインの 構造パラメータから、

$$Y = 0.00192$$
, $h = 6 \times 10^{-4}$ [m] (2)

として H_x の対数表示をとり、磁界校正係数(振幅)を考慮 すれば、

$$I_f = V_f - 30 + A_f \tag{3}$$

$$H_{xf} = V_f + A_f \tag{4}$$

I_f: 周波数 *f* の電流 [dBµA]

A_f: 周波数*f*における磁界校正係数 [dB]

 V_f : 周波数fのプローブの出力電圧 [dB μ V]

 H_{xf} : 周波数fにおける H_x [dB μ A/m]

となり, EUT が決まれば簡単な式に変形することができ る. なお,実際に観測される電流値のレベルに合わせて, 本稿では電流スペクトラムの単位は dBμA としている.

磁界・電流波形を求める場合は CAF を用いる. CAF に よる波形再生の原理は比較的簡単で,磁界プローブの出力 の振幅と位相の校正係数を計測することにより再生でき る. ここではマイクロストリップライン法¹⁴⁾で計測された CAF を用いて,電流波形を次の式で求める.

 $I(t) = K_{\rm m} \cdot \boldsymbol{f}^{-1} \{ \tilde{V}_0(\omega) \cdot \tilde{F}(\omega) \}$ (5)

$$K_{\rm m} = \frac{\pi Y(Y+2h)}{h} \tag{6}$$

 $ilde{V}_0(\omega)$: 磁界プローブ出力のフーリエ変換 (V)

 $\tilde{F}(\omega)$: 複素校正係数(周波数領域)

f 1: 逆フーリエ変換

ここで、 K_m は磁界から電流を計算するための係数で、 マイクロストリップラインの構造パラメータにより定ま る.線路が有限長の場合、 K_m の誤差が大きくなるが、ガラ スェポキシ系やテフロン系などのさまざまなテストボード を用いて校正精度の検討を行った結果、校正係数の誤差は 振幅で ± 1 dB 以内であり、EMI 計測用としては十分な精 度であると考えている。CAF を用いる理由は周波数領域 との対応が簡単であるためである。また、CAF の大きさは 前述の A_f と同じものである。CAF による方法の問題点は 低い周波数帯での計測精度が悪いことと、Fig. 1 の構造の 磁界プローブでは原理的に直流磁界の校正ができないこと

I: 電流 [A]

にある(静止状態). LSI はクロックに同期して動作する回路が多いので、電源電流波形もきれいな周期波形として観測されることが多い. そのような LSI の電流計測には CAF による方法が有効であるが、周期が崩れている場合でも、観測区間を十分大きくとることで対応できる. なお、 (3) 式は (5) 式の振幅のみについて求めた形になっている. ここでは電流を計算する方法を示したが、EUT が既知で あれば直接電流校正テーブルを作成し、計測に使用することができる.

3. 電流計測への応用

3.1 テストボード設計と計測系

Fig. 5 に、磁界プローブを用いた LSI 端子での磁界計測 のセットアップを示す.磁界プローブはマイクロストリッ プラインに垂直に設置されている.先端はストリップ導体 とは非接触の状態で計測するが、1 mm の計測距離を保つ ために磁界プローブのカバー先端(プラスチック)をスト リップ導体に接触させている.金属導体がマイクロスト リップラインの近傍に存在する場合、高周波帯においてマ イクロストリップラインの伝送特性が変動することが予測 されるが、1 GHz 以下の周波数ではマイクロストリップラ インの伝送特性にはほとんど影響を及ぼさないことが確認 されている¹³⁾.磁界プローブの出力は、50 Ω の同軸ケーブ ルでスペクトラムアナライザに接続されて計測される.同 軸ケーブルは周囲ノイズの影響を受けにくい 2 重シール



Fig. 5 Measurement setup.



Fig. 6 Specifications of a test board (surface).

ドケーブルを使用している. Fig. 6 にテストボードの基本 仕様を示す. テストボードの大きさは 10 cm×10 cm で, ガラスエポキシ系の FR4 PCB である. マイクロストリッ プラインは幅1mm, 全長 14mm, 50 Ω で設計されてお り、給電用の配線パターンになっているため、電源を流れ る高周波電流が計測できる.計測上重要なのは、この50Ω のマイクロストリップラインを構成する第1層の電源供 給用の配線パターンと第2層のグランドパターン (ベタパ ターン)の設計であり、電源の供給ポイントにはデカップ リング用のコンデンサを実装して、電源モジュールとデ カップリングする対策を講じている. 電源モジュールは高 周波を考慮して設計されていないことが多いので、電源モ ジュールの高周波特性により計測値が変動しないようにす るための対策である.駆動回路は PCB の裏面に実装され ているが、この駆動回路が DUT (LSI) の計測結果に大き く影響しないように配慮されている. Fig. 6 のテストボー ドは他の計測法でも共通的に使用できるように詳細仕様の 検討が進められている. テストボードの標準化において は、ボード自体の特性で計測結果が大きく影響しないよう に、層構成、外形、パターン禁止領域などを決めることが 大切である.筆者らが開発した計測法は、テストボードの 設計の自由度が比較的大きく,良い再現性が得られる.





3.2 電流スペクトラム計測

Fig.7は、計測された磁界から電流を計算した結果であ る. 電流値は (3) 式により求めている. Fig. 7 より, 基本波 の整数倍にあたる周波数成分が1GHz付近まで高調波と して生じていることがわかる. これはクロックに同期して LSI 内部の主要なセルが動作しているためであり、その動 作時に電源供給パターンに高周波電流が流れるためであ る、図中の計算値は EMI シミュレーション用に開発され た LSI 全体を可変抵抗によるビヘイビアモデル¹⁶⁾で記述 し、シミュレーションした結果である. Fig. 7 より 200 MHz 付近までは 3dB 程度の誤差範囲内で計測値とシ ミュレーション値が一致していることがわかる. 400 MHz 以上の帯域では差が増大するが、LSI 内部セルのモデルを 追加することにより、シミュレーション値が計測値に近づ くことがわかっている. このようなスペクトラムのチャー トは、不要な高調波成分を抑制するための設計に利用する ことができるが、デバイスモデルの検証用としても役立 つ.

3.3 **電**流波形の再生

本稿で使用している磁界プローブは原理的に電流波形 (磁界波形)の微分で出力が与えられるため,適切な処理を 適用すれば直流分を除く電流波形を再生することが可能で ある.本節では CAF を用いて波形再生を試みた結果につ いて述べる.EUT は幅 1 mm,50 Ωのマイクロストリップ ラインで,磁界プローブの出力はオシロスコープに直結さ



Fig. 8 Measured voltage waveform (rectangular wave).



Fig. 9 Comparison of restored and simulated current waveform (rectangular wave).



Time [x 0.2 ns]

Fig. 11 Comparison of restored and simulated power supply current waveform (LSI).

れ,電圧波形 $V_0(t)$ として観測される. EUT (マイクロスト リップライン) には,ファンクションジェネレータから 2 V_{pp} の矩形波が入力されており,マイクロストリップラ インの片端は 50 Ω 終端されている.

Fig. 8 に磁界プローブの出力電圧波形を示す. この電圧 波形は、オシロスコープで計測された5個の単発パルス波 形を用いて同期加算平均している(サンプリング周波数は 5 GHz). 加算平均した理由は、オシロスコープの能力不足 により計測されたピークの値が変動するためである. Fig. 8 では磁界・電流が変動する時間帯に大きなピークが観測 されている. Fig.9 に CAF により再生された波形を示す. 今回用いた波形処理では、観測区間と波形の周期を一致さ せていないので、エリアジングなどの影響が少ない時間帯 の波形を抽出している. このような処理を用いた理由は, 周期性が曖昧な場合にも対応できるためである.ファンク ションジェネレータは任意電圧波形発生器であり、電流波 形を直接定義することはできないので, EUT の出力とオ シロスコープを直結して計測した電圧波形からオリジナル の電流波形を計算で求めている. EUT は 50 Ω 終端されて いるので電流波形も矩形状となるが、Fig. 9 から計算値と 計測値の差は数 mA であり、CAF による方法でも精度良 く電流波形が再生できることがわかる.今回用いた磁界プ ローブは 1~1,000 MHz の帯域において, 校正係数が振 幅、位相ともに周波数に比例する形で直線的に変化してい るため直線近似したが,近似直線に対して振幅は ±1 dB,



Fig. 12 Decoupling circuit.

位相は ±5 deg に収まっている. なお,時間軸上で若干の 遅延が見られるのは同軸ケーブルの長さの違いなどによる ものと考えられる.

Fig. 10 は Fig. 5 の EUT で計測された電圧波形であり、 Fig. 11 は電流波形を再生した結果である. シミュレー ションは可変抵抗モデル¹⁶⁾を用いて行っている. Fig. 11 により波形がよく似ていることがわかる. 最も大きな波形 のピークの差は、25 mA で、9% 程度の推定誤差となって いる. 誤差が生じる要因は、シミュレーションモデルの精 度、テストボード設計、電源デカップリングの妥当性など が考えられ、今後の検討課題となっている. 特に LSI は膨 大な動作モードをもっているためすべてのモードでシミュ レーションすることは困難な場合がある.したがって、シ ミュレーション時のデバイスモデルを検証するために、電 流計測を行うことは重要である. Fig. 11 において計測結 果が全体的にマイナス側にシフトしているように見えるの は、オシロスコープの計測限界による誤差および今回使用 した磁界プローブが静止した状態では直流を検出できない ため、波形処理の過程で誤差が累積したものと考えられ る. なお, LSI からのトリガー出力がとれなかったため, Fig. 11 で時間軸上の位置は,最も大きいピークをもつ波 形の立ち上がりを基準にして合わせてある.

4. 電流計測とデカップリング

計測された電流の利用方法は対象とする回路により異な るが、電源電流の場合の一つの利用方法はデカップリング 設計への適用である. Fig. 12 は電源デカップリング回路 の簡単な説明図である. 半導体には電源から供給される電 流と、個々の半導体の電源回路に挿入されているデカップ リングコンデンサCから供給される電流がある. これによ り半導体が高速で動作した場合にも必要な電力を供給する ことが可能となる. 従来の設計では、デカップリングコン デンサの容量は経験的に決定されることが多かった. しか し、半導体の動作速度が向上し高周波成分が増えるに従 い、設計的に決定する必要が出てきている. また、デカッ プリング回路の実装方法によっては、分布定数的な振舞が 生じるようになり、意図していない共振現象が発生する場 合もある. このようなデカップリング回路の設計において は、CやLの値が小さいため回路シミュレーションにより 詳細に検討する必要が出てきている.

このような回路を設計するための電流波形の利用方法と して、1)時間積分により動作に必要な電荷量を求める¹¹¹, 2) LSI 電源の時間応答モデル(ビヘイビアモデル)の検 証,などが考えられる.電流スペクトラムについても,LSI 電源の周波数モデルの検証などの利用方法が考えられる. このように磁界計測のみでなく,電流を求めることにより 直接的に設計改善に役立てることができる.また,信号系 について今後も適用を検討していく予定である.

5. ま と め

本解説では多層平面コイル構造による磁界プローブと高 周波電流計測への適用について述べた.現状でもスペクト ラム,波形ともにコンデンサの容量を決定したり,配線パ ターンの共振を抑えるなどの設計目的であれば,十分実用 的な範囲であろう.計測精度については,アンプの採用や 計測系の改善でさらに高めることができる.

今後 SOC 化が本格的に進められると、さまざまな回路 モジュールがワンチップ内に混載されるため、回路間の干 渉を抑制し、ギガヘルツ動作を保障する技術へのニーズは 高まると考えられる.また、これまでは外部端子を介して チップの実動作を LSI テスターで計測することができた が、少なくとも電子回路の機能ブロックである IP (Intellectual Property) ごとに電流波形を計測することは、電磁 干渉を防止し、回路の正常な動作を保証するために必要に なってくると考えられる.このようなニーズに対応するた めには、さらに空間分解能や周波数特性を向上させること が必要である.このため、本解説で紹介した手法を、現在 開発中のさらに微小なシールディドループプローブ¹⁷など にも適用していく予定である.このプローブはシリコンプ ロセスを利用したものであり、数十μmの大きさのループ を成形することが可能である.

しかし、今日のLSI内部配線の微細化の進展は著しく、 信号線などをターゲットとした微小領域での高周波磁界計 測に関する技術を確立していくためには、新しいマイクロ 磁気デバイスなどの開発が必要であろう.すでに、ASET (Association of Super-Advanced Electronics Technologies: 技術研究組合超先端電子技術開発機構)などにおい ても微小な磁界プローブの開発が着手されている.

謝 辞 多層平面コイル構造について有益な助言をいた だいた東北大学通信研究所の荒井賢一教授,山口正洋助教 授に感謝致します.また,全般にわたり助言をいただいた NEC デバイス評価技術研究所 EMC 技術センターの遠矢 弘和センター長に感謝いたします.

補 足本論文の電流計測で使用した多層基板型磁界プローブは日本電気真空硝子(株)製モデル MP-10L である.

参考文献

- 1) 「電子機器の EMC ワークショップ」,電子情報通信学会 EMCJ 研究会, pp. 25-30, 39-42, 43-58 (1998).
- 2) IEC New Work Item Proposal, 47A/429/NP (1996).
- 3) "ABCs of Probes," Tektronix (1997).
- M. Hidaka, T. Satoh, H. Terai, and S. Tahara: *IEICE Trans. Electronics*, E80-C, 1225 (1997).
- 5) 二川, 井上: NEC 技報, 50, 68-73 (1997).
- M. Yamaguchi, S. Yabukami, and K. I. Arai: *IEEE Trans.* Magn., 32, 4941 (1996).
- 7) 玉置, 増田, 山口: 信学技報, EMCJ97-36, 15-20 (1997).
- 3) 玉置, 増田, 遠矢, 山口, 荒井: 電気学会マグネティクス研 究会資料, MAG-98-5 (1998).
- 9) IEC New Work Item Proposal, 47A/525/NP (1998).
- H. Wabuka, N. Masuda, N. Tamaki, T. Watanabe, M. Yamaguchi, and K.I. Arai: 信学技報, EMCJ98-6, 39 (1998).
- 11) 和深:「LSIの EMC 設計」, '99EMC・ノイズ対策技術シン ポジウム資料,(社)日本能率協会 (1999).
- 12) 日本応用磁気学会第 107 回研究会資料一超高感度マイクロ 磁界センサの開発動向とその応用一 (1998).
- 13) 玉置, 增田, 遠矢, 石坂, 山口, 荒井: 信学技報, EMCJ98-103, 55 (1999).
- 14) 原田, 佐々木, 半杭: 電学論, 117-A, 523 (1997).
- N. Masuda, N. Tamaki, H. Wabuka, T. Watanabe, and K. Ishizaka: EMC '99 Int. Symp. in Tokyo, S14, 801 (1999).
- 16) H. Irino, H. Wabuka, N. Masuda, N. Tamaki, and H.

Tohya: EMC '99 Int. Symp. in Tokyo, pp. 224–227 (1999).

17) 万木, 薮上, 山口, 荒井, 增田, 玉置, 遠矢: 信学技報, EMCJ99-23, 43-48 (1999)

(1999年11月24日受理)



増田則夫 ますだ のりお

昭59 東京工業大学工学部卒業,昭61 東京工業大学大学院総合理工学研究科修士 課程修了.同年 日本電気株式会社に入 社,光通信装置の開発を経て,平5より電 磁界計測および EMC 解析に関する研究開 発に従事,現在に至る. 専門 環境電磁工学



玉置尚哉 たまき なおや

平4 室蘭工業大学工学部電子工学科卒 業,**平7** 東北大学大学院工学研究科電気 および通信工学専攻修士課程修了.**同年** 日本電気株式会社に入社,電磁界計測に関 する研究開発に従事,現在に至る. **専門** 環境電磁工学