特

集

狭ピッチ・高生産フリップチップESC工法の開発

彦

Development of Fine-Pitch/High-Production Flip-Chip ESC Process

境 忠 Tadahiko Sakai 永 福 秀 Hideki Eifuku 喜

本 村 耕 治 Kouji Motomura

要 旨

電子機器の小型化・軽量化・電気信号の高速化に伴い,フリップチップ技術が急速に普及しているが,フリッ プチップ技術には量産性と狭ピッチ接合の信頼性に課題がある。そこで,基板の電極上にあるはんだの表面酸化 膜をAuバンプで加圧により物理的に破り,Auバンプとはんだの新生面を接触させ加熱することでAuとSnの合金接 合を行うESC(Epoxy encapsulated Solder Connection)工法を開発した。実装条件を最適化し,電極間50 µmピッ チとした狭ピッチ接合をプロセス時間1秒で実現し,TCT(Thermal Cycle Test)試験,PCT(Pressure Cooker Test)試 験,SAT(Scan Acoustic Tomograph)観察により,信頼性を確認した。また,はんだ粒子を混ぜた熱硬化樹脂を 用いるESC5(Epoxy encapsulated Solder Connection 5th)技術はESC工法の派生技術であるが,150 µmピッチにおい ては実用上問題ないことを確認した。

Abstract

With the reduction in size and weight of electronic devices, and the speeding-up of signal transmission, the flip-chip technique has rapidly become widespread. The flip-chip technique, however, involves problems associated with mass-productivity and the reliability of fine-pitch connection. Accordingly, we have developed an Epoxy encapsulated Solder Connection (ESC) process that achieves an Au-Sn alloy junction by physically breaking the surface oxide film of solder formed on each electrode on a substrate by an Au bump through pressurization to thereby bring the Au bump and the newly-formed surface of the solder into contact, and heating. Using the ESC process with mounting conditions optimized, we realized fine pitch connections at an interelectrode pitch of 50 μ m in a process time of 1 sec. The reliability of the fine pitch connections was verified by Thermal Cycle Tests (TCTs), Pressure Cooker Tests (PCTs), and observations by Scan Acoustic Tomograph (SAT). In addition, an Epoxy encapsulated Solder Connection 5th (ESC5) technique, which is an ESC process derivative technique using thermosetting resin containing solder particles, also showed practically satisfactory reliability of fine pitch connections at an interelectrode pitch of 150 μ m.

1. **はじめに**

デジタルネットワーク社会の発展に伴い電子機器の小型・軽量・高機能化が急速に進んできた。特に,昨今の 電子機器の牽引(けんいん)役である携帯電話では,今 後もアミューズメント化,PDA(Personal Digital Assistants)化,ウェアラブル化,ファッショナブル化,カ メラの高画質化,またゲーム機,PC,DSC(Digital Still Camera)など電子機器との融合による複合化が進展し, 今後もその傾向は更に強まるものと考えられる¹⁾。

その一方で,電子機器メーカーは商品の高機能化に伴い,部品点数,ICピン数は増加するものの実装面積は小 さくしなければならない。また,大容量データ処理のた め高速動作特性向上も急務である。これらを同時に実現 する有効な解として,実装効率に最も優れ,かつ信号距 離が短く高速伝播に優れるフリップチップ技術が注目を 集め,ここ数年活発に技術開発が行われている²⁾。

第1図に, COF (Chip On Film), COG (Chip On Glass) 用途を含めたフリップチップの出荷ベースでの予測デー タを示す。このデータより,パッケージ用途での急速な 市場拡大が見込まれていることがわかる。このパッケー ジ用途においては, Pbフリー化, 絶縁材料のLow- 化 (低荷重実装), ファインピッチ化, 高生産化などの対応 が早急に求められており, いずれの課題もフリップチッ プ技術で解決していかなければならない。

本報では,これらの課題を解決できるフリップチップ 工法の1つとしてESC工法を提案し,その適用性について 述べる。





2. ESC**工法の開発**

2.1 ESC工法の開発の背景

フリップチップ技術の歴史は古く、IBM社により30年 以上にわたって大型コンピューター用のセラミック基板 とベアチップの接合に,はんだを用いたC4(Controlled Collapse Chip Connection)³⁾フリップチップ接合技術が 採用されてきた。近年は基板がプリント配線板などの有 機基板に移行したが,シリコンと有機基材の線膨張係数 差をアンダーフィル樹脂で補強することで対応してきて いる。接合方式が,はんだによる金属接合のため,半導 体,自動車用途など高信頼性を要求される場面で使用さ れている。

一方,ガラス基板を対象とするLCD(Liquid Crystal Display)パネルの組立てにおいて,液晶ドライバーICな どの接合にACF(Anisotropic Conductive Film)異方性導 電シート⁴⁾が用いられており,このACFは接合用の導電 粒子を熱硬化フィルムに分散したもので,ICと基板の間 に供給,加圧,加熱することで,IC電極と基板電極の間 に導電粒子をかみ込ませて電気的に接合をとる接触方式 である。

C4工法は,半導体分野を中心に最も使用実績の多い工 法であるものの,Pbフリー対応や工程の複雑さから汎用 的な用途への適用が難しくなってきている。一方,ACF 工法は,シンプルな工程ではあるが,接触接合のため高 信頼が必要な分野への適用は敬遠されている状況にある。

そこで当社では,両工法の特長を生かしACFのように シンプルな工法で,C4のような金属接合をさせるという コンセプトで,1995年よりESC工法の開発に取り組んでい る。これまでモジュール部品や半導体パッケージの一部 への採用により,当社独自の固有技術として業界で認知 されつつある⁵⁾。

2.2 ESC工法の概略

ESC工法は,はんだによる金属接合でありながらACF工 法やNCP(Non Conductive Paste)工法のように樹脂先塗 りで行う工法である。標準的な部材の構成として,バン プはAuで基板電極側にはPbフリーはんだがプリコートさ れている。実装プロセスを下に示す(**第2図**)。

プロセスとしては,下記の2工程のみと大変シンプルで ある。

- (1) 基板に接合剤である樹脂を塗布する。
- (2) ICを加圧加熱しながら搭載する。

通常,はんだ付けする場合はフラックスを用いる。フ ラックスは,接合を阻害するはんだと被接合材の表面酸 化膜を化学的に除去し,被接合材にSnとの合金を生じさ



第2図 ESC工法のプロセスフロー Fig. 2 Process flow of ESC process.

せる機能をもっている。フラックスを使用しない場合は, フラックスの機能であるはんだと被接合物の表面の酸化 膜の除去を別の方法で行う必要がある。ESC工法では,基 板の電極上にあるはんだの表面酸化膜をAuバンプで加圧 することで物理的に破り,Auバンプとはんだの新生面 (酸化膜のないはんだ)を接触させて加熱することでAuと Snの合金接合を行う。特にAuは,はんだとの濡れが非常 に良いので上記方法で短時間に十分にはんだ接合ができ る。この工法の接合材は絶縁の熱硬化性の樹脂(液状,フ ィルム状のいずれでもよい)で,金属接合時に樹脂も硬 化させるので,接合部が樹脂によって保護,補強され安 定して良品が得られやすい。

2.3 ESC工法の特徴

ここでは,上述してきたESC工法に関して,特徴的な下 記7項目について評価試験結果を紹介し,パッケージ用途 への対応が可能なことを示す。

- (1)低抵抗值接合
- (2) 低荷重実装
- (3)低コストバンプ
- (4) Pbフリー対応
- (5) フラックスレス
- (6)狭ピッチ対応性
- (7) 高生産性

〔1〕低抵抗值接合

第3図は,各工法のさまざまな実装条件下での接続抵抗 をプロットしたものである。これより,C4やESC工法を 含む金属接合は低抵抗で安定していることがわかる。一 方,接触接合は抵抗値が大きなばらつきをもっている。こ れは,接合の状態に大きく依存することを示している。半 導体や大電流回路など接続の低抵抗を望むアプリケーシ ョンには金属接合が適しており,ESC工法はその金属接合 のグループである。

〔2〕低荷重実装

ESC工法は,通常5~10gf/バンプの低荷重で接合す ることができる。他の工法,たとえばACFやNCPなどの 接触接合の工法は基板電極の弾性変形が必要であるため, 少なくとも30gf/バンプ,バンプ/基板の平坦度や基板



第3図 工法別接続抵抗値

Fig. 3 Connection resistance value corresponding to each flip-chip process.

の弾性率などによっては100gf/バンプが必要となる場合もある。C4の場合もバンプ/基板の平坦度によってはやはり10~30gf/バンプぐらい必要とされる。このことよりESC工法が比較的低荷重実装可能であることがわかる。今後チップの絶縁膜がもろいLow-に移行して行くことから低荷重での低ダメージの接合が望まれており、それに対応しやすいこともESC工法のメリットとなる。

〔3〕低コストバンプ

Auバンプは,はんだバンプと比較して一般的に低コス トとなる。はんだバンプの場合はバリアメタルや再配線 が必要になるが,Auバンプの場合はそれらが不要なため に,バンプ付きチップのコストを比較するとAuバンプの 方が安い場合が多い。

〔4〕Pbフリー対応

基板側にプリコートするはんだは当然Pbフリー系のは んだを使用しており,Pbフリー対応となる。今まで評価 実績のあるはんだとしてはSnAg(共晶),Sn,SnAgCu, SnCuがあるが,いずれも接合信頼性上問題ないことを確 認している。

〔5〕フラックスレスフリップチップ工法

次に、ESC工法をフラックスレスで接合評価した結果を 示す。評価に使用したワークはチップが10×10 mmでバ ンプ数 240ピン、ピッチは 0.15 mm,基板は BT (Bismaleimide-Triazine)基板で、はんだはSnAg共晶を用 いた。信頼性試験は前処理としてJEDEC(Joint Electron Device Engineering Council)のプリコンディションLevel 3を行い、その後に、TCT(Thermal Cycle Test):-40 /125 1000サイクル、PCT(Pressure Cooker Test): 130 /85% 144 hを行った。**第4図**に、信頼性試験の結果 を示す。ここで、抵抗値は240ピンのトータルの抵抗値で 基板配線やチップの配線の抵抗値も含んだ値となってい



第4図 150 µmピッチTCT, PCT試験結果と接合断面写真/超音波 映像装置 (SAT) 観察

Fig. 4 150 µ m pitch TCT, PCT test result and joining section photograph / Scan Acoustic Tomograph (SAT) observation.

る。TCTとPCTのどちらも抵抗値の増加は見られず良好な 結果となった。併せて,ワークの接合部の断面写真(TCT 試験後),プリコンディション後の超音波映像装置(SAT) 画像を示すが,接合部の断面写真においては,Auバンプ とはんだがフラックスレスにもかかわらず良好に濡れて 接合できているのが確認できる。これは,樹脂を先に供 給することで接合部は樹脂で覆われ,雰囲気中の酸素を 遮断することができるため再酸化を防ぐ効果があること も1つの要因と考えられる。また,SATの画像においては, チップ/基板と樹脂との剥離(はくり)や,接合中に発 生する気泡(ボイド)なども観察されず,きれいに樹脂 が充填されているのが確認できる。

〔6〕狭ピッチ対応性

C4などのアンダーフィル(樹脂の後入れ)を用いる場 合,60 µmを下回る狭ピッチになるとバンプのサイズが 小さくなるため,チップと基板とのギャップが狭く樹脂 の充填が困難になるうえ,リフロー冷却工程の応力で接 合部の破断が起きやすくなる。一方,NCPなどの接触接 合では前述したように,ある一定の荷重を必要とするた め,実装時にバンプが電極からずれ落ちたり,電極自身 が変形するため,こちらもファインピッチには適さない ことがわかっている。これらに対してESC工法は狭ピッチ にも対応可能な工法であるといえる。これは,先に樹脂 を供給することから低ギャップでも樹脂を充填できるこ と,さらに低荷重での接合が可能なため実装ずれも生じ にくいことによる。また,アンダーフィル(樹脂の後入 れ)と異なり,接合時の熱で樹脂を硬化するため金属接 合と樹脂補強を同時に行え,その後のさまざまな外力(冷 特

集

却による応力,搬送時の応力など)から破断を防ぐこと ができる。第5図に,50 µmピッチのワークでの実装評 価結果,接合部の断面写真(TCT試験後),プリコンディ ション後のSATの観察画像を示す。チップが7×7 mmで バンプ数544ピン,基板側のはんだはSnの電解メッキを用 いた。信頼性試験は前処理としてJEDECのプリコンディ ションLevel 3を行い,その後に,TCT:-40 /125 1000サ イクル,PCT:130 /85% 144 hを行った。TCTとPCTの どちらも抵抗値の増加は見られず,良好な結果となった。 接合部の断面写真においても狭ピッチでの接合が実装位 置ずれなく,きれいにできているのが確認できる。また, SATの画像においても,剥離や接合中に発生する気泡(ボ イド)なども観察されず,きれいに樹脂が充填されてい るのが確認できる。



第5図 50 µ m ピッチTCT, PCT試験結果と接合断面写真 / SAT観察 Fig. 5 50 µ m pitch TCT, PCT test result and joining section photograph / SAT observation.

〔7〕高生産性

ESC工法は,樹脂を先に供給し硬化と金属接合を同時に 行う工法であるため短時間での接合を可能とし生産性を 上げられる。仮に樹脂がない場合を考える。接合時には チップのAuバンプとはんだを溶融接合させるわけだが, 金属接合は瞬時に行われるものの溶融状態で加圧,加熱 用実装ヘッドをチップから離すと断線などの接合不良が 発生する。つまり,接合時にはんだを溶融接合させた後 に冷却し凝固するまでヘッドをチップから離すことがで きないことになる。これに対して,ESC工法のように事前 に樹脂がある場合,はんだが溶融している状態であって も樹脂は硬化開始しているため,1s程度の短時間でヘ ッドをチップから離しても接合不良は発生しない。当然 この時点での樹脂硬化は,TCT試験やPCT試験などの接合 信頼性を確保するためには不十分であり,150,30分~ 1時間程度の後加熱処理が必要となるが、この工程は硬化 炉にてバッチ処理可能なため、生産性には効いてこない。 また、NCP工法などの接触接合でもESC工法同様、樹脂は 事前にあるが、前述のように接合に高荷重を要し、その 反力に勝るため樹脂の硬化がほぼ完了するまで加圧加熱 する必要があり、ESC工法ほどの短時間化は困難である。 前項で示した50 µmピッチのワークも実装プロセス時間 1 s(後加熱は150 、30分実施)と極めて短時間で行っ ており、各信頼性においても確認できたことから、生産 性が高い工法であることが実証された。

以上,7項目の特徴を紹介し,ESC工法に関して50 µm ピッチにおいて,生産性を含めた接合信頼性が確保され ていることを示した。今後は50 µmピッチ未満の領域で の開発が課題である。

3. ESC5工法の開発

3.1 ESC5工法の概要

ESC工法は,基板電極へのはんだプリコートが必要であ るが,特にモジュール用途の場合に接点がAuメッキとな っており,フリップチップ部にはんだをプリコートする ことはメッキが2種必要となりコストアップとなる。その ため,基板側がAuメッキ電極でESC工法を行いたいとい う要望が強くあった。そこで,AuバンプとAuメッキ電極 の組合せでもはんだ接合を行う方法としてESC5工法を発 案した。これは,接合樹脂にはんだ粒子を含有させて接 合部であるAuバンプとAu電極の間にはんだ粒子をかみ込 ませてはんだ接合させるものである。はんだ粒子は,圧 力を受けるAuバンプとAu電極の場所のみ表面酸化膜を破 壊されて溶融接合する。その一方で,接合部以外のはん だ粒子は表面酸化膜が残っており,互いに溶着すること はなく良好な絶縁性が得られる。

3.2 ESC5工法の検証

〔1〕Auバンプへの適用

まず,はんだ粒子をかみ込ませることでAuバンプとAu 電極のはんだ接合が確実に行われるかどうかを検証した。 検証方法は,硬化剤を除いたはんだ粒子入りの樹脂を作 成し,加熱しても樹脂硬化が起きない状態にしてAuバン プのチップをAuメッキ電極の基板に実装し,その後強度 の測定を行った。実験方法および接合面観察写真を,**第6** 図に示す。測定結果はシェア強度として10 gf/バンプが 得られ,さらに破断部にははんだ接合された跡がすべて の接合部にはっきり残っていた。次に,熱硬化樹脂には んだ粒子を配合し,はんだ粒子サイズ,粒子径など系統 的な評価を進め,最適化を行った樹脂にて実装評価を行

特集



第6図 ESC5実験方法および接合面観察写真 Fig. 6 Experiment method and join observation of ESC5 process.

った。使用したワークはチップが10×10 mmでバンプ数 240ピン,ピッチは0.15 mm,基板はBT基板のAuフラッ シュの電極である。信頼性試験は前処理としてJEDECの Level 3を行い,その後に,TCT:40/125 1000サイクル, PCT:110/85% 500 hを行った。第7図は,信頼性試験 結果およびワークの接合部の断面写真示す。TCTとPCTの どちらも抵抗値の増加は見られず良好な結果となった。ま た,AuバンプとAu電極の間にAuとSnの合金が形成し,金 属接合ができていることを確認した。



第7図 ESC5 (Au bumps) TCT, PCT試験結果と接合断面写真観察 Fig. 7 ESC5 (Au bumps) TCT, PCT test result and joining section photograph observation.

[2] はんだパンプへの適用

最後に, Pbフリーはんだバンプ付きのチップへのESC5 工法の適用を紹介する。Pbフリーはんだ(SnAgCu)バン プは200 強の溶融温度をもつが,接合温度を融点以上に 上げて加圧加熱実装すると,はんだが飛び散り,ショー トしてしまう。これを回避する方法として,チップをへ ッドが吸着したまま,はんだを溶融した状態でつぶさな いように実装高さを制御し接合するローカルリフロー方

式があるが,高精度な平行度管理や30 s 程度のプロセス 時間が必要なため一般的ではなかった⁶⁾。そこで,この ESC5技術を応用し,樹脂中のはんだ粒子は低融点なもの を使用し,実装時にはんだバンプが溶融しない温度200 以下で,樹脂中の低融点はんだ粒子のみを溶融させ,バ ンプと電極にかみ込ませて接合させた。第8図に,信頼性 試験結果およびワークの接合部の断面写真を示す。ここ で使用したワークは,前項同様チップが10×10 mmでバ ンプ数240ピン, ピッチは0.15 mm, バンプはPbフリーは んだ,基板はBT基板でAuフラッシュの電極である。信頼 性試験は前処理としてJEDECの Level 3を行い,その後に TCT: -40 /125 1000サイクル, PCT: 110 /85% 500 hを 行い問題ないことを確認した。また、断面観察結果から は,はんだバンプと基板Au電極間にNiとSnの合金形成が 確認された。このように, ESC5技術は0.15 mmピッチで は安定した接合信頼性を得ている。さらなるファインピ ッチ化対応を進める上では,はんだ粒子の小径,高精度 化が課題として挙げられるが、現在はんだメーカー、材 料メーカーと協力して開発を進めている。



第8図 ESC5 (Solder bumps) TCT, PCT試験結果と接合断面写真観察 Fig. 8 ESC5 (Solder bumps) TCT, PCT test result and joining section photograph observation.

4. **まとめ**

以上,当社の開発したフリップチップ技術 ESC工法およびESC5工法に関して述べてきた。

今後あらゆる実装技術の範疇(はんちゅう)で部品の 微小化,電極の狭ピッチ化は間違いなく進行していくで あろう。その中で,本報に示したESC工法のような金属接 合と樹脂補強の融合技術,すなわち「接合特性」と「接 着信頼性」を機能分担することで,おのおののプロセス マージンを広げるという考え方はますますその重要度を

著者紹介

増すものと考えている。当社としては,今後ともこのESC 工法技術をベースにしてさまざまなアプリケーションへ の適用を図り実装技術の進展に貢献していきたいと考え ている。

参考文献

- 1)間仁田祥:携帯情報機器の動向 エレクトロニクス実装学会 誌 10,No.5,p.350(2007).
- 2) 赤沢隆:広がるSiPのニーズと今後の動向 第4回デバイス実 装研究会予稿集 p.19(2007).
- 3) N. G. Koopman, et al. : Microelectronics Packaging Handbook (日 経BP社) (1991).
- 4) 塚越功: 異方性導電フィルム 96ULSI パッケージ新技術シ ンポジューム p.94(1996).
- 5)境忠彦:フリップチップ実装と装置 2007半導体テクノロジ -大会第4編第14章第11節 p.525(2007).
- 6)境忠彦 他: ESC4工法のCSPへの適用 Mate2006予稿集 pp.431-434(2006).

境 忠彦 Tadahiko Sakai パナソニック ファクトリーソリューションズ (株) R&Dセンター R&D Center, Panasonic Factory Solutions Co., Ltd.



永福秀喜 Hideki Eifuku
パナソニック ファクトリーソリューションズ
(株) R&Dセンター
R&D Center, Panasonic Factory Solutions Co., Ltd.



本村耕治 Kouji Motomura パナソニック ファクトリーソリューションズ (株) R&Dセンター R&D Center, Panasonic Factory Solutions Co., Ltd.