

先端半導体用封止材料の技術動向

Technological Trends of Epoxy Molding Compounds for Advanced Semiconductor Packages

中村 正志*

Masashi Nakamura

電子機器の高機能化に伴い、半導体はますます高性能化、多機能化、小型化が進み、また開発期間の短縮化が求められている。これに伴い、半導体パッケージに対する要求も多様化し、高度な技術が求められている。半導体パッケージを構成する重要な材料である封止材料においても、半導体および半導体パッケージの性能を十分引き出すため、従来にない特性や高信頼性が求められている。また、今後のデバイス配線の微細化、高速化、ファインピッチ化に対応できる技術や半導体パッケージの小型・薄型化、高機能化に対応できる技術の開発が急がれている。

With the increasing functionality of electronic equipment, the performance of semiconductors is improving, as well as their functionality and downsizing, while requiring shorter development lead-time. In parallel, semiconductor packages also require a more diversified functionality and advanced technologies. In the molding compound, key materials for manufacturing semiconductor packages with characteristics and reliability not previously available are now required to obtain the optimal performance of the semiconductors and packages. In the future, technology development is required for micro-sizing, achieving speedy production and fine-pitch design of device wiring as well as the technology for enabling compact and thin profile and high functionality of semiconductor packages.

1. ま え が き

半導体封止材料は、LSIを代表とする半導体素子を電子機器のプリント基板に実装できるようにパッケージ化する際に必須の材料である。半導体パッケージ（PKG）は、250℃程度の温度で基板の上に実装され、実装された半導体パッケージは電子機器の中核として動作し、温湿度の変化や衝撃を受けながら目標とする設計寿命まで安定して動作する長期信頼性が求められる。

半導体パッケージを構成する材料のなかで、封止材料は半導体デバイスのアクティブ部と直接接していることから、半導体の信頼性に大きく影響を与えるため、半導体の進歩とともに、つねに新技術による高信頼性化と高性能化が求められている。

とくにLSI分野においては、図1に示すように身近な電子機器にさまざまな形態の先端半導体パッケージが用いられている。携帯電話、デジタルカメラに代表されるモバイル電子機器用には小型・薄型化が求められ、デジタルTVなどのホームAV、ゲーム機などのアミューズメント

機器、およびPC、プリンタなどの情報機器には高速・高機能化と高信頼性化が求められている。また、車載用には高い高温信頼性が求められている。半導体デバイスの進歩

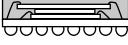
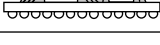
高機能携帯端末 	小型 薄型 高機能	PoP SiP-FBGA	 
モバイルAV、ゲーム機  	小型 薄型 高機能	PiP WLP	 
ホームAV、ゲーム機  	高速 高機能 高放熱	PBGA SiP-PBGA	 
サーバ、PC、プリンタ   	高速 高機能 高放熱	PBGA TE-PBGA	 
車載 	高温信頼性	QFP FBGA	 

図1 電子機器に用いられる先端半導体パッケージ

* 電子材料本部 電子材料R&Dセンター Research and Development center, Electronic Materials Business Unit

に伴い、これらの半導体パッケージもその性能を十分引き出せるように用途に合わせて年々進歩している。

本稿では、先端半導体、半導体パッケージの技術動向、および封止材料に求められる特性と開発状況について概説する。

2. 半導体およびパッケージの動向

2.1 半導体技術の動向

LSI の高集積化、高速化のための半導体技術は留まることなく進歩している。配線微細化による配線間隔の狭小化が配線間に大きな容量を発生させ、信号の伝達速度を低下させてしまうため、Low-k 膜（比誘電率の低い層間絶縁膜）が2003 年から2004 年にかけて使用されだした。さらにアルミニウム配線から銅配線に変わり、現在のLSI ではLow-k 膜を使用した銅配線、いわゆる Cu Low-k が主流となっている。表1 にITRS（International Technology Roadmap for Semiconductors）のロードマップを示すが、現在ロジックデバイスでは配線幅45 nm、32 nm のLow-k デバイスの技術開発、およびそのパッケージング技術の開発が行われている。

表1 MPU／ASIC 半導体技術ロードマップ¹⁾

時期（年）	2005	2007	2010	2013	2015
配線幅*（nm）	90	68	45	32	25
配線材質	Cu	Cu	Cu	Cu	Cu
層間絶縁膜 誘電率	3.0～3.6	2.9～3.3	2.6～2.9	2.4～2.8	2.1～2.5

*MPU／ASIC Metal（M1）1／2 pitch

図2 に最先端のLow-k チップの断面を示す。チップ表面の銅多層配線がLow-k 膜を絶縁層として形成され、最表面は通常保護膜（パッシベーション）としてSiN やポリイミド（PI）がコーティングされている。このLow-k 膜は配線幅90 nm 世代では有機シリカ（SiOC）膜等が実用化され、45 nm 以降はLow-k 膜中に空孔を分散させて寄生容量をさらに抑えるポーラスLow-k 膜の導入がデバイスメーカーで検討されている（図3）。

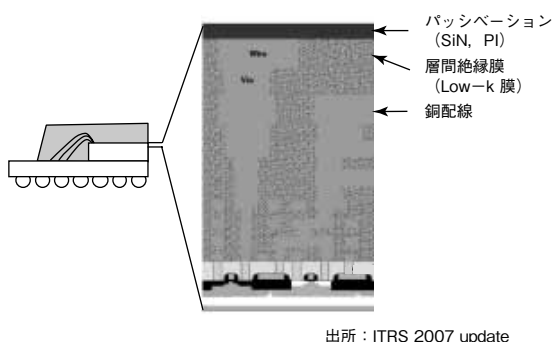


図2 Low-kチップ断面

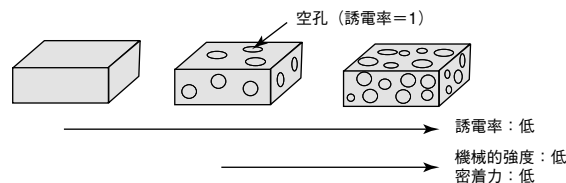


図3 Low-k膜のイメージ

Low-k 膜はポーラス構造になると弾性率が10 GPa 以下になり、機械的強度が小さく、また密着性に劣るため、封止材料による封止工程やパッケージを基板へ実装するときや動作中の熱履歴などで応力の影響を受けやすく、絶縁層内で剥離やクラックが発生しやすい。したがって、Low-k 用に使用される封止材料は、Low-k 膜へのダメージを抑える低応力性が必要であり、パッケージメーカーでは細心の注意を払って封止材料の選定を行っている。

2.2 半導体パッケージの動向

2.2.1 全体的な動向とパッケージの分類

半導体パッケージの基本的な機能は、電子機器の目的機能を達成するために半導体素子とプリント基板を効率的に接続させること、および半導体素子の使用環境条件下での製品寿命を確保することである。

半導体パッケージの全世界の生産量は、依然としてDIP, SOP, QFP 等のリードフレーム型が主流である。しかし、成長率ではBGA, CSP, QFN, WLP 等の基板型エリアレイパッケージや小型パッケージの伸びが顕著である。

なかでも基板型のBGA はアドバンスト（先端）パッケージと呼ばれ、携帯電話を代表とするデジタル電子機器のおう盛な需要によって年率30 %から40 %の成長率である。また技術の進歩も非常に速い分野であり、半導体メーカーおよび半導体パッケージメーカーは技術開発をこの分野にフォーカスしている。そのため封止材料メーカーも、成長が著しい分野であることとつねに新規な材料が要求されることから、重点的に開発に取り組んでいる。

図4 に先端パッケージの代表的な分類を示す。パッケージの外形から、大きくはFBGA とPBGA に分類され、さらに搭載されるチップの数、種類により機能別に分類される。

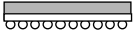
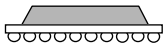
外形分類	機能分類
FBGA (ボールピッチ 0.5~0.8 mm)	
— シングルチップ	1 チップ搭載 (標準)
— SiP (System in Package)	異なる機能のチップを搭載
— MCP (Multi Chip Package)	同機能のチップを複数搭載
— PiP (Package in Package)	薄型 PKG を PKG 内に搭載
— PoP (Package on Package)	PKG 積層用上面ランドタイプ
— FC—FBGA (Flip Chip FBGA)	フリップチップ搭載
PBGA (ボールピッチ 1.0~1.27 mm)	
— シングルチップ	1 チップ搭載 (標準)
— SiP (System in Package)	異なる機能のチップを搭載
— TE—PBGA (Thermal Enhanced PBGA)	放熱板付 PBGA
— FC—PBGA (Flip Chip PBGA)	フリップチップ搭載
FLGA (ボールピッチ 0.5~0.8 mm)	ボールなしランド接合タイプ
	

図4 先端パッケージの主な分類

2.2.2 チップ接続技術の動向

チップ配線の微細化、高集積化によりチップとパッケージ基板との接続技術（ワイヤボンド、フリップチップ用バンパ）も進歩してきている。表2にこれらのロードマップを示す。ワイヤボンド技術については、ワイヤ径が20 μm から18 μm 、チップパッドピッチ（図5）は45 μm から40 μm の製品が生産されている。今後ワイヤ径が15 μm からそれ以下になると、現状のトランスファモールドでの成形は困難が予想され、圧縮成形等の新規成形方法の導入が必要と思われる。一方、新しい動きとして金線の代りに低コストの銅ワイヤの可能性が検討されている。

表2 ワイヤボンド技術ロードマップ²⁾

時期 (年)	2006	2008	2010	2012	2014	2016
チップパッドピッチ (単列) (μm)	40	35	35	30	30	25
チップパッドピッチ (千鳥) (μm)	50	45	45	40	40	35
ワイヤ径 (μm)	18	15	15	12	12	10

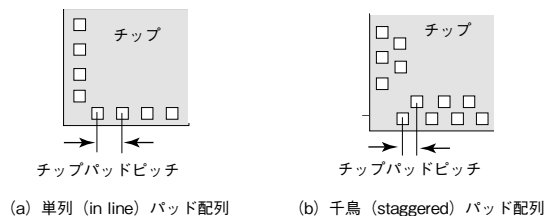


図5 チップパッドピッチの定義

フリップチップ (FC) 技術は、チップとパッケージ基板をワイヤの代りにバンパで接続して電氣的、機械的接続をするもので、高速化や多ピン化がワイヤボンドに比べて容易である。バンパピッチ（図6）の狭小化とバンパ数の増

大は年々進み、表3にこれらのロードマップを示す。

バンパ接続されたチップとパッケージ基板の隙間（ギャップ）には液状封止材料でアンダフィルをする場合がほとんどであるが、近年、組立コストの低減を目的としてトランスファモールドによるアンダフィルであるモールドアンダフィルの技術開発が進められている。

このモールドアンダフィル用には小径フィラーで狭ギャップへの充填性に優れた封止材料が求められている。

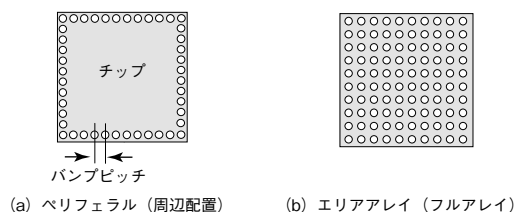


図6 フリップチップバンパ配置例

表3 フリップチップ技術ロードマップ²⁾

時期 (年)		2006	2008	2010	2012	2014	2016
バンパピッチ (μm)	ペリフェラル	40	35	35	30	30	25
	エリアアレイ	150	130	130	110	110	110
バンパ数	ペリフェラル	1400	1580	1850	1850	2200	2200
	エリアアレイ	3400	3800	4200	4600	5000	5400

2.2.3 ウエハ薄型化技術の動向

SiP 化、MCP 化において、複数のチップを多段スタック（積層）する場合やシングルチップの薄型パッケージの場合には、パッケージ高さを抑えるためにチップの薄型化が進んでいる（表4）。ウエハレベルで研磨により薄くされるが、厚みが100 μm 以下になると剛直性が低下し、ハンドリングが問題となるが、現在は厚み50 μm のウエハ（チップ）が量産で使用され、30 μm 以下の厚みのものも検討されている。この厚みになると、オーバハング型にスタックされた場合、チップ間のギャップが狭くなり、また封止時の成形圧力でチップが割れやすくなり、低圧で成形できる封止材料のニーズが現れてきている。

表4 ウエハ薄型化技術ロードマップ^{1), 2)}

時期 (年)	2006	2008	2010	2012	2014
ウエハ厚み (ITRS) (μm)	25	20	15	10	10
ウエハ厚み (JEITA) (μm)	40	35	25	20	17

2.2.4 FBGAの動向

FBGAは1996年にDVC（デジタルビデオカメラ）に初めて搭載され、その後携帯電話への採用が本格化して一気にマーケットが拡大した。BGAのなかでももっとも多く生産されており、半導体を使用するエンドユーザからさまざまなニーズがあるため、図4に示すように、チップ

種類、搭載方法、およびパッケージサイズがさまざまである。したがって、パッケージ内部のチップ構成やワイアボンドの方法、基板厚み、封止厚みにより種々の特性の封止材料が必要となっている。

全体的な技術動向は、主要半導体がほとんどFBGAタイプのパッケージで占められる携帯電話を始めとするモバイル電子機器等の技術ニーズから、図7に示すように取付高さ（パッケージ厚み）が小さくなり、ピン数（ワイア本数）が多くなる。またチップパッドピッチ、ワイア径が小さくなり、高機能化、小型薄型化の方向である。

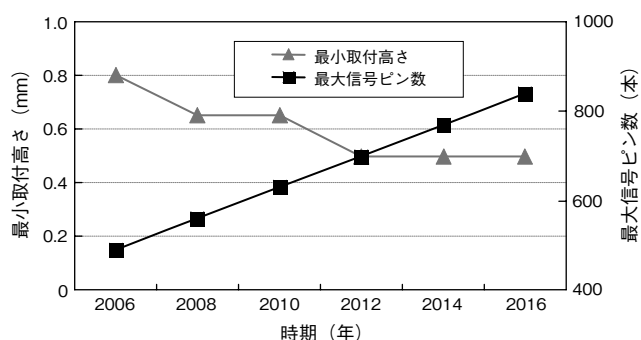


図7 FBGAの動向例²⁾

最小取付高さが0.8 mmの場合、封止厚みは0.3 mmから0.2 mm程度であるため、今後はチップ薄型化に伴って封止厚みが0.2 mm以下のFBGAが開発されると考えられる。

2.2.5 PBGAの動向

PBGAは1995年ごろにPCのチップセットに本格的に採用されて以降、PCやゲーム機などコンピュータ関連機器への採用に限られていたが、近年、デジタルTVの画像処理プロセッサやDVR（デジタルビデオレコーダ）、プリンタ等据置型電子機器への採用が進み、FBGAとともにマーケットが拡大している。

その技術動向は、図8に示すように多ピン化（ワイア本数増加）と狭ワイアボンドピッチ化であり、さらにワイア径も表2に示したように小さくなっていく。

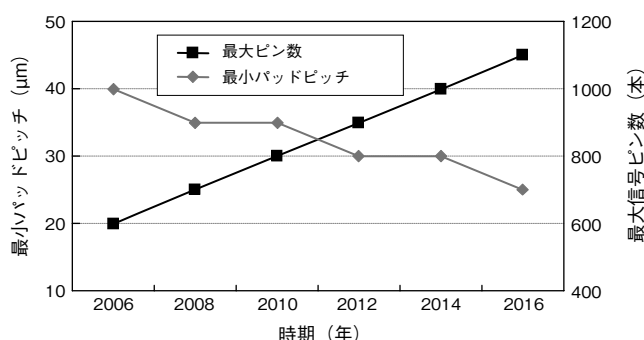


図8 PBGAの動向例²⁾

さらに、複数のチップを搭載したSiP-PBGAやヒートスプレッタ付きの高放熱PBGAの増加にみられるように、内部の構造は多様化していくと思われる。

とくにPBGAでは、搭載されるチップのLow-k化が進んでいるため、封止材料には狭パッドピッチ対応とともに、脆弱なLow-k膜へのダメージを抑える低応力性が求められている。また、高放熱性が求められるパッケージ用として封止材料の高熱伝導化のニーズも多くなるとと思われる。

3. 先端パッケージ用封止材料の動向

3.1 BGA用封止材料の変遷

PBGAやFBGAは基板の片側に封止されるために、封止後の反りの発生が問題になる。これは、170～175℃の成形温度から室温までの封止材料の収縮率が通常基板のそれより大きく、さらに封止厚みが基板に比べて厚いことから、封止部分が大きな収縮応力を発生するためである。したがって、PBGAが開発された当初は従来のリードフレーム型パッケージ用封止材料は使用できず、T_g（ガラス転移温度）が200℃程度の多官能タイプの樹脂を使用した封止材料が開発され、適応されていた。この材料は特異的にT_gを上げる効果のあるトリフェニルメタン型エポキシ樹脂と同構造のフェノール硬化剤を組み合わせたものである。

2000年ごろから鉛フリーはんだ対応が進み、リフロー実装時の温度が最大240℃から250～260℃となることから、パッケージの吸湿リフロー性が前述の多官能タイプの高T_g樹脂を使用した封止材料では問題となった。より高温での実装時に、チップや基板と封止材料の界面で剥離が発生し、信頼性に大きな影響を与えるためである。

当時LSI用封止材料のハロゲンフリー化の動きもあり、2000年から2003年の間で、鉛フリーはんだ対応、ハロゲンフリー対応の両方を満足する環境対応型材料の開発が、パッケージメーカーによる積極的な評価取組みもあり活発化した。鉛フリーはんだ対応については、耐リフロー性をクリアするため、従来の高T_g材料に代えてビフェニル系のエポキシ樹脂を採用し、T_gを130～170℃としてリフロー時の熱応力を下げている。またT_g低下による反りの増大は、シリカフィラーを従来に高充填して線膨張係数を小さくすることで熱収縮を抑えている。さらにハロゲンフリー化は、フィラー高充填化と難燃性樹脂の開発により実現している。このように開発した鉛フリーはんだ対応、低反り、ハロゲンフリーを満足する材料が第二世代のBGA用封止材料である。

この材料はフィラーを約90 wt%充填する必要があるために成形時の熔融粘度が高くなる傾向であったが、当社は独自の技術で高流動性（低粘度）を付与し、ワイア変形を抑御できる環境対応型のBGA用封止材料「CV8710」を開発した。本材料はFBGAにも適応され、現在まで多くのユーザで種々のパッケージに採用されている。

先端 BGA 分野では、2005 年ごろからコンピュータの CPU 等一部に限られていた Low-k チップが、ゲーム機の MPU にも採用されだしたのを切っ掛けに封止材料の Low-k 対応化が進み、また同時にファインピッチ化、ワイア細線化が進んで高流動性のニーズが多くなってきている。このニーズに対応し、現在では新規な樹脂を用いて第三世代といえる高流動低反りタイプの封止材料が最先端半導体パッケージに使用されるようになってきている。

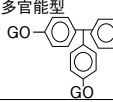
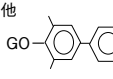
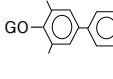
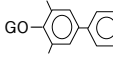
FBGA においては、PBGA のような個別封止ではなく、一括封止方式で成形されるため、当初から PBGA と同様の特性を有する第二世代タイプの封止材料が使用されてきた。先端のファインピッチ、ロングワイアパッケージには第三世代の封止材料が使用されているが、近年の薄型化や大チップ化により、チップの低線膨張係数が反り挙動に大きく影響を与えるパッケージ構造の場合、このような封止材料では従来とは逆方向に反る場合が多くなってきている。さらに、複数の機能のチップを 1 パッケージに搭載する SiP が主流となってきていることやサイズ、封止厚みの種類も多くなってきていることから、さまざまな特性の封止材料が求められるようになってきている。

その構造から、従来とは逆方向の凸方向の反りが顕著に現れるパッケージとして近年急拡大しているのが PoP である。当社はいち早く従来とは逆方向の熱収縮が大きく信頼性に優れた材料を開発し、現在多くの PoP に採用されている。

BGA のチップ接続は大部分がワイアボンドであるが、近年 FC 化が進むにつれ、チップ下の 40～70 μm のギャップの封止を液状アンダフィルからモールドで行う方法が検討され、この用途としてフィラー径が 30～10 μm の封止材料のニーズが高くなっている。

表 5 に BGA 用封止材料の変遷を示す。

表 5 BGA 用封止材料の変遷

	主なニーズ	フィラー量／ フィラー 最大径	エポキシ樹脂	流動性 SF* (cm)	Tg (℃)
第一世代 1995年～	低反り	80 wt% 75～100 μm	多官能型 	80 ～100	200
第二世代 2000年～	低反り 鉛フリー実装 ハロゲンフリー ファインピッチ	85～90 wt% 55～75 μm	ビフェニル型 他 	120 ～200	130 ～160
第三世代 2005年～	低反り Low-k対応 超ファインピッチ 薄モールド 狭ギャップ充填 高成形収縮 圧縮成形対応 高熱伝導	・PBGA用 88～90 wt% 55～75 μm	ビフェニル型 新規低粘度型 他 	170 ～220	130 ～160
		・FBGA用 70～90 wt% 45～75 μm		170 ～250	120 ～160
		・FC-BGA用 70～90 wt% 10～45 μm	GO-X-OG 	170 ～250	120 ～160

*SF：スパイラルフロー（流動性の指標）

3.2 封止材料へのニーズと取組み

前述のように、半導体パッケージは電子機器のニーズに合わせて高機能化、薄型化、および高速化と多様化しており、封止材料の開発も半導体および半導体パッケージのニーズから多様化してきている。図 9 に半導体パッケージ技術の動向と封止材料の開発動向を示す。

さまざまなパッケージに対応できる封止材料の開発のためには、目的の機能や性能を達成する樹脂、フィラー、その他副資材の材料技術、複合化技術の開発が不可欠である。図 10 に示す要素技術の開発と、それらを組み合わせることでユーザのニーズに沿ったパッケージ用封止材料の開発を同時に進めることが求められている。

	2007	2009	2011	2013
パッケージ技術	LSI配線幅 (Logic)	65 nm	45 nm	32 nm
	パッドピッチ	40 μm	30 μm	25 μm
	ワイア径	18 μm	15 μm	
	FCパンプピッチ	150 μm	130 μm	110 μm
	パッケージ	SiP, PoP, CoC → 多ピン, 小型薄型化		
封止材料技術	PBGA/FBGA	45 nmLow-k 40 μmピッチ対応	32 nmLow-k 30 μmピッチ対応	
		高熱伝導対応材 (3 W/m.K → 5 W/m.K)		
		スタック PKG 狭ギャップ対応		
	フリップチップ BGA	モールドアンダフィル 対応 (狭ギャップ, Cuポスト, 大チップ対応)		
	PoP	0.2 mm 以下モールド対応, FCPoP 対応		
	ウエハレベル PKG	次期 WLP 対応		
	新規成形法 PKG	次期圧縮成形対応		

図 9 半導体パッケージと封止材料技術動向

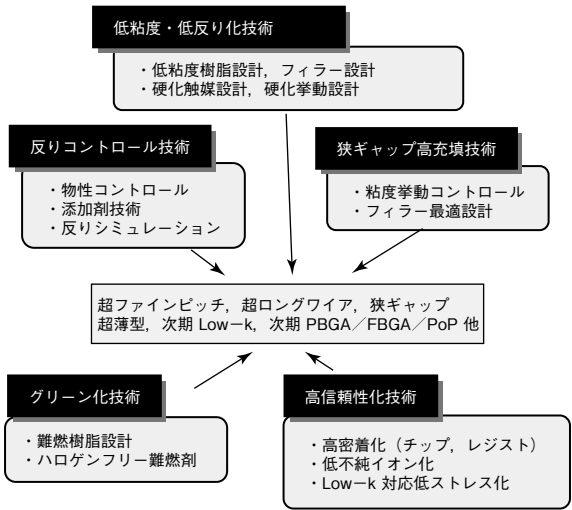


図 10 先端パッケージ用封止材料要素技術

3.3 ハイエンドPBGA用封止材料の動向

PBGA は図 11 に示すように 29 ～ 40 mm 角程度の比較的大きいサイズのパッケージであるため、ワイアボンドタイプの BGA のなかではもっともピン数（ワイア本数）が多く取れる反面、サイズが大きく封止厚みが厚いため封止後にパッケージが反りやすく、実装時の高温域での反り変動も大きいことから、全温度域で低反り性が要求されている。また、ファインピッチ、ロングワイア化がもっとも進んでおり、わずかなワイア変形がワイアショートを引き起こすため低粘度化が必要である。さらに、高速デバイスが多く搭載されることから、Low-k 化がますます進み、低応力化も重要な課題である。

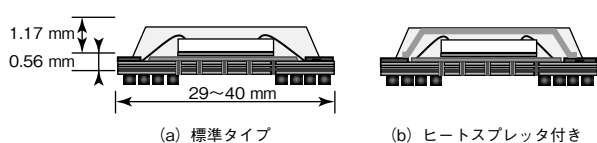


図 11 PBGAの代表的構造

PBGA 用封止材料の開発においては、低反り性とワイア変形を抑える高流動性の両立化がもっとも重要である。低反り性はシリカフィラーを高充填して線膨張係数を小さくすることにより得られるが、熔融粘度が大きくなり流動性が低下する。この二つの特性はトレードオフの関係にあり、高レベルでの両立化のため、低粘度樹脂、フィラー粒度分布、新規硬化触媒等が検討されている。現在までの開発経過から、反りと粘度の関係、および開発の方向性を図 12 に示す。

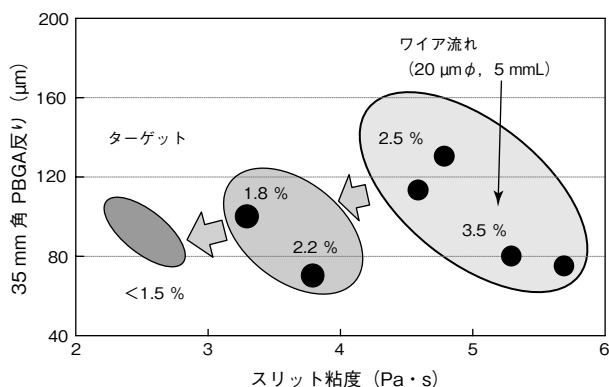


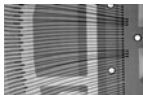
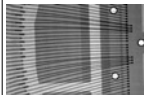
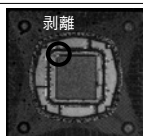
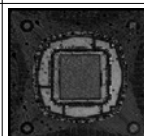
図 12 PBGA用開発材の反りと粘度の関係

さらに、Low-k 化に伴い温度サイクル時の Low-k 膜の破損や剥離を防ぐために封止材料の低応力化が強く求められており、低線膨張係数化と低弾性率化が必要である。

表 6 に当社の従来の材料と開発したハイエンド PBGA 用材の特性とワイア変形、および温度サイクル試験後のチップ表面状態の結果を示す。低反り性を維持したうえでの低粘度化によりワイア変形が大幅に小さくなり、低応力

化の結果、温度サイクル試験後のチップ密着性も向上している。

表 6 ハイエンド PBGA 用開発材料

		単位	従来材	開発材
組成	フィラー量	wt%	89	88
	樹脂		ビフェニル樹脂	新規樹脂系
	硬化促進剤		潜在性	新規潜在性
成形性	スパイラルフロー	cm	185	205
	ゲルタイム	s	38	42
	スリット粘度	Pa・s	4.8	3.5
特性	弾性率（室温）	GPa	27	26
	Tg	℃	140	147
	線膨張係数	10 ⁻⁶ /℃	9.5	9
	応力指数	MPa	23	20
PKG 特性	ワイア流れ (20 μmφ, 5 mL)		 2.90%	 1.80%
	温度サイクル後 チップ剥離			
	JEDEC L3 + TCB 1000サイクル			

3.4 ハイエンドFBGA用封止材料の動向

FBGA は薄型化やマルチチップ化が進むにつれ、前述の PBGA 用の低反り材では封止面を上にした場合、凹反りから凸反りになるものが増えてきており、図 13 に示すようにさまざまな反り性と関連する成形収縮率をもつ材料が必要になってきている。また大面積の一括封止方法で成形されるため、高流動性が必要である。チップ上の狭ギャップ化が進むにつれ、脱気成形法が導入される傾向にあるが、チップ上に未充填が発生しやすく、狭ギャップ充填性も大きな課題である。高流動化材のほうが狭ギャップ充填性が悪い傾向にあり、ワイア変形との両立のためにはフィラー粒径、チクソ性のコントロールが必要である。

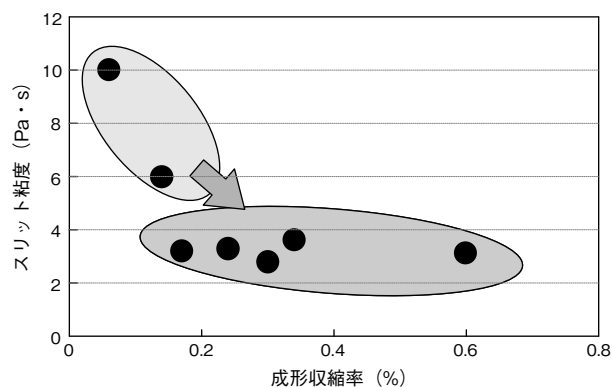


図 13 FBGA用材の粘度と成形収縮率の関係

狭ギャップ充填性について、図 14 にガラス金型を用いて封止材料の流動性を可視化した一例を示す。チップ上の流動速度が遅く、フィラー粒径により流動状態に差があることがわかる。

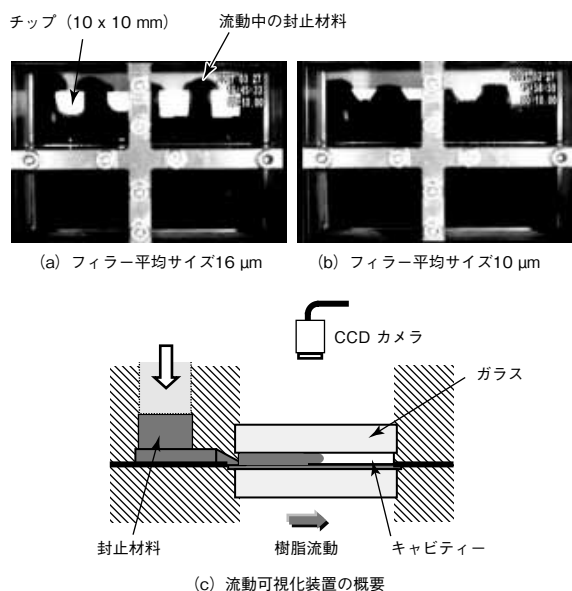


図 14 流動可視化金型による封止材料の流動観察

3.5 フリップチップBGA用封止材料

フリップチップパッケージのチップ下の封止はほとんどの場合、毛細管現象を利用した液状のアンダフィル材が使用されているが、生産性向上のために図 15 に示すようなモールドアンダフィル法が開発され、それに適した封止材料のニーズが多くなってきている。

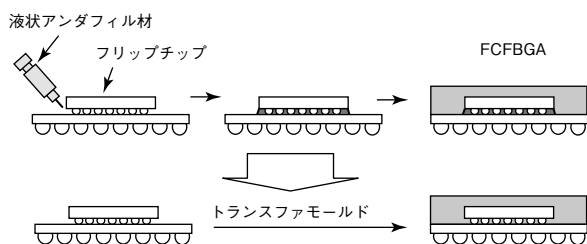


図 15 フリップチップBGAのプロセス概要

通常、チップ下のギャップが 70 ~ 30 μm であるため、最大径が 30 ~ 10 μm のフィラーが使用される。フィラーサイズが小さくなると流動性が低下する一方で成形収縮が増大するというトレードオフを避ける工夫が必要である。

また、成形前のチップ下のクリーニングが不十分となるため、より高密着化が必要である。今後バンプピッチが狭くなり、また 20 mm 角程度のフリップチップへの適応も検討されていることから、チップ下充填性、低応力性がますます重要になってくると思われる。

図 16 に当社評価用のバンプピッチ 150 μm 、3721 ピンフルアレイの充填性の結果を示す。最大径 30 μm フィラー

を使用し、流動性を最適にコントロールした封止材料では問題なく充填されている。また、パッケージの吸湿リフロー試験、その後の温度サイクル試験も液状アンダフィルを使用した場合と同等以上の性能を示している。

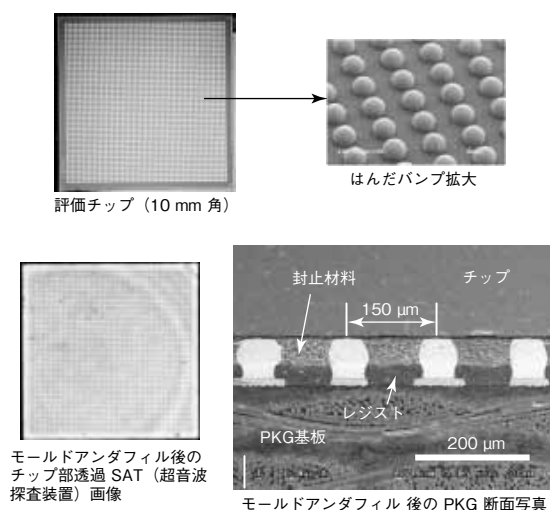


図 16 評価用 FCBGA のチップ、成形後の充填性

4. あとがき

半導体の高集積化、パッケージの高機能化や小型薄型化が今後ますます進み、封止材料も半導体および半導体パッケージの性能を十分引き出すため、つねに性能のレベルアップと新規なパッケージングプロセスへ対応できる技術が求められている。ワイアボンドパッケージは限界といわれながらもさらにファインピッチ化、ワイア細線化が進み、デバイスも応力の影響を受けやすくなっていくなかで、ファインピッチ対応高流動材、低応力性材のレベルアップを図る必要がある。

一方、FC パッケージ用のモールドアンダフィル材も今後の動向にもよるが、重要となると思われる。

さらに圧縮成形、シート成形等の新規な封止プロセスに適応できる材料の開発もニーズに応じて進める必要がある。

*参考文献

- 1) ITRS 2007 update
- 2) 2007 年度版日本実装技術ロードマップ (JJTR), 社団法人 電子情報技術産業協会

◆執筆者紹介



中村 正志

電子材料 R & D センター