

部品内蔵回路技術の最新動向

Latest Trends of Device Embedded PCB Technology

福井 太郎* ・ 根本 知明*

Taro Fukui

Tomoaki Nemoto

半導体素子や個別部品を従来の多層板に埋め込み、プリント配線板モジュールをより一層高密度化することで電子機器の小型化、高速信号化をさらに進展させる部品内蔵回路技術が、いよいよ実用化段階に入ってきている。この技術においては各社が独自にアプローチしているため、大きく3種類の方式に大別したうえで、それぞれの方法と特徴および現状の動きを説明する。機能をもつフィルムやペースト状材料を内層回路上に作製する多層配線板への機能作込内蔵方式では、キャパシタや抵抗機能を発現する特別な材料が開発されている。また、通常の部品実装済み回路を埋め込んでビルドアップする方式と半導体素子上に直接ビア接続する方式は、特別に新たな材料を必要とせず、パッシブ部品だけでなくアクティブ半導体も同時に埋め込むことができることと、小型化や高速化のメリットがあることから、最近盛んに開発が行われている。これらの部品内蔵回路技術は、まだ周辺プロセス技術の開発や専用設備の導入、標準化等の課題を多く抱えているが、今後確実に進展していくものと予測している。

Achieving downsizing and higher signal processing of electronic equipment by further increasing the density of printed circuit board modules with embedded semiconductor devices and discrete components in a conventional multilayer board, the device embedded PCB technology is now getting into a practical application stage. Because each company independently pursues this technology, the methods, features and current activities are described by briefly grouping the approaches into three types. In the case of the function-embedding approach in a multilayer board where functional film and paste are created in the inner-layer circuit, a special material that constitutes capacitors and resistors has been developed. The build-up method of mounted substrate with conventional devices and the direct via-connection method on a semiconductor device do not require special new materials, and both passive components and active semiconductor devices can be embedded simultaneously. These types have been actively developed recently because of the advantage of obtaining compactness and higher operating speed. Although many issues exist in the device embedded PCB technology such as development of relating processing technologies, dedicated equipment, standardization etc, future advancements are definitely expected.

1. ま え が き

材料にかかわる立場から眺めると、エレクトロニクス関連の技術進歩・開発トレンドは、小型化と高速化という二つのキーワードで単純に読み解くことができる（図1）。

たとえば半導体素子における微細配線化技術の進歩は、小型化の実現手段であると同時にトランジスタのスイッチングスピードを向上させる高速化技術でもあるため、半導体の登場以来、変ることのない方向性として技術開発が続けられてきた。半導体パッケージング、プリント回路板技

術においても同様に、高速・高周波、小型・薄型を目的とした革新が、つねに各時代の開発テーマであった。この分野における高密度実装技術は、機器の小型化が達成できるだけでなく、配線長が短くなることで配線の寄生インダクタンスが低減され、信号伝送の高速化が可能となるため、留まることのない進歩が続いている。

この高密度実装技術進展の結果として、過去の片面配線基板へ部品を挿入実装していた時代から、現在のビルドアップ多層配線基板の両面にエリヤレイ状端子を有するパッケージを表面実装する時代へと大きな変化を遂げてき

* 電子材料本部 電子材料R&Dセンター Research and Development Center, Electronic Materials Business Unit

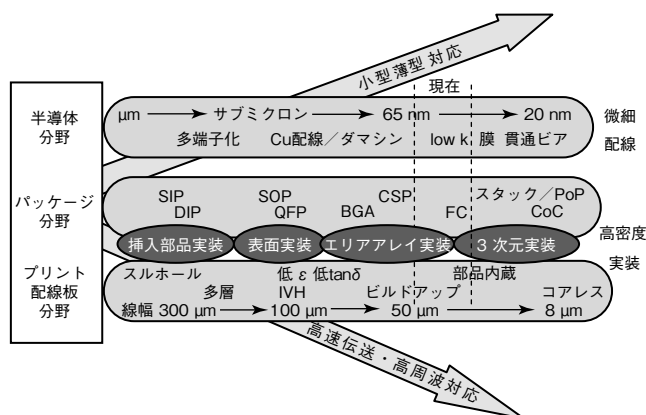


図1 エレクトロニクス実装のトレンドと部品内蔵

た。そしてさらなる技術進展は、これに続く大きな潮流である3次元実装を本格的に推し進める段階に入ってきている。これは平面上に微細部品を高密度に敷き詰める方向性が限界に達しており、新たに出てくる課題のほうが多くなってきていることから、部品実装する階層を増加させるほうがより効果的に高密度実装を進めることができるためである。

この3次元実装には、以下のように幾つかの形態が考えられる。

- (1) 半導体ウェハ段階もしくはパッケージング段階で複数の半導体素子をスタックする方法。

CoC (Chip on Chip), チップスタックパッケージ (図2 (a)) などがこれにあたる。10年ほど前に、携帯電話向けにロジック素子とフラッシュメモリを組み合わせたパッケージが登場して以来、すでに多くの用途で使用されている。

- (2) 半導体パッケージ段階で積み重ねる方法。

古くから DRAM メモリパッケージでは実用化されてきた技術であるが、近年 PoP (Package on Package) (図2 (b)) が登場して以来、多くの分野で使用されるようになってきた。従来のアプローチでは製造プロセスが異なるアナログ半導体とデジタル半導体との1チップ化は非常に難しかったが、PoPにおいてはこれらの半導体の混載が可能であり、また同じパッケージでメモリー容量の異なる使用方法が可能であるなど、従来のモノリシック LSI の弱点をカバーできる新しいメリットを有している。さらに、半導体業界の再編が進み、多種にわたる半導体を自社生産して一つのパッケージ内に納め、製造販売から品質保証までできるメーカーが少なくなった業界の構造変化も PoP の急激な普及に結びついている。

- (3) 部品をプリント配線板上に実装する際に、従来の両面ではなく、立体的な実装を実現する方法。

単にキャビティー基板を用いた実装方法 (図2 (c)) も検討されているが、究極の実装技術として、従来配線のためだけに使用していた多層回路の各層に半導体や部品

を実装する部品内蔵回路技術 (図2 (d)) がいよいよ実用化段階に入ってきている。チップスタック、パッケージスタックといった3次元実装技術は、主として半導体素子を3次元に積層する技術であるのに対して、部品内蔵回路技術では、半導体素子だけでなく個別受動部品 (抵抗, コンデンサ, インダクタ等) も含めて内蔵化が可能という特徴があり、この点で先に述べた (1), (2) の技術とは一線を画するものである。したがって、部品内蔵技術は、回路全体の高密度実装をより一層進めていくための基幹技術であり、今後ますます重要な開発アイテムとなっていくのは、エレクトロニクス技術発展の歴史 (挿入→表面→3次元実装による高密度化) からみても必然である。とくに、受動部品を多く搭載するモジュールパッケージは携帯電話等のモバイル機器に多く使用されており、より小さく、より薄くという要求が強いことから、部品内蔵回路技術の実用化に対するキラーアプリケーションになっていくと考えている。

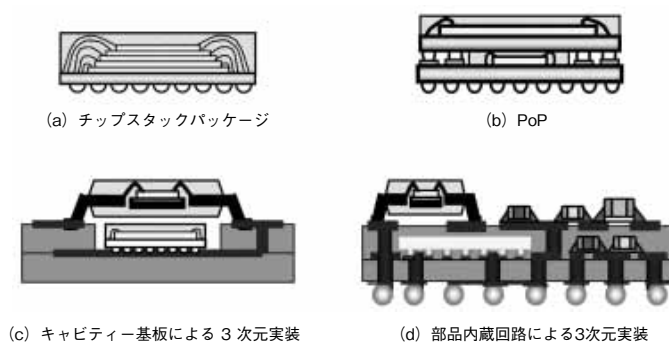


図2 種々の3次元実装技術

部品内蔵回路技術は各社が独自のポリシーに基づいて開発している感が強く、本稿においては、各種研究会等で報告された内容を中心に、その方法および特徴を俯瞰して解説するとともに、材料面での当社のアプローチと開発の現状についても述べる。

2. 部品内蔵回路技術の種類と現状

現在、部品内蔵回路技術に関しては多くのアプローチが併行して検討されている段階であり、これを分類・整理するには多くの観点があるが、ここでは主として材料およびプロセスから図3のように分類している。もちろん、これらの分類は独立したものではなく、実際の応用に当たっては複数の技術を適用できる性質のものである。

第一の分類は、図3 (a) に示すように LCR 等の個別受動部品機能を、プリント配線板の内層にペーストやフィルム状の材料を用いて実現する方法である。本稿では、これを多層配線板への機能作込内蔵方式と呼ぶことにする。一般に、この受動部品 (Passive Component) のみを内蔵対象とするので EPD (Embedded Passive Devices) 技

術として取り扱われる。これは、高温での焼成とレーザトリミングが可能な低温同時焼成セラミック基板（Low Temperature Co-fired Ceramics, LTCC）では古くから実用化されていたが、有機のプリント配線板では低温（200℃以下）のプロセスとなるため、使用する材料（ペースト、フィルム材料）や達成できるレベルはまったく異なるものとなる。本稿では、有機のプリント配線板における EPD 技術に関して詳細に解説する。

第二の分類は、通常の表面実装されたプリント配線板を用いてビルドアップ配線プロセスにより、この実装済みの層が内層回路となるように部品埋込みから表層回路形成まで行うものである（図 3（b））。本稿では、これを部品実装済回路の埋込内蔵方式と呼ぶことにする。先の EPD 技術と比較して決定的な違いは、①受動部品のみならず、能動部品（Active Component）も内蔵できる技術であり、EPD と EAD（Embedded Active Devices）の混載が可能であること、②受動素子として市販のチップ部品を利用することから、部品としての電気特性と信頼性が保証されていることである。すなわち、抵抗チップならばその抵抗値の精度や温度依存性、定格電力や信頼性が明確で保証されている。半導体素子で、KGD（Known Good Die）が議論されるのになぞらえ、KGC（Known Good Component）とも呼ばれている¹⁾。

第三の分類は、Z 軸方向のビア接続配線が従来の回路板上の銅配線間を接続するだけでなく、搭載部品の外部電極も含めた形で接続する形態であり（図 3（c））、内蔵部品への配線形成方式と呼ぶことにする。この方法においては、従来のワイアボンディングやはんだ付けに代表される部品の外部電気接続が、プリント配線板製造工程と一体化されたものとなる。この技術も先の部品実装済回路の埋込内蔵方式と同様に、① EPD と EAD 混載可能、② KGC 使用可能という特徴をもっている。

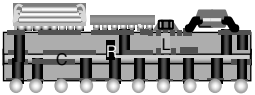
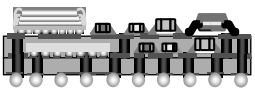
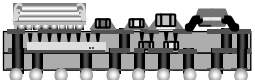
分類	概 要	形態	必要材料
(a) 多層配線板への 機能作込 内蔵方式	抵抗・誘電体による LCR 機能内蔵 	EPD	抵抗・誘電体 ペースト フィルム
(b) 部品実装済 回路の埋込 内蔵方式	表面実装技術による face-down 内蔵 	EAD/EPD 混載可	部品埋込み 絶縁材料
(c) 内蔵部品への 配線形成方式	ビア接続技術による face-up 内蔵 		

図3 部品内蔵回路技術の分類

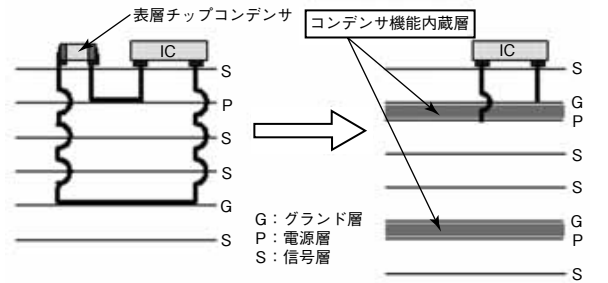
これら、3 種類の部品内蔵技術について、以下にそれぞれの動向と主として材料面から見た特徴と課題を順次説明する。

2.1 多層配線板への機能作込内蔵方式

この方式の部品内蔵は、LCR 等の受動部品機能を発現させる特別なペースト、フィルム材料を用いて、プリント配線板の製造過程で抵抗やコンデンサを作製するものであり、抵抗体や高誘電体を形成するためのペースト、フィルム、薄膜材料が開発され、多くのメーカから内蔵キャパシタ用や内蔵抵抗用の材料が多数提案されている^{1)~5)}。とくに超高速多層回路において、この方式は内部配線への終端抵抗形成が回路機能設計上有効であることや、既存の電源およびグランド層を蓄電層として使用できるため、従来の表面実装されたチップコンデンサへビア配線やスルーホール配線を介して使用する場合と比較して寄生インダクタンスがなくなるといったメリットがある。このため、かなり古くから検討されてきた技術で、スーパーコンピュータ等の大型多層基板に適するといわれている。よく知られている Ohmega Ply、ZBC（Zycon Buried Capacitor）はすでに 1970～80 年代に開発され、1995 年～2002 年ごろにかけて、主として米国で各種国家プロジェクトやコンソーシアムが詳細に開発・評価することで進展してきた²⁾。当社においても、ZBC-2000TM*¹⁾ をライセンス製造し販売している。この材料の代表特性を表 1 に、その効果の概念図を図 4 に示す。

表 1 ZBC-2000TM 材料物性⁶⁾

項目	単位	特性値
厚み	μm	50
電容量	pF/mm ²	0.78
比誘電率 (at 1 MHz)	—	4.2
誘電正接 (at 1 MHz)	—	0.015
体積抵抗率	MΩ・m	5.8×10 ⁸
層間絶縁信頼性 85℃、85%RH、 DC 50 V、2000 h 後	Ω	1.2×10 ¹²
銅箔引きがし強度	kN/m	1.03



ZBC 構造における高速化の効果として、キャパシタまでの不要な配線がなくなりビアによる最短配線で接続できるため、不要なインダクタンス成分が低減されて LC 共振が防止できる

図4 ZBC-2000TM 基板の効果⁶⁾

当社でもキャパシタ内蔵に関する技術的検討も実施し、誘電層厚みや誘電率のアップにより電源－グランド間の内層キャパシタ容量を増加させることで、面内のリップル電圧が小さくなると同時に安定化することや、ノイズ低減対

策したプリント基板には不要なノイズ発生を防ぐ効果があることを確認している⁶⁾。

しかし、この技術的有效性にもかかわらず、材料面では、均一な薄膜厚の確保やその絶縁保証、均一な誘電特性、プリント多層回路製造プロセスでの取扱性と易加工性、さらに内蔵多層プリント配線板としての基本性能や信頼性確保など、量産にあたっては多くの特性を満足させる必要があり、基本のZBC-2000TM以外の材料では本格的な展開は図られていないのが現状である。

以上のように問題点は抱えるものの、多層配線板への機能作込内蔵方式は、消費電力が大きく高速化する最近のデバイスを接続するモジュール基板やPKG サブストレート基板における電源リップルの安定性、EMI ノイズ低減、およびコンポーネントの誤動作防止といった解決策を提供する技術として重要なものであり、その進歩と動向には目を離せない分野である。

2.2 部品実装済回路の埋込内蔵方式

この方式における製造プロセスは、既存のプロセス技術を組み合わせたものであり、技術的な障害は小さいと考えられる。すなわち、通常の部品実装プロセス、部品埋込みとビルドアップ層形成プロセス、ビルドアップ回路形成プロセスがそのまま使用可能である。通常の高層回路板と大きく異なる点は、①部品厚みの問題でビルドアップ層の厚みが従来(数十μm)より大きくなること、これに伴い②ビルドアップ積層時に樹脂が流動して埋め込むべき段差が従来の銅箔回路厚(15～40μm)よりも大きくなることが挙げられる。この問題への対策として、コア基板に部品搭載孔を設けて実装する方法(図5(a))⁷⁾を採用することにより、従来の方法で対処しているケースもあるが、基本的には搭載部品の大きな段差を埋め込むプロセスを工夫することによって、部品内蔵を行っている(図6)。

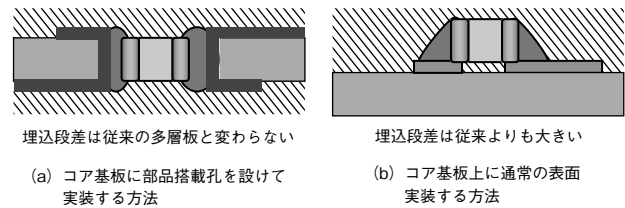


図5 埋込チップ部品の実装方法

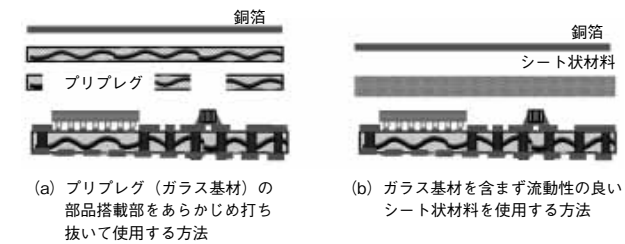


図6 段差の大きい部品の埋込成形方法

一つはガラスクロス基材を含むプリプレグの部品搭載部をあらかじめ打ち抜いて使用する方法(図6(a))、もう一つはガラスクロスを含まず流動性の良いシート状材料を使用する方法(図6(b))である。とくに後者は線膨張係数の小さい溶融シリカを高充填することで、均質で信頼性の高いビルドアップ層を形成することが可能で、当社でもシート状封止材料として上市している(図7)^{8), 9)}。

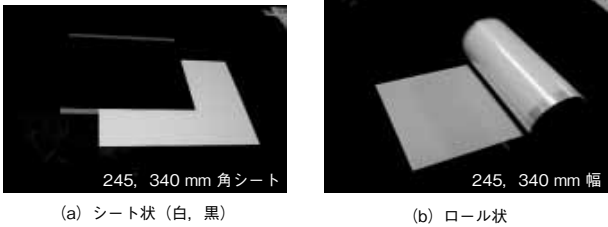


図7 当社の部品埋込内蔵用シート状封止材料⁸⁾

その代表特性を表2に、プリプレグを使用する方法との比較を表3に示す⁹⁾。

表2 シート状封止材料の代表特性

	試験項目	条件	単位	特性値
シート特性	流動性	130℃, 1.5 MPa	%	35
		130℃, 3 MPa	%	65
	揮発分	163℃, 15 min	wt%	0.1~0.4
	硬化時間	キュラストメータ	s	100
	フィルム強度	オートグラフ	MPa	6
	フィルム破断伸び	ダンベル2号型	%	18
硬化物特性	Tg	DMA	℃	215~230
	曲げ強度	JIS C 6481	MPa	185
			Gpa	18
	曲げ弾性率			
	難燃性	UL94	—	V-0 相当
	熱膨張係数	Tg 以下	10 ⁻⁶ /℃	12
		Tg 以上		40
	比重		g/cm ³	1.96
	Cu 箔ピール強度	35 μm 箔	N/cm	19
	誘電率	1 MHz	—	3.7
信頼性評価	誘電正接			0.007
	熱伝導率	定常状態比較法	W/m・k	0.9
	HAST (層間 100 μm)	130℃, 85%RH, DC 20 V, 100 h	Ω	1E+11 以上
	はんだ耐熱性	260℃	s	240 以上

表3 シート状封止材料とプリプレグの埋込材料としての一般的比較

	シート状封止材料	プリプレグ
埋込プロセス性	◎ 穴あけ不要	△ 部品パターン打抜き要
異形部品混載への対応	◎	△ 厚み異なる部品混載困難
埋込層の薄型化	◎ 部品上薄肉化可能	△ 部品上にクロス含有層
部品上厚みコントロール	○	◎ (クロス厚み残る)
部品への応力	◎ 部品周辺は低膨張封止材料	△ 部品周辺は樹脂のみ→膨張収縮大

プリプレグを用いる方法では、高さの異なる異形部品への対応が難しいことや半導体素子混載時の半導体に対するストレス故障が懸念される。また高周波モジュール用途では比較的企画生産台数が少なく開発時の設計変更も頻繁に行われるので、プリプレグの打抜き金型の投資が大きなコスト要因になってくる。以上のような優位性から、材料コスト面での課題は残るものの、シート状材料を用いる方法が主流になるものと考えて開発を進めてきた。この材料を用いることで、従来のプリント配線板作製時の設備やプロセスだけで容易に部品内蔵が可能となり、EPDとEAD混載時にも十分な信頼性を有していることも社内でのモジュール試作により確認している^{8), 9)}。またこの材料を使用すると、図6に示すようなビルドアップ層形成法だけでなく、2枚の実装済みプリント配線板同士の接着シートとしても部品内蔵を実現することが可能であるなど(図8)⁸⁾、他にも種々の使用法があり、ユーザに対して多くの選択肢を提供することができる。



図8 シート状封止材料を実装済みプリント回路板の接着シートとして使用する方法⁸⁾

2.3 内蔵部品への配線形成方式

この方式は、従来EAD内蔵技術として半導体が主要な面積を占めるパッケージング技術として開発されてきたもので、この点が先に説明した実装済みチップ部品を埋め込むEPD内蔵技術として開発されてきた方式と異なっている。近年、部品内蔵用に低プロファイルのチップ部品が開発されており、将来的にはチップ部品上にも直接ビア接続させるといった概念が最近出てきている(図9)¹⁰⁾。

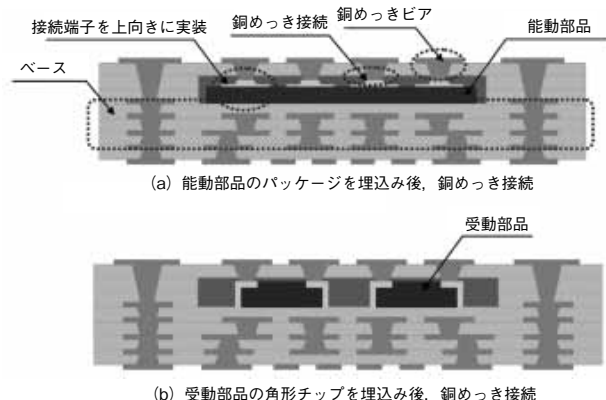


図9 内蔵部品への配線成形による部品内蔵化(概念図)¹⁰⁾

アクティブ素子においては、近年非常に薄いLSI(50～100μm厚)が実用化されており、図9のようにEPD、EAD混載部品内蔵配線板を単一プロセスで作るためには、むしろLCR機能を有するチップ部品の一層の薄型化が望まれていると同時に、めっきに適した電極をもつ部品の開発が必要である。このため現時点ではまだ、この方式はEAD中心に開発されており、半導体素子を高い位置精度でプリント配線板上に搭載した後、その素子電極パッド上からレーザビア法を用いて表層と回路接続を行っている。このような半導体素子内蔵技術は、とくにヨーロッパと日本で熱心に開発が進められており、近年目覚ましい進展がみられる。ヨーロッパでは、Fraunhofer IZMが中心となって幾つかのプロジェクトが企業連合という形で動いており、単に技術検討に留まらず、装置メーカーや携帯電話等のアプリケーションメーカーも加わった技術のプラットフォーム化を目指した活動が進められている^{1), 3)}。日本では、WLCSP(Wafer Level Chip Size Package)^{*2)}を用いてその銅ポスト上にビア配線形成することによって部品内蔵を行うコンソーシアムが作られ、活動している。また、カテゴリーは異なるが、2001年にインテルが理想の高速パッケージング技術として提唱したBBUL(Bumpless Build-Up Layer)も技術概念の根幹は非常に似通ったものである。最短経路で半導体および多層回路を設計し、より高性能なエレクトロニクス機器の実現を目指して、今後もこの方式は継続した開発が進められていくものと考えている。また個別チップ部品を内蔵する技術についても、実際の応用例が発表されており¹¹⁾、今後、EAD、EPD混載へと一気に発展していく可能性もある。

3. 部品内蔵回路の将来と課題・材料開発

以上、現状の部品内蔵回路技術に関する各種アプローチを俯瞰して説明した。最初に述べたように、この技術は、今後さらに発展する必然性を有している一方で、現状は各社独自のアプローチにより、種々の方式・プロセスが検討されており、当面は百花繚乱の様相が続いていくものと考え

えている。また、必要な材料や機器開発もスタンダード化されておらず、多くの課題を抱えており、まだ技術確立の域を出ているとはいえない。このため、一気にこの技術が汎用化して用いられるとは考えにくい。一方では、フェイスダウン実装半導体を内蔵するという高度な技術を用いた高周波モジュールがすでに7～8年前から実用・量産化されて携帯電話に使用されていたり、昨年あたりから多くのメーカーが生産スタート、技術確立の発表を行ったりと、ゆっくりとではあるが確実に本格的な実用化に向かって進んでいる。今後、方式の選別や標準化の進展により、さらにこの動きが加速されるものと考えている。

現時点での実用化のための課題を以下に列挙する。

(1) 従来プロセス技術のレベルアップ

本稿で説明した技術は、基本的には従来のプリント配線板の製造プロセス、設備が使用できるものであるが、方式によっては大判のプリント配線板ワークサイズに使用可能なダイボンダが必要であったり、ダイボンダ精度を従来から1桁向上させる必要があったりする。また、ワークサイズ内での回路寸法精度や厚み精度が従来よりもきびしく要求されるため、周辺プロセス技術の開発や専用設備が必要となる。とくに内蔵実装される薄いコア層の反り、たわみ、成形時の寸法収縮に対するスケールリング補正等のプロセス技術は、従来の多層板成形と異なってくる¹²⁾。さらに内蔵方式によっては、個別チップ部品の薄型化や内蔵後に電極へ配線形成するための電極仕様なども今後検討が必要である。くわえて、部品内蔵基板の設計ルールの標準化、簡易的な構造解析ツールの基板設計CADへの組み込み、材料物性データを基に設計段階で信頼性要求を評価できるソフト開発等も今後欠かせないものである¹²⁾。先に述べたヨーロッパにおける企業共同開発は、このような周辺設備や部品の開発および標準化作業を共同で進めていこうという動きでもある。日本でも、エレクトロニクス実装学会で研究会を立ち上げて技術標準化活動を行っており、標準化文書の作成が進められている¹⁰⁾。

(2) 実装部品のはんだフラッシュ

とくに、部品実装済み回路内蔵は、従来のインフラストラクチャがそのまま適用できるため、今後も継続した開発が続けられると考えている。この方法では、内蔵回路の反りの問題や内蔵製品の繰返はんた付け時のはんた再溶融に起因するはんたフラッシュ^{*3)}の問題があり、低温接合が可能で内部接合はんたの再溶融フラッシュ問題のない接合材料が求められている。筆者らは、新しい概念のエポキシ型導電ペーストの開発も進めており⁹⁾、シート状封止材料と併せて、部品内蔵技術の実用化促進を材料面から支えていきたいと考えている。

(3) 部品内蔵回路板の品質保証

従来、モジュール部品は、プリント板メーカーが製造

した配線板を購入し、半導体メーカーやモジュールメーカーが部品実装して品質保証を行ってきた。しかし、これまで述べてきたように、新しい部品埋込プロセスでは、モジュールメーカー、半導体メーカー、プリント回路板メーカーがそれぞれ得意としてきた種々の要素技術（半導体実装、部品リフロー実装、多層化プレス、めっき技術によるビア接続等）が複合されてはじめて部品内蔵回路板が実現できるものである。どのメーカーも従来製品分野においてはコア技術として保有していない新たな製造技術を追加して習得する必要がある。また、その設計や品質保証をどの段階で行うのか、さらにどんな業界が部品内蔵基板を量産製造していくべきなのかがはっきりとしていない（図10）。現在は、半導体メーカー、モジュールメーカー、プリント回路板メーカーの多くが、その付加価値を取り込むために研究開発している状況にあり、最終的にはより効率的で低コストな分業システムに収束していくと思われるが、現状まだその姿は見えてきているとはいいがたい。

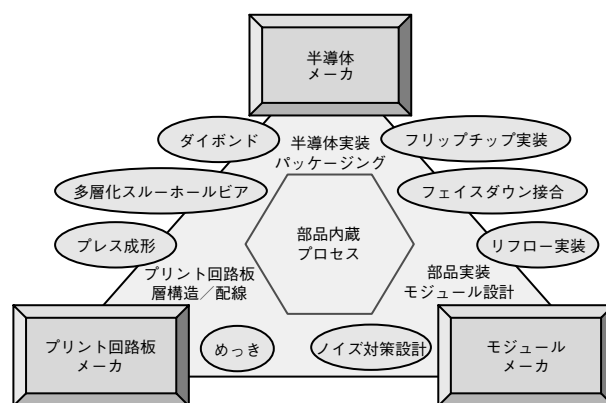


図10 従来のメーカー分類と蓄積要素技術

4. あ と が き

部品内蔵方式には大きく考えの異なるアプローチがあるうえ、これと組み合わせるビア接続法一つ取ってみても、めっき法、ペースト法と異なっている。現在は多様な考え方に基づいて効果の大きい製品実用化を進めている時期であり、いずれ各社の技術内容が明確になってきて、最適な方式に淘汰されていくであろうと考えられる。当社もプリプレグやシート状封止材料を通じて多くのユーザの評価を受けており、関連材料メーカーとして本分野の動向は目が離せないと同時に、ユーザの課題解決に有効な材料を開発・提案することで、実用化促進に寄与していきたいと考えている。

●注

- * 1) ZBC-2000TM：米国 HADCO 社商標
- * 2) WLCSP：半導体ウェハの状態のパッケージングし、その後個片化することで作られる CSP パッケージ
- * 3) はんだフラッシュ：部品内蔵回路内の部品接合に用いられているはんだ材料が、モジュール実装はんだ付け工程での加熱により再溶融し、微細な隙間にしみ出したり（フラッシュ）、部品下で短絡（ブリッジ）を起こしたりする現象

*参考文献

- 1) 福岡 義孝：部品内蔵配線板技術の最新動向，シーエムシー出版，p. 1-14（2007）
- 2) 矢島 龍介：部品内蔵配線板の最新の動向，（社）エレクトロニクス実装学会 ビルドアップ配線板研究会公開研究会予稿集，p. 53-74（2003）
- 3) 宇都宮 久修：最新の部品内蔵基板技術動向，化学技術戦略推進機構 エレクトロニクス交流会講演会，2006 年 11 月 20 日（2006）
- 4) 宝蔵寺 智昭：部品内蔵基板材料とその特性，（社）エレクトロニクス実装学会公開研究会，2003 年 10 月 29 日（2003）
- 5) プリント配線板における一括積層・部品内蔵技術，技術情報協会，（2003）
- 6) 馬場 大三，小関 高好，中村 善彦，松下 幸生，富永 弘幸：コンデンサ内蔵基板による回路基板のノイズ低減，松下電工技報，Vol. 52, No. 1, p. 28-34（2004）
- 7) 福岡 義孝：部品内蔵配線板技術の最新動向，シーエムシー出版，p. 123-165（2007）
- 8) 馬場 大三，福家 直仁，高下 博光，角 貞幸：部品内蔵化で超小型モジュールを実現するシート状封止材，松下電工技報，Vol. 53, No. 3, p. 77-86（2005）
- 9) 福井 太郎：部品埋め込み用材料への要求課題と「シート状封止材」の特性，（社）エレクトロニクス実装学会 EPADs 研究会公開研究会予稿集，p. 93-105（2008）
- 10)（社）日本電子回路工業会規格 JPCA-EB01，部品内蔵電子回路基板，2008 年 6 月制定（2008）
- 11) 宮崎 政志：部品内蔵モジュール技術の最新動向，（社）エレクトロニクス実装学会 EPADs 研究会公開研究会予稿集，p. 36-61（2008）
- 12) 猪川 幸司：部品内蔵基板技術の動向と課題，（社）エレクトロニクス実装学会 関西ワークショップ 2008 予稿集，p. 18

◆執筆者紹介



福井 太郎

電子材料 R & D センター



根本 知明

電子材料 R & D センター