

# 半導体封止材の技術動向

## Technological Trends of Semiconductor Encapsulation Material

中村 正志\*

Masashi Nakamura

電子機器の高機能化、小型化、高速化に伴い、LSI 半導体はますます高性能化、多機能化、小型化が進んでいる。これに伴い、半導体パッケージに対する要求も多様化し、高度な設計技術が必要とされている。一方ディスプレイ分野においては、シリコン素子に代る新たなパワー半導体素子が開発され、これに対応できる新たな耐熱材料のニーズが高まっている。半導体パッケージを構成する重要な材料である封止材にも、半導体およびパッケージの性能を十分引き出すために従来にない性能や高信頼性が、さらには新規なパッケージ組立プロセスに対応できる特性が求められている。

As electronic equipments are getting more sophisticated, smaller in size, and higher operation speeds, LSI devices are required to offer improved performance, functionality and, compactness. Accordingly, the requirements for semiconductor packages have become more diverse, and high-level designing technology are needed. As for discrete devices, conventional silicon devices are being replaced by newly developed power semiconductor devices, and the needs of new heat-resistant materials are increasing. Epoxy molding compounds, which are essential for semiconductor packages, are required to have higher levels of reliability and performance in order to fully utilize the performance of the new semiconductors and packages. They are also required compatibility with new package assembly process.

### 1. ま え が き

半導体パッケージを構成する材料の一つである封止材は、マトリックス樹脂としてエポキシ樹脂を、充填材として主にシリカフィラーを使用した熱硬化性樹脂である。これは他の熱硬化性樹脂と比較して、半導体パッケージを構成する素子や部材との高密着性、低イオン不純物、低応力性、高耐熱性、成形のしやすさなどから長年にわたり樹脂封止半導体パッケージに使用されている。

LSI 分野における半導体パッケージの形態は、リードフレーム型と BGA/CSP に代表される基板型に大きく分けられる。ここ数年間での BGA/CSP の伸びは非常に大きく、携帯電子機器用の LSI 半導体はほとんどがこのパッケージの形態をとり、最近では薄型デジタル TV に代表される据置型電子機器にも多く使用されるようになってきた。また、BGA/CSP の開発とハロゲンフリー化への移行が重なったことが切っ掛けとなり、以前とは異なるタイプの半導体封止材が開発され、新規分野を形成してきた。さらに現在も留まることなく進む半導体の高密度配線化、

高機能化、小型・薄型化、高速化のニーズから、パッケージング技術も年々進歩し、つねに新規のパッケージが開発されている。くわえて低コスト化のニーズも大きく、一例として従来の金ワイアに代る銅ワイアが採用され始めている。

LSI 用封止材のなかでも BGA/CSP 用途では、つねに新規パッケージに適する特性が求められているため、ニーズに応じた要素技術および材料技術の開発が必要である。本稿では、近年ニーズの高い封止材技術、注目されている新規パッケージング技術、および銅ワイアなどの新規プロセス用の封止材技術の動向について概説する。

一方、ディスプレイ（個別半導体）用封止材についての動向としては、最近急激に進んでいるハロゲンフリー化、および新規パワーデバイスのシリコンカーバイド（SiC）やガリウムナイトライド（GaN）素子用の超高耐熱化が挙げられる。本分野においては、この 1 年の間にとくに注目されてきた新規パワーデバイス用封止材技術について概説する。

\* 電子材料本部 電子材料 R & D センター Research & Development Center, Electronic Materials Business Unit

## 2. LSI用封止材の技術動向

### 2.1 半導体およびアセンブリ技術のロードマップ

半導体チップは、微細配線化を代表とする新たな配線技術により年々進歩している。とくに、半導体チップをパッケージ化するアセンブリ技術において、その性能を最大限引き出すための新たな技術開発が積極的に行われている。表1に半導体チップと代表的なアセンブリ技術の最近のロードマップ<sup>1)</sup>を示す。半導体チップの配線幅は28 nmのものが開発段階にあり、それに伴う高機能化や高速化に対応し、半導体パッケージには多ピン化（多I/O化）やフリップチップ化が、また電子機器の小型化のために薄型・小型化技術が求められている。

これらの半導体やアセンブリ技術の動向から、封止材にはつねに次世代のパッケージに適応できる特性が求められている。以下に、LSI分野でニーズの高い封止材の代表的な技術課題と開発概況を説明する。

### 2.2 最近のニーズとそれに対応した封止材

#### 2.2.1 ファインピッチ対応封止材

BGAパッケージにおいては、半導体デバイスの高密度配線化に伴ってファインピッチ化が進み、また低コスト化のために金ワイアの細線化が進んでいる。金ワイアは25 μm径から20 μm径に主流が変わっており、最近では18 μm径の採用も進みつつある。さらには15 μm径のワイアも採用され始めている。ワイアの径が小さくなると成形するときにワイア変形が非常に起こりやすくなり、ファイン

ピッチ化に伴いワイアショートによる不良発生の原因となる。

ワイア変形を防ぐためには封止材の成形時の熔融粘度を低くすることが効果的であるが、一般に熔融粘度を低くすると成形収縮率が大きくなり、封止面を上にした場合の凹反りを大きくする。この反りを抑制しながら低粘度化を図る必要がある。低粘度化はシリカフィラー量を少なくしたり低粘度樹脂を使用することにより容易に可能であるが、線膨張率が大きくなったりガラス転移温度（Tg）が低くなるため成形収縮率が大きくなってしまう。このように低粘度化と低反り化はトレードオフの関係にあり、いかに低粘度で低反りの材料を開発するかが大きな課題である。また、フィラーサイズの最適化も重要な要素である。

低粘度かつ低反りの実現がもっとも難しいパッケージの一つが、ファインピッチ化が進み、かつロングワイアのファインピッチ細線BGAである。従来、40 μmピッチ、20 μm径、4 mm長程度のワイアのBGAの場合は、低粘度樹脂の使用とシリカフィラーの高充填化、およびTgの制御や硬化性の制御によって低反りでワイア流れの少ない材料が得られた。しかし、今後さらにファインピッチ化が進み、18 μm以下の径かつ4 mm以上の長さのワイアが必要になる場合があり、従来の技術の延長ではユーザのスペックに届かない可能性が高く、新たな技術開発が必要になる。

図1にワイア流れと熔融粘度、およびBGA反りと熔融粘度の関係の例を示す。ワイア流れを小さくするには低熔融粘度が好ましいが、反りが大きくなる傾向である。しか

表1 半導体技術、アセンブリ技術ロードマップ<sup>1)</sup>

|         |                  | 時期（年）                                  | 2010    | 2011    | 2012    | 2013    | 2014    | 2015    | 2016    | 2017    | 2018    |
|---------|------------------|----------------------------------------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| 半導体技術   |                  | 配線幅*（nm）                               | 45      | 40      | 36      | 32      | 28      | 25      | 22.5    | 20      | 18      |
|         |                  | ウエハ径（mm）                               | 300     | 300     | 450     | 450     | 450     | 450     | 450     | 450     | 450     |
|         |                  | 層間絶縁膜 誘電率                              | 3.6-4.1 | 3.1-3.4 | 3.1-3.4 | 3.1-3.4 | 2.5-2.8 | 2.5-2.8 | 2.5-2.8 | 2.5-2.8 | 2.3-2.6 |
|         |                  |                                        |         |         |         |         |         |         |         |         |         |
| アセンブリ技術 | シングルチップ<br>ピン数   | モバイルデバイス ピン数                           | 900     | 950     | 1000    | 1050    | 1100    | 1150    | 1150    | 1150    | 1150    |
|         |                  | ハイエンドデバイス ピン数                          | 4851    | 5094    | 5348    | 5616    | 5896    | 6191    | 6501    | 6826    | 7167    |
|         | ワイアボンド<br>ピッチ    | Au wire single in line（μm）             | 30      | 30      | 25      | 25      | 25      | 25      | 25      | 25      | 25      |
|         |                  | Cu wire single in line（μm）             | 45      | 40      | 40      | 35      | 35      | 35      | 35      | 35      | 35      |
|         | フリップチップ<br>バンピッチ | array Mobile product（μm）               | 135     | 120     | 110     | 110     | 100     | 100     | 100     | 95      | 95      |
|         |                  | peripheral mobile and chip to chip（μm） | 50      | 50      | 40      | 40      | 40      | 40      | 35      | 35      | 35      |
|         | モバイル機器用<br>SiP   | 8チップスタックパッケージ高さ（mm）                    | 1.0     | 1.0     | 1.0     | 1.0     | 0.8     | 0.8     | 0.8     | 0.8     | 0.8     |
|         |                  | 最大ピン数                                  | 900     | 900     | 1000    | 1000    | 1000    | 1000    | 1000    | 1000    | 1000    |
|         |                  | 最薄基板厚（μm）                              | 160     | 160     | 140     | 140     | 100     | 100     | 80      | 80      | 80      |
|         |                  | 最薄チップ上封止厚（μm）                          | 100     | 100     | 80      | 80      | 70      | 70      | 60      | 60      | 50      |
|         |                  | 最薄チップ厚（μm）wire bond                    | 40      | 40      | 30      | 30      | 20      | 20      | 20      | 20      | 20      |
|         |                  | 最薄チップ厚（μm）PoP（wire bond）               | 40      | 40      | 30      | 30      | 20      | 20      | 20      | 20      | 20      |
|         |                  | 最薄チップ厚（μm）PoP（FC）                      | 70      | 50      | 50      | 50      | 50      | 50      | 50      | 50      | 50      |
|         | メモリー（MCP）        | 最大チップスタック数                             | 10      | 12      | 12      | 12      | 14      | 14      | 15      | 15      | 16      |
|         |                  | 基板厚、チップ上封止厚、チップ厚                       | SiPに準ずる |         |         |         |         |         |         |         |         |

\*MPU/ASIC Metal（M1）1/2 pitch

出典：ITRS 2009

し最近では樹脂、シリカフィラー、硬化触媒以外の新規な添加剤等によって硬化物のモルフォロジーを制御し、従来にない低溶融粘度で低反りの材料が得られている。

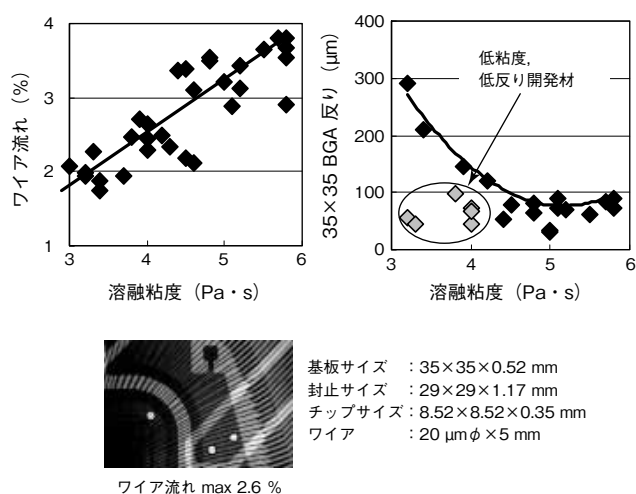


図1 ワイヤ流れ、反りと溶融粘度の関係

## 2.2.2 銅ワイヤ用封止材

近年の金の高騰により金ワイヤのアセンブリコストに占める割合が高くなり、コストが1/3～1/5といわれる銅ワイヤの使用が積極的に検討され、一部実用化されている。

銅ワイヤは金ワイヤよりも電気伝導性に優れ、また高温時の高い接続信頼性を有する。しかし、表面の酸化を防ぐために厳しい保管条件が求められること、ワイヤボンディングプロセスに新たに投資が必要であること、また従来の金ワイヤ用の封止材を使用すると耐湿信頼性に劣る場合があることから、普及には時間を要すると思われる。

従来の封止材を銅ワイヤパッケージに使用した場合、高温高湿試験（HAST）においてチップとの接続部の抵抗が上昇し、最終的に接続部のオープン不良に至ることがある。この原因は明確には解明されていないが、当社の検討結果では、一般に腐食に大きな影響があるとされている封止材抽出水中のCl<sup>-</sup>イオン濃度とはあまり関係がなく、抽出水のpHが影響していることが判明した（図2）。一般的に銅の表面の外部腐食性イオンのアタックがpHに依存することが知られており、このメカニズムを活用すればpHコントロールにより銅表面の活性を抑制できることから接続信頼性の向上が可能と考えられる。当社では、この方法により、銅ワイヤ対応の封止材を実用化している。

銅ワイヤの検討は、ピン数（ワイヤ本数）の多いBGA／CSPのほうが、リードフレームパッケージより先行している。今後はさらにプロセス面や材料面で信頼性の向上が図られ、普及していくと思われる。

## 耐湿信頼性評価条件

ワイヤ : 20 μmφ×5 mm（純銅）  
パッケージ : 35×35 BGA  
HAST : 130 °C, 85 %RH, 1000 h  
測定ポイント数 : 16箇所/TEG

## 信頼性評価用銅ワイヤTEG

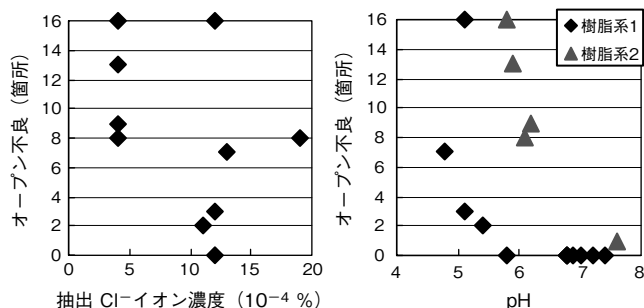
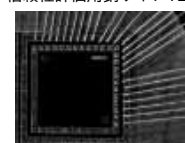


図2 銅ワイヤの耐湿信頼性結果

## 2.2.3 PoP

PoPは、従来のロジックチップとメモリーチップをスタックして一つのパッケージにしたSiPパッケージの代りに、ロジックパッケージの上にメモリーパッケージを積層実装した形のものである（図3（a））。これはSiPよりも歩留が良いこと、エンドユーザがロジックおよびメモリーパッケージを自由に組合せできることから、近年急速に増えている。当初の用途は携帯電話向けであったが、スマートホン、携帯音楽プレーヤ、デジタルカメラ等にも拡大している。

PoP ボトムパッケージは、従来からトップゲート成形により個別封止されていたが、最近ではサイドゲート方式の一括封止タイプが開発された（図3（b））。トップゲート方式は、モールドエリアの周辺にトップパッケージとの接続のためのランドが基板上に配置されたものであり、ランド部を除いてチップ部のみ成形される。一方サイドゲート方式は、チップ部、ランド部両方を一括封止し、各ランド上部の封止部分をレーザーで除去し、接続用のスルーホールを形成するものである（図3（c））。この新たなプロセスは、トップパッケージのファインピッチ化に伴い、ボトムパッケージの接続部のファインピッチ化が必要となるため開発されたものである。

一般的にサイドゲートタイプPoP用の封止材には、トップゲートPoP用の封止材と同様の高い成形収縮率が求められる。図4に示すように、PoPボトムパッケージのような封止厚みが0.3 mm程度と薄い場合には、封止厚みの大きいパッケージとは逆の凸反りになり、低反り化には高い成形収縮率の封止材が必要である。

しかし、個片パッケージの反りをスペック内に収めるように設計すると、一括封止品では大きく凹反りになる場合が多く、その改善が求められている。

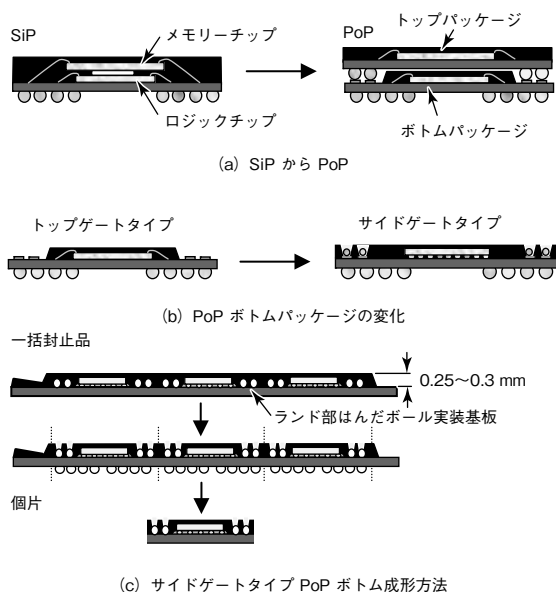


図3 新規PoPボトムパッケージ

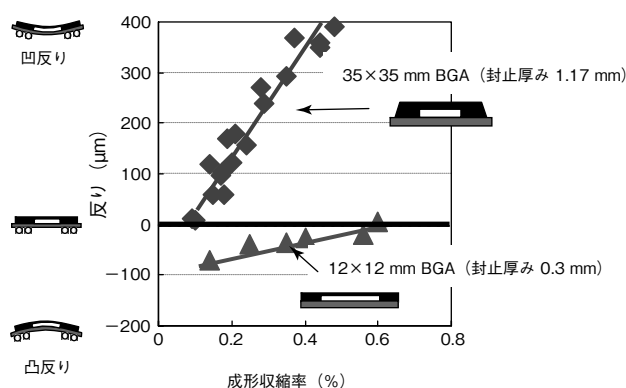


図4 封止厚みと反りの関係

#### 2.2.4 フリップチップ用モールドアンダフィル

フリップチップ (FC) パッケージには、FC を基板に実装し、その間を液状のアンダフィル (CUF) で封止してパッケージにする方法と、CUF で封止した後に封止材をモールドしてパッケージにする方法の2種類がある。反りの矯正およびパッケージとしての取扱いの容易さから、後者の方法が主流である。この場合は組立プロセスで2種類の封止をする必要があり、モールドだけでFCと基板の間のギャップを充填するモールドアンダフィル (MUF) が開発されている。これによりプロセスコストが低減でき、またFCの上部と下部のギャップを同じ材料で封止することで、高い信頼性も確保できる。現在、少量ではあるがMUFを使用したFCパッケージが生産されている。しかし最大粒子径が20～30 μmの従来に比べて小さいシリカフィラーを使用することによるコストアップや流動性の悪化に伴う充填性の低下、FC実装時のフラックスなどの汚染による密着性の低下、およびFC下の未充填ボイド (図5) による信頼性の低下をいかに防ぐかが課題である。こ

れらの課題はパッケージのデザインやユーザのプロセスによってさまざまであり、個別に対処が必要である。

FC バンプの材質については、従来のはんだバンプよりファインピッチ化が可能な銅バンプ (Cu pillar) が増えてきている。銅バンプの場合、はんだバンプに比べてバンプ部の応力が大きくなるためバンプ周辺のクラックや封止材との剥離を防止することが課題であるが、封止材の低応力化と高密着化で解決している。

MUF はFC パッケージの低コスト化や高信頼性化が図れることから今後増えていくと思われる。今後はさらにファインピッチ化、多ピン化およびチップサイズの大型化が進むことが予想されることから、封止材に対する要求はますます厳しくなっていくと思われる。

12×12 fcCSP (社内評価用)  
チップ : 8×8 mm  
バンプピッチ : 150 μm フルアレイ  
FC下ギャップ : 40 μm  
封止材 : 30 μm カットフィラー材

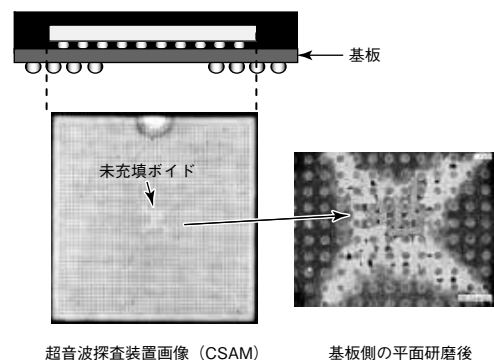


図5 MUFギャップ未充填ボイドの例

#### 2.2.5 圧縮成形用封止材

数年前から新たな封止プロセスとして開発が進められてきた圧縮成形は、トランスファ成形では困難なパッケージ、たとえばチップ上の封止厚みが250 μm以下の場合や金ワイヤが細線かつ長い場合に有効な方法である。これは、チップ実装した基板を上型に吸着させ、封止材のパウダまたはシート状にしたプリモールド品を下金型の中に入れた後、下型を10～20 sの時間で上昇させながら加圧して成形するものである。

通常のトランスファ成形用封止材ではゲルタイムが20～40 sであるが、圧縮成形に適した封止材は、ゲルタイムを50～80 sまで長くしたものがパウダ状態で使用されている (図6)。

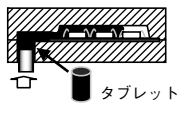
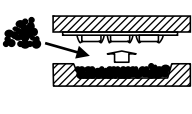
| 成形方法          | トランスファ成形                                                                          | 圧縮成形                                                                              |
|---------------|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|
|               |  |  |
| スパイラルフロー (cm) | 100~250                                                                           | 100~250                                                                           |
| ゲルタイム (s)     | 20~40                                                                             | 50~80                                                                             |

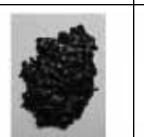
図6 成形方法と封止材成形性状

トランスファ成形の場合には溶融した封止材の流れによってワイアへのダメージが発生するが、圧縮成形ではダメージはほとんど発生しない。しかし、圧縮成形では以下のような傾向がある。

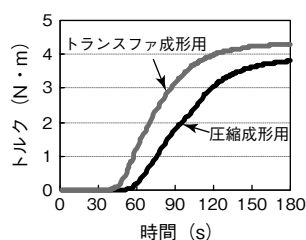
- (1) 封止材の組成によってはパウダの溶融スピードが遅く、ワイアダメージが大きくなる場合がある。溶融した封止材がゲートを通過しないため、わずかでも不均一な部分があると成形品の外観に影響する。
- (2) 封止材が低粘度の場合、パウダ粒子の凝集による搬送時のトラブルが発生しやすい。また、減圧成形時に発泡してボイドが発生しやすい。

したがって本成形方法の導入には、材料開発だけでなく、ユーザサイドにおけるプロセス開発も非常に重要であり、共同で開発が行われている場合が多い。

当社では、新たに溶融スピードを速くする方法の開発を行い、ワイアダメージを極力抑えた材料を提供している(図7)。

|                       | トランスファ成形用封止材                                                                        | 圧縮成形用従来材                                                                            | 圧縮成形用開発材                                                                            |
|-----------------------|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|
| 溶融開始温度(当社測定法)         | 105~115℃                                                                            | 100℃                                                                                | 85℃                                                                                 |
| 溶融性の比較(175℃金型上にパウダ放置) |  |  |  |

(a) 溶融性



(b) 硬化性

図7 圧縮成形用封止材の溶融性と硬化性

## 2.2.6 ウエハレベルパッケージ用封止材

通常のウエハレベルパッケージ(WLP)は、実装のため

のバンプをウエハの状態で形成し、ダイシングで個片化して製造される。これは、チップサイズとパッケージサイズが同じであることから、究極のCSPといわれている。封止材はバンプ間の再配線層の保護および絶縁のため、再配線されたウエハの状態で圧縮またはトランスファ成形法で約100μmの厚みに成形される。また封止材にはモールド封止材が使用される場合や液状封止材が使用される場合がある。

ウエハの線膨張係数は約 $3 \times 10^{-6}/^{\circ}\text{C}$ と非常に小さい。片面封止の場合、基材の線膨張係数が小さいほど成形後の反りが大きくなるため、封止材には大幅な低反り性が要求される。たとえば、8インチサイズの片面に封止した場合の反りは0.5mm程度に抑える必要があり、片面封止のパッケージのなかでももっとも低反り性が要求される。低反り化の方法としては、低線膨張率、高Tgに加えて低弾性率化も必要になる場合が多い。

従来のWLPは、チップ上のバンプ数に制約があるため、ピン数が多くとれず電源ICや小型メモリーなどのパッケージに適用されるだけに留まっていた。また、チップ裏面が露出状態で実装されるため、ハンドリング時にチップの欠けが生じる問題があった。

新規のWLPとして、ピン数を多くとるため、またチップの端部を保護するために開発されたのがfan outタイプのWLP(fan out WLP)である。従来のWLPとの製造上の大きな違いは、個片化されたチップをキャリアの上に貼られた接着フィルムの上に並べた後に封止材で封止すること、および封止後に再配線プロセスを必要とすることである。現在は液状封止材が使用されているが、プロセスコスト低減のためにモールド封止材の使用が検討されており、以下の特性が要求されている(図8)。

- (1) 圧縮成形時にチップ移動がない流動性。
- (2) 圧縮成形後および再配線時(約200℃)での低反り性。
- (3) 圧縮成形後における封止材と接着フィルムとの易剥離性。

近い将来これらの課題は解決され、モールド封止材で本タイプのWLPが生産されると思われる。

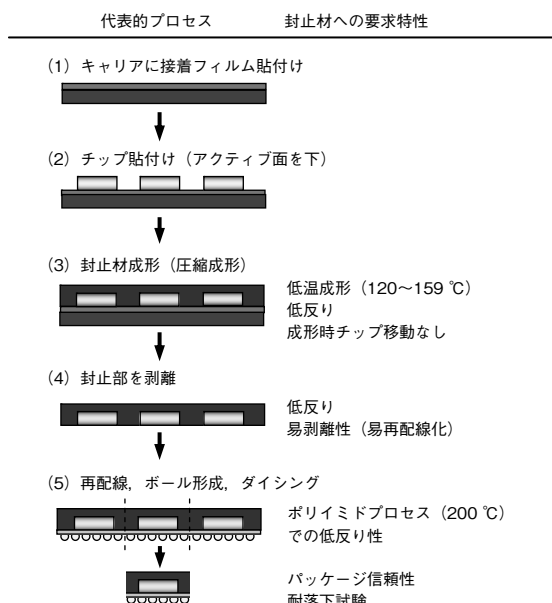


図8 fan out WLPのプロセスと封止材への要求特性

### 3. ディスクリート用封止材

#### 3.1 パワーデバイスの最近の技術動向

近年の省エネルギー化の流れのなかで、電力を制御するインバータなどに使われるパワーデバイスが注目されている。パワーデバイスは電力を使用するさまざまな機器に搭載されるが、エアコンディショナや洗濯機などの家電、さらには電気自動車や発電機器など、とくに大電力を扱う機器でその役割は重要である。

従来のシリコン（Si）素子に代る次世代のパワー半導体として、ワイドバンドギャップ半導体と呼ばれるSiC素子やGaN素子の開発が進められている。これらの素子はSi素子よりエネルギー損失が小さいため、電流密度を高くできるメリットがある。また、Si素子の動作保証温度は最高125℃が一般的であるが、これよりも高温環境下で使用できるとともに、デバイス冷却の簡略化を図ることも可能となる。現在、素子の動作保証温度が150℃から200℃以上をターゲットとしたデバイスの開発が進められているが、実用化には素子以外の実装材料の耐熱性向上も必要とされる。

#### 3.2 次世代パワーデバイス対応封止材

パワーデバイス製造には、量産性と信頼性に優れたエポキシ封止材を使ったトランスファ成形が広く適用されている。SiC素子やGaN素子を用いたデバイスの高温環境下での動作のためには、封止材にも高温での絶縁性等の特性劣化が小さいことが要求される。

絶縁性の代替特性としては体積抵抗率が挙げられる。高温での体積抵抗率は、封止材のガラス転移温度（Tg）に大きく影響される（図9）。常温での体積抵抗率はTgの高い

材料ほど低下する傾向にあるが、これは極性のある架橋部分が多く存在するためと考えられる。体積抵抗率は一般に温度の上昇とともに低下するが、とくにTg以上の温度での低下が顕著である。175℃での体積抵抗率は、Tgが175℃以下の材料ではTgが低いほど下がる傾向があるのに対し、Tgが175℃以上の材料ではその違いによる傾向はみられなくなる。これは、Tg以上の温度では材料の分子鎖の運動が起こり、電荷キャリアが移動しやすくなるためと考えられる。したがって高温で高い絶縁性を保つには、材料のTgを使用温度以上にすることが必要である。

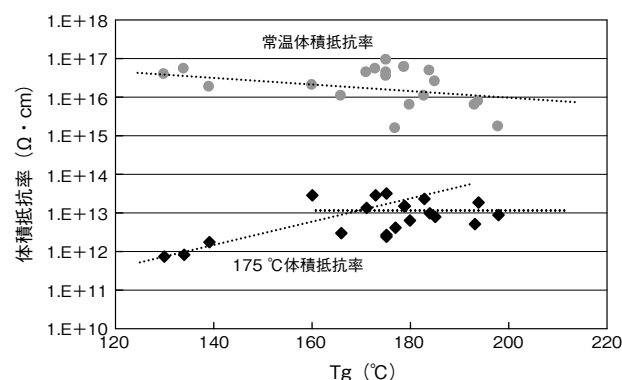


図9 封止材のTgと体積抵抗率

熱分解挙動は、材料がさらされる温度に大きく影響される（図10）。150℃では2000時間経過でほとんど質量減少がみられないのに対し、200℃では熱分解による質量減少が観察される。これに伴い、強度などの材料特性も劣化が進行する。

耐熱分解性については、熱安定性に優れた樹脂骨格を導入するとともに、材料特性調整のために加える添加剤にも熱安定性の良いものを選定することで向上を図っている。

そのほかにも次世代パワーデバイス対応の封止材には、高温までの温度サイクル試験に耐えるための素子や金属フレームとの高密着性、低応力性などが求められ、従来よりもハードルの高い材料設計が必要となっている。

筆者らは、エポキシ樹脂とその硬化剤にフェノール樹脂を使う従来の系において、Tgが200℃を大きく超えるような設計は難しいため、これに代る高耐熱樹脂技術の検討も進めている。

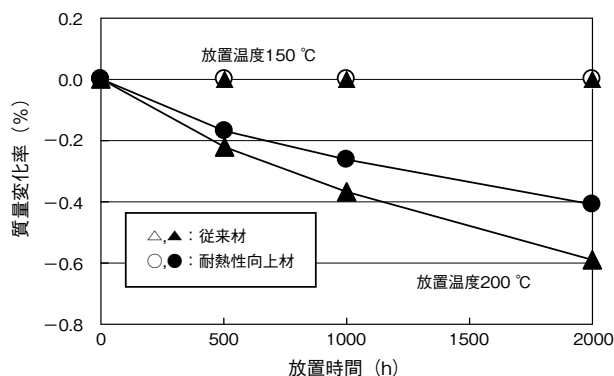


図10 高温放置時間と質量変化

## 4. あとがき

電子機器の高機能化、小型化、高速化に伴い、LSI 半導体はますます高性能化、多機能化、小型化が進んでいる。これに伴い、半導体パッケージに対する要求も多様化し、高度な設計技術が必要とされている。一方ディスクリート分野においては、シリコン素子に代る新たなパワー半導体素子が開発され、これに対応できる新たな耐熱材料のニーズが高まっている。半導体パッケージを構成する重要な材料である封止材にも、半導体およびパッケージの性能を十分引き出すために従来にない性能や高信頼性が、さらには新規なパッケージ組立プロセスに対応できる特性が求められている。

次世代の半導体パッケージやデバイスの実現には封止材が一つの重要な要素であり、今後も封止材に対するニーズを的確に捉え、新たな要素技術の開発によるブレークスルーが必要である。

## \*参考文献

- 1) 国際半導体技術ロードマップ (ITRS) 2009

## ◆執筆者紹介



中村 正志

電子材料 R & D センター