計測器市場向け超小型半導体リレー

Micro-Miniature Semiconductor Relay for Measurement Market

藤原　嘉宏*　・　濱口　展行*　・　濱田　裕行*　・　松田　大*
Yoshihiro Fujiwara　Nobuyuki Hamaguchi　Hiroyuki Hamada　Oki Matsuda

半導体リレーにおいて，光透過型樹脂の周囲を光遮断型樹脂が覆うような形状でキャスタレーションを有するキャビティー構造の基板の開発によって，従来のリードフレーム式構造で限界サイズの SSOP（Small Shrink Outline Package）タイプに比べて体積が 44 %となる SON（Small Outline Nonlead package）タイプの超小型化を実現した。またこのリレーは，キャスタレーションを設けてパッケージ裏面から側面に連続するパターンを形成した端子構造により，はんだ実装強度は従来品の約 2 倍に向上し，かつ SSOP タイプと同等の電気的特性・長期信頼性を有している。

Micro-miniature SON type semiconductor relay with 44 % of the volume of a conventional SSOP type, the smallest with a lead-frame structure, has been achieved by developing a cavity-shaped substrate made from light-shielding resin enclosing light-transmitting resin. The developed relay with each of its terminals formed continuously from the bottom to the recessed side (castration) of the package provides solder joint strength approximately twice that of a previous package when attached to a PC board, yet delivers the electrical characteristics and long-term reliability comparable to those of an SSOP type.

1. ま え が き

当社開発の半導体リレーである「PhotoMOS リレー*[1)]」は，高信頼性，微小リーク電流，長寿命，小型，軽量などの特徴によって，メカニカルリレーの代替品として通信・情報機器や計測機器，車載機器などの幅広い分野で用いられるようになってきているが，近年では電子機器の小型・高密度化に伴ない，さらにパッケージの小型・薄型化が求められている。

なかでも半導体用テスタなどの計測器市場では，テスタ 1 台当り「PhotoMOS リレー」が 1 ～ 2 万個使用されるようなものもあり，小型化の要求がとくに多い。

筆者らはこれに応えるため，従来のリードフレームを用いた構造での最小サイズ SSOP（Small Shrink Outline Package）タイプに対して体積比で 50 %以下となる小型のパッケージを目指して開発を行い，キャビティー構造の基板を用いることにより SON（Small Outline Nonlead package）タイプの超小型半導体リレーを実現したので報告する。

1.1　「PhotoMOS リレー」の動作原理

図 1 に「PhotoMOS リレー」の構成図を示す。

このリレーは，入力側の LED，出力側の光電変換素子，MOS-FET の少なくとも 3 素子以上から構成され，入力側の LED と出力側の光電変換素子の間は光透過性樹脂の封入による光結合を確保しており，電気的には分離絶縁されている。

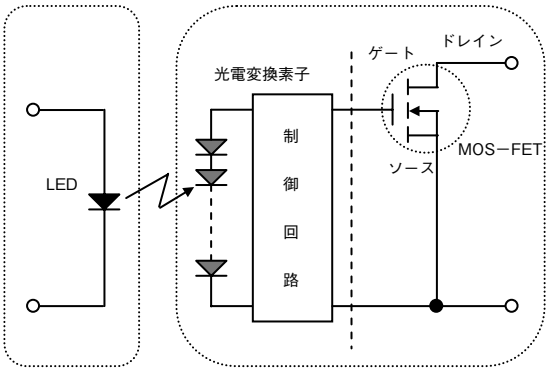


図 1　「PhotoMOS リレー」DC タイプ構成図

入力側の LED に電流が流れると LED が発光し，その光を受けた光電変換素子のフォトダイオードアレイ両端には光起電力が発生する。この光起電力が制御回路を介して MOS-FET のゲート―ソース間に印加され，MOS-FET のドレイン―ソース間は高インピーダンス状態から低イン

*　制御機器本部　スイッチングデバイス事業部　Switching Device Division, Automation Controls Business Unit

ピーダンス状態となり，リレーとしてはオン状態へと移行する。

入力側のLED電流が遮断されるとLEDの光信号が消滅して，光電変換素子からの光起電力の発生がなくなる。MOS-FETのゲート―ソース間に蓄えられていた電荷が制御回路を介して放電され，MOS-FETのドレイン―ソース間は低インピーダンス状態から高インピーダンス状態となり，リレーとしてオフ状態となる。

1.2 従来構造

図2に従来のリードフレームを用いた「PhotoMOSリレー」SSOPタイプの構造を示す。

リードフレームは入力側と出力側に分かれており，入力側リードフレームにはLED，出力側リードフレームには光電変換素子とMOS-FETが実装されている。また，必要な電気的接合は金ワイアにより行われている。

入力側のLEDと出力側の光電変換素子は，光透過型樹脂で光結合を取った状態で電気的に分離絶縁され，外部からの光ノイズを遮断するために全体を光遮断型樹脂で覆う構造である。

この構造では，リードフレームの強度とそれを支える成形部品の強度を確保するためにそれぞれ一定以上の厚みが必要となり，パッケージ体積が半分になるような小型・薄型化は困難である。

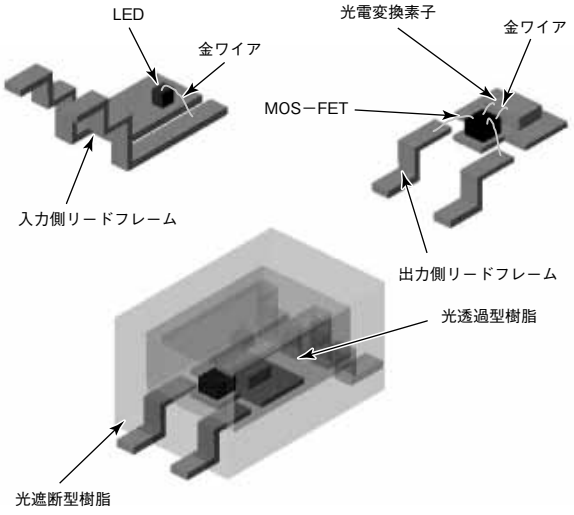


図2 「PhotoMOSリレー」SSOPタイプ構造

2. 小型化のアプローチ

2.1 キャビティー基板構造

前述の課題に対し，基板構造を根本的に見直すことで小型化を図る。

図3に開発したキャビティー基板構造の「PhotoMOSリレー」SONタイプの構造を示す。

単一平面形状の入力側基板とキャビティー構造の出力側基板から成り，入力側基板にはLEDが，出力側基板には光電変換素子とMOS-FETが実装されている。

各基板にはそれぞれ電気的接続をするための導電性のパターンが形成され，端子までをパターン化している。

入力側のLEDと出力側の光電素子の光結合を確保するためにその間を光透過型樹脂で覆い，外部からの遮光および内部素子保護のために最上部から光遮断型樹脂で覆う構造としている。

従来品と比べてこの構造は，リードフレームの厚みを導電性のパターン厚みまで薄くすることができ，またこれまでリードフレームを支えるために一定以上の厚みで強度を確保していた光遮断型樹脂の厚みも薄くすることが可能となる。

さらに，はんだ実装により外部との電気的，機械的接合を行う端子部までもパターン化することで薄型化ができ，その結果，パッケージサイズは従来のリードフレーム構造SSOPタイプに対して体積比で約44 %まで小さくすることが可能となる。

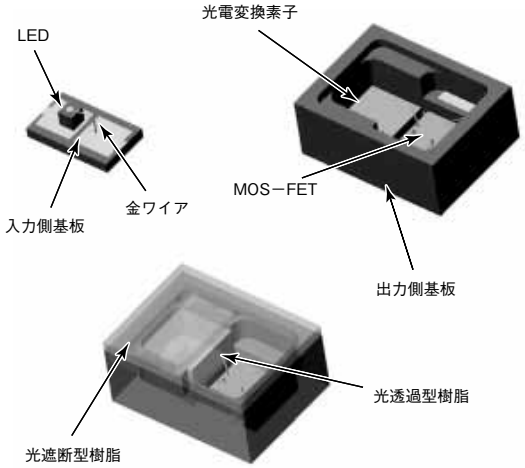


図3 「PhotoMOSリレー」SONタイプ構造

2.2 開発課題

2.2.1 熱応力に対する対策

図4に「PhotoMOSリレー」SONタイプの断面図を示す。

リードフレーム構造のような全体を被覆するモールド成形とは異なり，基板上面の片側成形となるため，基板と光遮断型樹脂との接着強度が問題となる。

とくに，内部には光結合用の光透過型樹脂があり，この材料はLEDからの光信号透過率の特性を優先するため添加剤の配合には制限が多く，光遮断型樹脂などの線膨張係数が5 ～ 20 × 10^{-6}／Kに対して，200 × 10^{-6}／K以上と大きくなり，リフローはんだ実装時の熱応力が問題となる可能性が高い。

そこで，熱応力解析を行った結果を図5に示す。

シミュレーション方法は，はんだ実装時の最高温度250 ℃を与えたもので，光透過型樹脂が光遮断型樹脂に応力を与えたうえに，光遮断型樹脂と基板間にその応力が集中す

ることを確認できる。

この応力を緩和させる手段として，光透過型樹脂の周囲を光遮断型樹脂が覆う基板構造としてはんだリフロー評価を実施した結果，光遮断型樹脂と基板間のはがれの発生はなく，熱応力に対する課題を解決している。

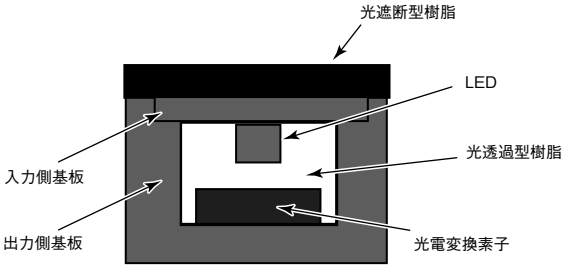


図4 「PhotoMOSリレー」SONタイプ断面図

図5 熱応力解析

2.2.2 はんだ実装強度熱応力に対する対策

開発したキャビティー基板構造では，従来のリードフレーム構造のように端子がパッケージから突起状に出る構造にできないため，はんだ実装強度が弱くなる。

図6に示すように，パッケージ裏面のみの端子パターンでは，はんだ接続が平面的であるために横方向からの応力に弱い。

そこで図7に示すように，キャスタレーションを設けてパッケージ裏面から側面に連続するパターン端子構造を採用することにより，はんだはパッケージの裏面から側面にかけてフィレットを形成し，3次元的なはんだ接続となるため実装強度が向上する。

表1に従来の端子構造をもったSSOP，パッケージ裏面のみのパターン品，およびパッケージ裏面と側面のパターン品に対して横方向から応力を加え，剥離が発生したときの強度を示す。

パッケージ側面までパターンを引き回すことにより，従来のSSOPに対して約2倍となるはんだ実装強度を確保できることがわかる。

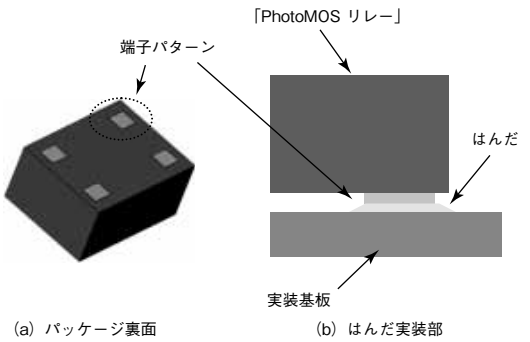


図6 裏面のみ端子パターン

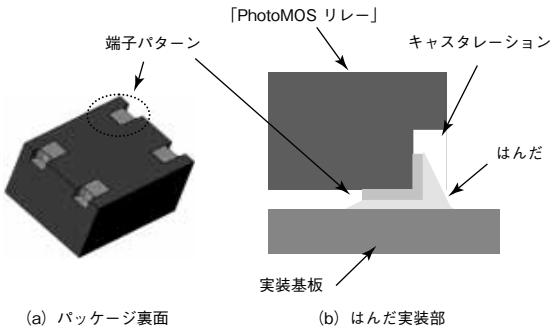


図7 裏面・側面端子パターン

表1 はんだ剥離強度

端子パターン	はんだ剥離強度（N）
SSOP	20
裏面のみパターン	15
裏面・側面パターン	50

2.3 試作評価

2.3.1 外形寸法

図8に開発した「PhotoMOS リレー」SONタイプと従来の最小パッケージサイズSSOPタイプの外形写真を，図9にSONタイプの外形寸法を示す。

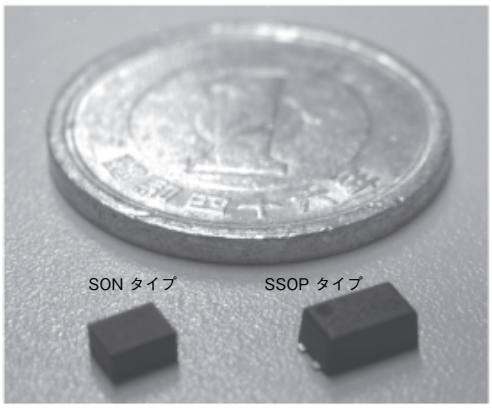


図8 SONタイプとSSOPタイプの外形写真

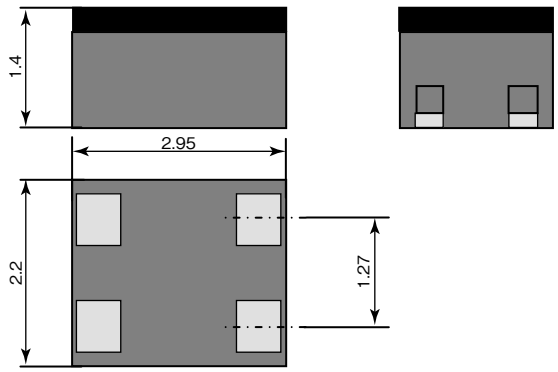


図9　SONタイプの外形寸法

SSOPタイプに対して，底面積で約55 %，体積で約44 %となるパッケージサイズとなり，開発目標であるSSOPタイプの50 %以下の体積を実現している。

2.3.2　電気的特性と信頼性評価結果

表2に開発した「PhotoMOSリレー AQY221N3M」の電気的特性を，**表3**に信頼性評価結果を示す。SSOPタイプと比較して，体積を50 %以下にしながら電気的特性と長期信頼性を同等レベルに維持している。

表2　電気的特性（周囲温度：25 ℃）

項目				「AQY221N3M」	測定条件
入力	動作LED電流	IFon	平均	1.0 mA	IL＝80 mA
			最大	3.0 mA	
	復帰LED電流	IFoff	最小	0.2 mA	IL＝80 mA
			平均	0.9 mA	
	LED電圧降下	VF	平均	1.35 V	IF＝50 mA
			最大	1.50 V	
出力	オン抵抗	Ron	平均	5.5 Ω	IF＝5 mA, IL＝80 mA
			最大	7.5 Ω	
	出力端子間容量	Cout	平均	1.1 pF	IF＝0 mA，VB＝0 V
			最大	1.5 pF	f＝1 MHz
	開路時漏れ電流	Ileak	平均	0.01 nA	IF＝0 mA, VL＝Max
			最大	10.00 nA	
伝達特性	動作時間	Ton	平均	0.02 ms	IF＝5 mA, VL＝10 V
			最大	0.20 ms	RL＝125 Ω
	復帰時間	Toff	平均	0.02 ms	IF＝5 mA, VL＝10 V
			最大	0.20 ms	RL＝125 Ω
	入出力間容量	Ciso	平均	0.8 pF	f＝1 MHz, VB＝0 V
			最大	1.5 pF	

表3　信頼性評価結果

試験項目	試験条件	判定
高温放置	100 ℃，1000 h	合格
低温放置	−40 ℃，1000 h	合格
PCT	125 ℃，85 %RH，2.0×10² kPa	合格
THB	85 ℃，85 %RH，80 %V バイアス	合格
気相	0 ℃⇔100 ℃，100 回	合格
液相	−40 ℃⇔100 ℃，100 回	合格

3. あ と が き

半導体リレーにおいて，光透過型樹脂の周囲を光遮断型樹脂が覆うような形状でキャスタレーションを有するキャビティー構造の基板の開発によって，従来のリードフレーム式構造で限界サイズのSSOPタイプに比べて体積が44 %となるSONタイプの超小型化を実現した。またこのリレーは，キャスタレーションを設けてパッケージ裏面から側面に連続するパターンを形成した端子構造により，はんだ実装強度は従来品の約2倍に向上し，かつSSOPタイプと同等の電気的特性・長期信頼性を有している。

●注

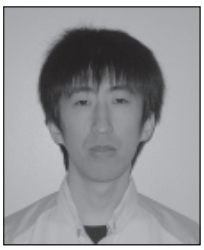
＊1）PhotoMOS リレー：出力側に MOS-FET を用いた半導体リレーの当社登録商標

＊参考文献

1）砂田 卓也，野辺 武，藤原 嘉宏，松田 大：ノンラッチタイプ短絡保護機能付き「PhotoMOS リレー」，松下電工技報，No. 83, p. 35-39（2003）

◆執筆者紹介

藤原　嘉宏
スイッチングデバイス事業部



濱口　展行
スイッチングデバイス事業部

濱田　裕行
スイッチングデバイス事業部

松田　大
スイッチングデバイス事業部