

- ses, American Economic Review, **66**-5, 845/857 (1976)
- 44) J. M. Griffin : Energy Conservation in the OECD; 1980 to 2000, Ballinger Publishing Company, Cambridge, Mass., U. S. A. (1979)
- 45) M. A. Fuss : The Demand for Energy in Canadian Manufacturing, An Example of the Estimation of Production Structures with Many Inputs, Journal of Econometrics, **5**, 89/116 (1977)
- 46) R. Halvorsen : Energy Substitution in U. S. Manufacturing, Review of Economics and Statistics, **LIX**, 381/388 (1977)
- 47) L. R. Christensen and W. H. Greene : Economies of Scale in U. S. Electric Power Generation, Journal of Political Economy, **84**-4, 655/676 (1976)
- 48) S. E. Atkinson and R. Halvorsen : Interfuel Substitution in Steam Electric Power Generation, Journal of Political Economy, **84**-5, 959/976 (1976)
- 49) R. S. Pindyck : The Structure of World Energy Demand, The MIT Press, Cambridge, Mass., U. S. A. (1979)
- 50) A. S. Manne : ETA ; A Model for Energy Technology Assessment, Bell Journal of Economics, **7**, 379/406 (1976)
- 51) Stanford University, Dept. of Operations Research : ETA-MACRO, A Model of Energy-Economy Interaction, EPRI, EA-592, Research Project 10 14, Electric Power Research Institute, Palo Alto, Cal., U. S. A. (1977)
- 52) A. S. Manne, R. G. Richels and J. P. Weyant : Energy Policy Modeling ; A Survey, Operations Research, **27**-1, 1/36 (1979)

(40ページよりつづく)

- 45) 国枝, 金子 : Switched-capacitor 回路の一等価表現, 信学技報, **CAS81-38** (1981-8)
- 46) E. Hökenek and G. S. Moschytz : Analysis of Multiphase Switched-capacitor (m. s. c.) Networks Using the Indefinite Admittance Matrix (i. a. m.), IEE Proc., **127**, Pt. G, **5**, 226/241 (Oct. 1980)
- 47) G. S. Moschytz : The Analysis and Design of Biphasic and Multiphase SC Networks, Proc. 1981 ISCAS, **513/516** (April 1981)
- 48) 宇野, 池田, 高橋 : 近似理論に基づく広帯域スイッチトキャパシタフィルタの構成法, 信学論(A), **J65-A**, **2**, 167-174 (1982, 2)
- 49) M. L. Liou and Y. L. Kuo : Exact Analysis of Switched Capacitor Circuits with Arbitrary Inputs, IEEE Trans. Circuits Syst., **CAS-26** (Apr. 1979)
- 50) F. Brglez : Exact Nodal Analysis of Switched-capacitor Networks with Arbitrary Switching Sequences and General Inputs-Part 2, in 1979 Int. Symp. Circuits and Systems Proc., Tokyo Japan (July 17-19. 1979)
- 51) Y. P. Tividis : Analysis of Switched Capacitive Networks, in 1979 Int. Symp. Circuits and Systems Proc., Tokyo, Japan. (July 17-19, 1979)
- 52) Y. Sun : Direct Analysis of Time-varying Continuous and Discrete Difference Equations with Application to Nonuniformly Switched Capacitor Circuits, IEEE Trans. Circuits Syst., **CAS-28** (Feb. 1981)
- 53) M. Tanaka, S. Mori : Topological Formulations for the Coefficient Matrices of State Equations for Switched-Capacitor Networks, IEEE Trans. on Circuits and Systems, **CAS-29**, **2** (Feb. 1982)
- 54) L. T. Bruton, G. R. Bailey and G. Bhattacharjee : Loop Equation Formulation for Switched Capacitor Networks Containing Nullors, Proc. ISCAS/82 (May 1982)
- 55) R. D. Davis, T. N. Trick and W. K. Jenkins : An Efficient LU Factorization Scheme for the Analysis of Switched-Capacitor Filters, Proc. ISCAS/82 (May 1982)
- 56) F. Brglez : An Efficient Computer-Aided Analysis of Very Large Switched Capacitor Networks, Proc. ISCAS/82 (May 1982)
- 57) K. Matsui, T. Matsuura and K. Iwasaki : 2 Micron CMOS Switched Circuits for Analog Video LSI, IEEE International Symposium on Circuits and Systems Proceedings, **241/244** (May 1982)
- 58) T. Szuki, H. Takatori, M. Ogawa and K. Tomooka : Line Equalizer for Digital Subscriber Loop Employing Switched Capacitor Technology, IEEE Trans. on Communications, **Com-30**, **9**, 2074/2082 (Sep. 1982)

《展望・解説》

スイッチト・キャパシタ回路

田中 備*

まえがき

MOS 集積化技術は、デジタル回路網の大規模集積化に大きく貢献してきたが、回路の多様性に富むアナログ回路網の集積化にも最近利用されはじめた。その一つとして、スイッチト・キャパシタ (SC) 回路がある。SC 回路は、MOS スイッチ、MOS キャパシタおよび MOS 演算増幅器から構成されるアナログ LSI である。小文において、SC 回路の動作原理、解析と構成の方法について解説する。特に、提案された種々の SC フィルタの着想点に焦点を当てて説明し、集積回路の製造的な立場からの説明は割愛した。

1. SC 回路の原理

SC 回路は、1977 年に Hosticka 等¹⁾⁶⁾ よって 5 次低減フィルタの MOS 集積回路として初めて実現された。SC 回路は、ある一定の周期間において、デジタル的なスイッチング制御でキャパシタ電荷の充放電を高速に行ない、かつ、キャパシタ間の電荷を演算増幅器 (OPA) を介して高速に移動させる回路で、その意味で電荷処理回路の一種である。

SC 回路の原理は、1960 年代の後半に、N-path フィルタ²⁾³⁾⁴⁾、あるいはレゾナント・トランスファ・フィルタ⁵⁾ としてすでに考えられていたが、キャパシタの充放電をスイッチで高速に行なってエネルギーをほぼ連続的に消費させることによって、等価的に“抵抗”にすることにある⁷⁾。今、図 1(a) のようにキャパシタ C_1 の一端を、それぞれの対接地電圧が固定的に v_1, v_2 となっている端子 A, B にスイッチ S_1 で切替える回路を考察する。電荷の変化量 ΔQ は、

$$\Delta Q = C_1(v_1 - v_2) \quad (1)$$

となる。ここで、スイッチ S_1 を周期 T で切替えたすると、1 秒間に移動した総電荷量、すなわち電流 I

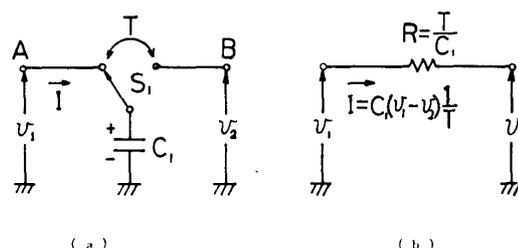


図 1 SC 回路の原理

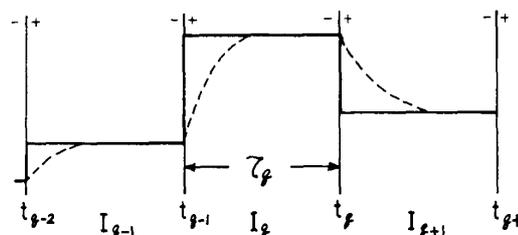


図 2 時間区域におけるキャパシタ電圧波形

は、

$$I = \Delta Q / T \quad (2)$$

となり、図 1 (a) の回路は、図 1 (b) の回路に示すように、近似的に、

$$R = T / C_1 \quad (3)$$

の抵抗と見なすことができる。

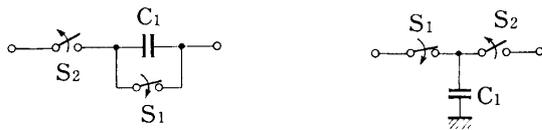
SC 回路において、MOS スイッチのオン抵抗 r による時定数 rC_1 を無視できるように、スイッチングクロック幅 τ_q をある程度広くとれば、スイッチは開閉時の抵抗が $(\infty, 0)$ の理想スイッチと見なせる。図 2 に示すように、スイッチングの任意の時間区域 I_q を、スイッチの開閉の直前時間 (-) と直後時間 (+) に対して、

$$I_q = \{t | t_{q-1}^- \leq t \leq t_{q-1}^+ + \tau_q = t_q^- ; t_0 = 0\}$$

と表わす。時間区域 I_q において、 t_q^- 時には充放電が完了しているので、SC 回路のキャパシタ電圧波形は、実際には点線のようになるが、解析上では実線の矩形波形としてよいことになる。

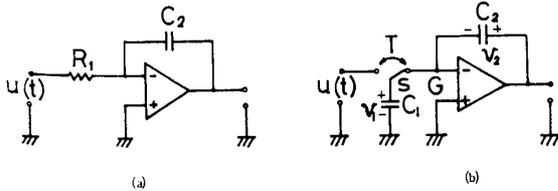
Switched-Capacitor Circuits. By Mamoru Tanaka
(Department of Electrical and Electronics Eng. Faculty of Science and Technology Sophia University)

*上智大学理工学部電気電子工学科



(a)直列型 (b)並列型

図3 抵抗となる SC 回路



(a) (b)

図4 RC 積分器と SC 積分器

2. CS 回路の解析

以上説明した SC 回路の原理に基づき、従来の RC 能動フィルタ等の内部に存在する抵抗をスイッチとキャパシタに置換することによって、種々のスイッチト・キャパシタ・フィルタ (SCF) が MOS 技術を使って構成され、その特性がより優れていることが示された^{1),6)}。特に、SCF はフィルタ特性がキャパシタの容量比で決まるので温度特性が良く、又、その特性をスイッチのデジタル制御によってプログラマブルに変えることができ、しかも LSI 化に適する点で注目されている。

RC 能動フィルタではアナログ RC 積分器を基本回路とする場合が多いので、SCF においても、その RC 積分器の入力側抵抗を図3に示すような SC 回路に置換してできる SC 積分器が基本回路となる。反転型の RC 積分器は、利得無限大の OPA を用いて、図4(a)のように構成されるが、入力側抵抗 R_1 を図3(b)のような SC 回路に置換すれば、図4(b)の SC 積分器が構成される⁹⁾。この SC 積分器において、入力電圧 $u(t)$ とキャパシタ c_1, c_2 のそれぞれの電圧 v_1, v_2 に関して、各時間区間の記述方程式が次のように導出される。

1) $t=kT+T/2$ (k は整数, T は周期) のとき、キャパシタ c_1 は入力電圧を取り入れ、キャパシタ c_2 は保持状態だから方程式は

$$\begin{bmatrix} v_1(t) \\ v_2(t) \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} v_1(kT) \\ v_2(kT) \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \end{bmatrix} u(t) \tag{4-a}$$

となる。一方、

2) $t=kT+T$ のとき、G 点が仮想零電位であるから、キャパシタ c_1 に充電していた電荷は、キルヒホッフ

の電流則 (電荷移動則) と電圧則を満足するようにキャパシタ c_2 に移動するので、

$$\begin{bmatrix} v_1(t) \\ v_2(t) \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ -\frac{c_1}{c_2} & 1 \end{bmatrix} \begin{bmatrix} v_1(kT+\frac{T}{2}) \\ v_2(kT+\frac{T}{2}) \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} u(t) \tag{4-b}$$

となる。

以上の2つの式を結合させると、結合式として、

$$\begin{bmatrix} v_1((k+1)T) \\ v_2((k+1)T) \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ -\frac{c_1}{c_2} & 1 \end{bmatrix} \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} v_1(kT) \\ v_2(kT) \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \frac{c_1}{c_2} & 1 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix} u(kT+\frac{T}{2}) \tag{5}$$

が導出される。 $V_1(Z), V_2(Z)$ と $U(Z)$ を、それぞれ $v_1(kT), v_2(kT)$ および $u(kT)$ の Z 変換とすれば、(5)式より SC 積分器の伝達関数 $H(Z)$ は、

$$H(Z) \triangleq \frac{V_2(Z)}{U(Z)} = -\left(\frac{c_1}{c_2}\right) \frac{Z^{\frac{1}{2}}}{Z-1} \tag{6}$$

となる。

一般に、どんな大規模な SC 回路網においても、キャパシタ電圧ベクトル $v(t)$ に関する時間区到 I_q の記述方程式は

$$v(t) = F[q]v(t_{q-1}) + G[q]u(t), t \in I_q \tag{7}$$

と表現される。そして、各時間区到 $I_q (q=1, 2, \dots, m; T = \sum_{q=1}^m \tau_q)$ に対して、 m 個の記述方程式を求め、これ等を(5)式のように結合させれば、 $v(kT)$ から $v(kT+T)$ までの結合式が時間域応答として導出される。その結合式を Z 変換すれば、Z 領域応答が求められる。

さて、(6)式の SC 積分器の伝達関数 $H(Z)$ は、 $Z = e^{ST} \triangleq 1+ST$ (S は複素周波数) で、 $Z^{\frac{1}{2}}$ は単に半クロック周期の進みを意味するので、スイッチのクロック周波数 $f_c = 1/T$ が入力周波数に比べて充分大きい場合には、 S ではなく (ST) の関数 $\tilde{H}(ST)$ 、すなわち、

$$\tilde{H}(ST) \triangleq -\frac{c_1}{c_2} \frac{1}{ST} \tag{8}$$

に近似される。従って、SC 積分器の近似的な伝達関数 $\tilde{H}(ST)$ は、図4(a)の RC 積分器の伝達関数 $(1/SC_2R_1)$ の抵抗 R_1 を (T/C_1) に置換したものに等しくなっている。そして、 $\tilde{H}(ST)$ はキャパシタ C_1 と C_2 の容量比とクロック周波数 $(1/T)$ の関数になっており、特に $(1/T)$ の1次式となっている。このことは $(1/T)$ に比例して時定数が変化するというを意味し、この SC 積分器をフィルタの基本回路として用いれば、フィルタの特性を積分器の時定数が $(1/T)$ に比例するように変えることができる。

3. SCF の構成例

状態変数法を用いれば SC 積分器を基本とする SCF が構成される。今、状態変数 (x_1, x_2) 、入力変数 $u(t)$ と出力変数 $y(t)$ に関する状態方程式、

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -a_2 & -a_1 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u(t) \quad (9-a)$$

$$y(t) = [c_1, c_2] \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (9-b)$$

を SCF で実現する場合、 $\dot{\mathbf{x}} = [\dot{x}_1, \dot{x}_2]^T$ と $\mathbf{x} = [x_1, x_2]^T$ をそれぞれ SC 積分器の入力電圧と出力電圧にすればよい。SC 積分器の積分演算子は $Z^{1/2}/(Z-1) \doteq 1/ST$ であるとも考えられ、状態方程式(9)のシグナルフローグラフは図5(a)のようになる。そのグラフから SCF が図5(b)のように実現される。

図5(b)の SCF において、SC₁ は正相 SC 積分器、SC₂ は加算して逆相積分する回路で、AD は逆相加算器である。 ϕ_1, ϕ_2 は正逆 2 相のクロックとする。この SCF の伝達関数 $H_1(Z)$ は、解析すると、

$$H_1(Z) = \frac{c_2(Z-1) + c_1 Z^{1/2}}{Z^{-1/2}(Z-1)^2 + a_1(Z-1) + a_2 Z^{1/2}} \quad (10)$$

となる。 $H_1(Z)$ は、(ST) をラプラス演算子とする(9)式のラプラス変換から導出される S 領域伝達関数、

$$\tilde{H}_1(ST) = \frac{c_2(ST) + c_1}{(ST)^2 + a_1(ST) + a_2} \quad (11)$$

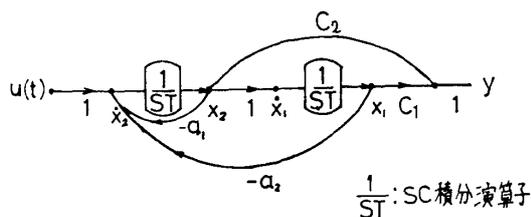
とは近似的に導く、(ST)の代わりに $(Z-1)/Z^{1/2}$ を代入した式となっていることに注意されたい。

このように、元来 SCF は抵抗置換によって生まれたもので、研究成果の蓄積が豊かなアナログフィルタに関する性質や S 領域からの構成法を積極的に利用できるが、多くの場合、S の周波数特性に対して置換誤差が生じる。

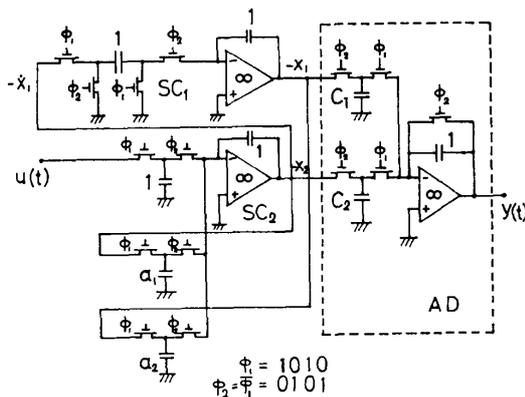
SC 積分器を基本回路とする実用的な SCF には、伝達関数を双 2 次伝達関数の積の形で表し、各 2 次区間を縦続接続して実現するバイコッド型 SCF¹³⁾¹⁴⁾ と、はしご形 LC フィルタの各素子にかかる電圧電流の関係式をシグナルフローグラフで表わし、これを SC 積分器と SC 加算器で実現するリーブフロッグ型 SCF¹⁵⁾がある。

バイコッド型フィルタの一例を図6に示す¹⁷⁾。この SCF において前段が逆相の SC 積分器で、後段が正相の SC 積分器となっており、キャパシタ C_G, C_A, C_F, C_C が抵抗として働く。前段回路は、クロック ϕ_1 で入力電圧 u をキャパシタ C_G に取り込み、その電荷と正

図 5



(a) 状態方程式のシグナルフローグラフ



(b) 状態変数法に基づく SC フィルタ

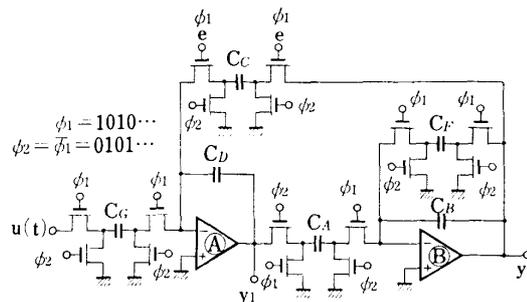


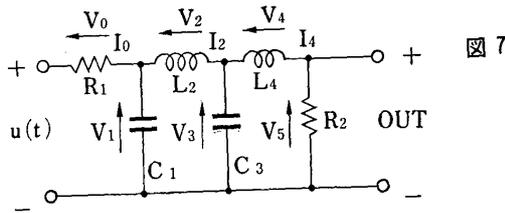
図 6 バイコッド型 SC フィルタ

相 SC 積分器 B の出力からキャパシタ C_G を介して帰還して来る電荷を加えて帰還キャパシタ C_D に貯える。一方、後段回路は、同じクロック ϕ_1 で、キャパシタ C_A の電荷とキャパシタ C_F の電荷を加えて帰還キャパシタ C_B に貯える。そして、クロック ϕ_2 では、OPA ②の出力電圧がキャパシタ C_A に入力すると同時に、キャパシタ C_G, C_F, C_C が短絡される。この SCF の伝達関数 $H_2(Z)$ は、周期 T が非常に小さい場合にはキャパシタ C_G, C_A, C_F, C_C が抵抗となっている元の RC 能動フィルタの 2 次伝達関数 $\tilde{H}_2(S)$ を双 1 次変換、すなわち、

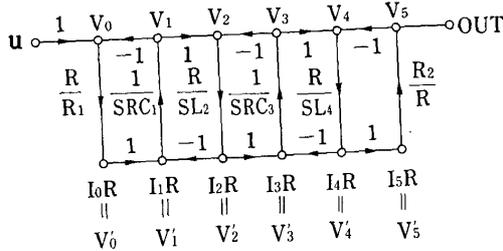
$$S \doteq \frac{2}{T} \cdot \frac{Z-1}{Z+1} \quad (12)$$

で $S-Z$ 変換したものに近似的に等しい。

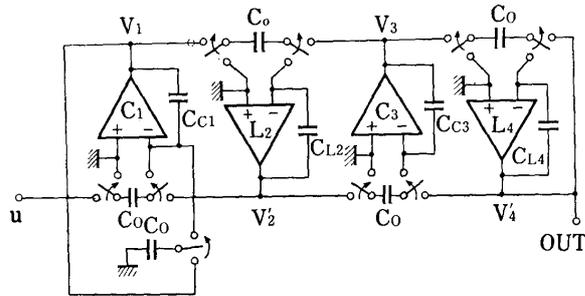
リーブフロッグ型 SCF の一例を図7に示す¹⁵⁾¹⁶⁾。その原回路となるはしご型 LC 回路と各素子にかかる電圧電流の関係式のシグナルフローグラフを、それぞ



(a) はしご型 LC フィルタ



(b) シグナルフローグラフ

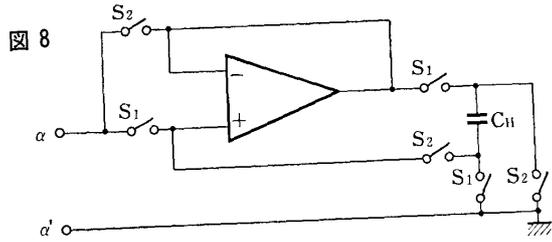


(c) リープフロッグ型 SC フィルタ

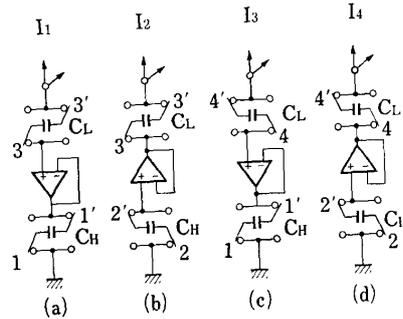
れ図7の(a)と(b)に示す。シグナルフローグラフにおいて、1つの節点、例えば、 v_2 に注目した場合、 v_1 を1倍し v_3 を-1倍して加えた電圧、すなわち $v_2 = v_1 - v_3$ となっている。キャパシタ C_1 の電圧 v_1 は、キャパシタ C_1 電流 I_1 を $1/SC_1$ 倍したもので、等価的に I_1 の電圧表現 $v_1' = I_1R$ を $1/SRC_1$ 倍したものとなる。インダクタ L_2 に関しては、 v_2 を R/SL_2 倍したものが I_2R となっている。そして電流則より、 $I_1R = I_0R - I_2R$ となっている。リープフロッグ型 SCF は、このシグナルフローグラフをそのまま回路表現して実現される。例えば、 v_2' は $v_1 - v_3$ としての v_2 を SC 積分した出力となる。又、 v_1 は $u - v_2'$ からさらに v_1 自身を引いた電圧を SC 積分して得られる。このように、SC 回路では、加算または減算して積分するという加算積分器が簡単に実現できる。

4. 演算増幅器の数と消費電力の減少化

前述した SCF では、スイッチを制御するクロックは正逆2相でよいが、OPA が各 SC 積分器の中に1個ずつ使われるので、OPA 数は状態変数の数、すな



(a) Voltage Inverter Switch 回路



(b) VIS のクロック制御

わちフィルタの次数 n に等しい数となり非常に多い。そこで、OPA 数をより少なくする試みがある¹⁷⁾。

Resonant Transfer 原理に基づく SCF では、キャパシタの C 素子の両端をスイッチを使って互いに入れ換える回転型 C 素子をインダクタの L 素子として使い、エネルギーの損失がなく電荷転送が行なわれるように、Voltage Inverter Switch (VIS) と呼ばれる回路を使って SCF を構成している¹⁸⁾。図8(a)に示すように、VIS という回路は、1個の電圧フォロア型 OPA と1個のキャパシタ C_H と数個のスイッチから成り、LC フィルタのような原回路網内の各基本閉路に1個ずつ挿入される。VIS は、まずスイッチ S_1 がオンするとき、基本閉路上の節点電圧を $\alpha\alpha'$ 間で検出し、電圧フォロアを介して、キャパシタ C_H に検出電圧を貯える。そしてスイッチ S_2 がオンする次の時刻に、その検出電圧の反転電圧を同じ電圧フォロアを介して、再び基本閉路上の前記節点に供給する。こうすれば、 $\alpha\alpha'$ 間の平均電圧は零となる。そこで、VIS による SCF では、平均電圧で観察すれば、VIS は短絡除去され、回転型 C 素子は L 素子として動作することになる。この SCF では、各基本閉路ごとに VIS を1個必要とするから、必要な OPA 数はフィルタの次数 n に対して、約 $1/2 \sim 1/4$ に減少する¹⁹⁾。しかしながら、VIS による SCF は、実際には、クロックは4相も必要で、しかもその制御が簡単でないという欠点を持つ。つまり、図8(b)に示すように、時間区域 I_1 で節点3の電圧を検出してキャパシタ C_H に貯え、時間区域 I_2 で L 素子

としてのキャパシタ C_L をそのままキャパシタ C_H と電圧フォロアを逆転する。時間区域 I_3 で、キャパシタ C_L を反転して節点4の電圧を検出し、それをキャパシタ C_H に貯え、時間区域 I_4 で、キャパシタ C_L をそのままキャパシタ C_H と電圧フォロアを逆転する。又、VIS内の電圧フォロアの出力が常に接地点に対する電位であることから、接地点から浮いているインダクタを含む基本閉路に VIS を実際に適用するのは疑問もある。

VISを使うが回転型C素子を使わずに、3次低域フィルタを構成する試みもある¹⁷⁾¹⁹⁾。

インダクタ・シミュレーション型 SCF²¹⁾ は、電荷の2回微分が電圧となる、すなわち、電荷 Q が電圧 V に対して V/S^2 となるようにインダクタを実現して構成される。従って、 S 領域での関数 V/S^2 を(12)式の双1次変換式で Z 領域の関数に変換し、これをテーラ展開したものを SC 回路で実現することになる。この方法は原回路のL素子数に等しい OPA 数で済むが、やはり複雑な多相クロックの制御を必要とする。

そこで、OPAの時分割多重使用や他の方法で、OPA数を減少させると同時に消費電力を減少させようとする試みがある¹⁷⁾。

バイコッド型 SCF は2個の OPA を時分割多重使用にすれば OPA 1 個で構成できる²²⁾²³⁾。図6の SCF では、両方の OPA が同じクロック ϕ_1 で動作しているので、そのままでは OPA を1個にすることはできない。そこで、図9に示すように、キャパシタ C_G と C_C をそれぞれ2個のキャパシタ $2C_G$ と2個のキャパシタ $2C_C$ に分割すれば、1個の OPA を ϕ_1 と ϕ_2 の両方のクロックで時分割的に動作させることができる。クロック ϕ_1 では、入力電圧 u が2つの直列キャパシタ $2C_G$ に印加されるとともに、キャパシタ C_A と C_F の加算電荷が帰還キャパシタ C_B に伝送され C_B の前電荷に加えられる。クロック ϕ_2 では、キャパシタ $2C_G$ と $2C_C$ の加算電荷が帰還キャパシタ C_D に伝送され C_D の前電荷に加えられる、そのときの OPA 出力電圧がキャパシタ C_A に印加される。

2相クロックのリーブフロッグ型 SCF においても OPA を時分割多重使用して、OPA 数を1/2に減少させることができる²⁴⁾。

多相クロックを用いて、任意の伝達関数を1個の OPA のみを含む SCF で構成しようとする試みがある。例えば、 Z^{-1} に関する n 次の有理関数は1個の OPA と約 $2n$ 相のクロック、そして n^2+3n+2 個のキャパシタを使って実現される²⁵⁾。又、任意の伝達関

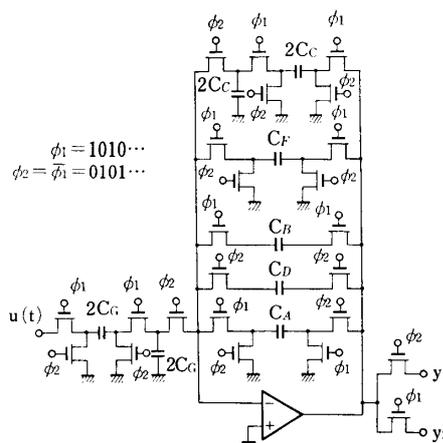


図9 バイコッド型 SC フィルタにおける OPA の時分割多重使用

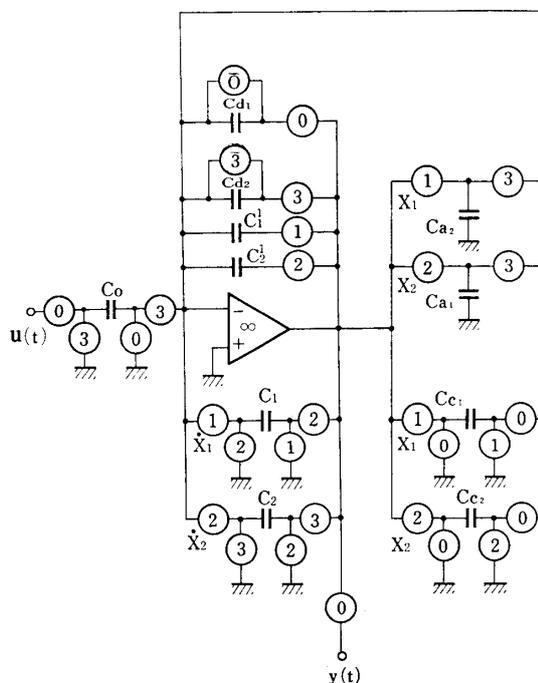


図10 時分割多重使用による OPA 1 個で構成される SC フィルタ

数は1個の OPA を時分割多重使用すれば $(n+2)$ 相のクロックと約 $4n$ 個のキャパシタを使って実現される²⁶⁾。 $n=2$ の場合を例にすると、状態方程式(9)に基づく図5(b)の SCF は OPA の時分割多重使用により、図10に示す SCF に変換される。図10において、記号 \textcircled{i} ($i=0, 1, 2, 3$) は時間区域 I_i でそれぞれオンするスイッチを表わす。時間区域 I_0 では、入力電圧 $u(kT)$ がキャパシタ C_0 に入力する。時間区域 I_1, I_2 では、キャパシタ C_1, C_2 のそれぞれの電圧 x_1, x_2 が帰還キャパシタ C_1^1 と C_2^1 をそれぞれ通して積分され、それぞれ、キャパシタ (C_{a2}, C_{c1}) と (C_{a1}, C_{c2}) に

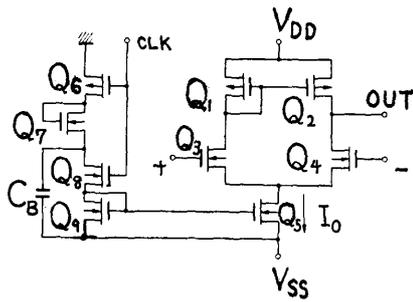


図 11 ダイナミック OPA

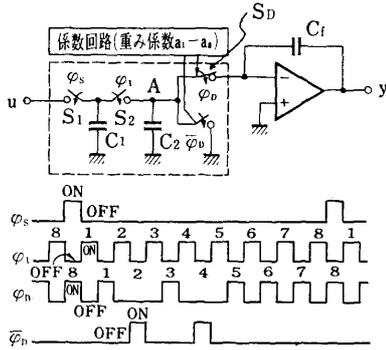


図 12 電圧分割法の原理

電圧 x_1, x_2 として貯えられる。この時間区域 I_2 においては、 $\dot{x}_1 = mx_2$ ((9)式では $m=1$) の関係を満たすために、電圧 x_2 はキャパシタ C_1 に入力されている。時間区域 I_3 では、 $\dot{x}_2 = -a_2x_1 - a_1x_2 + u$ の計算が加算用キャパシタ C_{a2} によって行なわれ、電圧 \dot{x}_2 として、キャパシタ C_2 に入力される。再び時間区域 I_0 になると、 $y = c_1x_1 + c_2x_2$ の計算が加算用キャパシタ C_{a1} によって行なわれ、電圧 y が出力される。

SCF の構成上の実用かつ基本的な問題として、クロック制御の複雑さ(クロック相数)、OPA の個数、キャパシタの個数がある。できればクロック相数は2相で済ませたいということから、 n 次の Z^{-1} の伝送関数を1個の OPA と $4n+2$ 個以下のキャパシタを用いて構成する試みもある²⁷⁾。

SCF の消費電力を下げるもう1つの方法として、ダイナミック OPA がある²⁸⁾。これは、クロック周期内のうち入力信号が OPA に入力するときのみバイアス電流を流して、無駄な電力を除くようにしている。この OPA は、図11に示すように、トランジスタ Q_3, Q_4 のソースが共通にカレントミラー型の電流源に接続された差動増幅器である。カレントミラー回路の性質でトランジスタ Q_3, Q_5 に流れる電流が等しくなる。左側のバイアス回路において、トランジスタ Q_6 がオンすると抵抗 Q_7 とキャパシタ C_B による時定数に従ってキャパシタ C_B が充実される。そして、トランジ

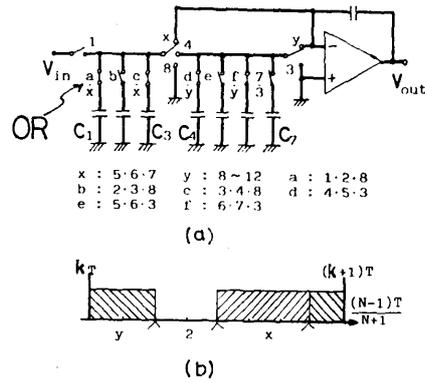


図 13 低周波増幅器による電圧分割法

スタ Q_8 がオンすると、 Q_8 とキャパシタ C_B を介して、トランジスタ Q_9 に電流が流れ、トランジスタ Q_5 にも同じ値の電流が流れる。従って、キャパシタ C_B の放電のときのみ電流 I_0 が流れ、OPA として動作する。

5. 特性可変 SCF

このような SCF の歴史的な背景に対して、最近では SCF のデジタル制御性を生かして、特性を広範囲に変える特性可変 SCF を構成しようとする試みがある³⁰⁾³¹⁾。

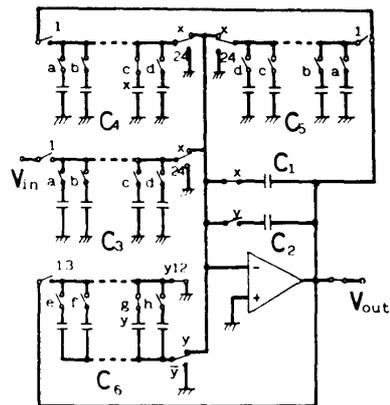
その一つとして、電圧分割法による特性可変 SCF がある^{30)~33)}。その基本となるのが時定数可変な SC 積分器である。図12に示す SC 積分器の入力回路において、スイッチ S_1 をオンさせて入力電圧 u がキャパシタ C_1 に入力された後、その C_1 は零電荷のキャパシタ C_2 と受動的に並列接続される。並列接続される前に C_2 の電荷を零にすれば、キャパシタ C_1 と C_2 の容量値が等しいときには、並列接続されるたびに、節点 A の電圧は $1/2$ づつされる。クロック ϕ_D がオンしたとき、キャパシタ C_1 と C_2 の電荷は OPA の帰還キャパシタ C_f に伝送されて C_f の前電荷に加えられる。一般に、OPA に入力する電荷 Q は可変キャパシタを、

$$C_x = (a_1 2^{-1} + a_2 2^{-2} + \dots + a_8 2^{-8}) \cdot 2C_1 \quad (13)$$

とすれば、 $Q = C_x u$ となる。ここで $a_i (i=1, 2, \dots, 8)$ は、クロック ϕ_D によって制御されるスイッチ S_D がオンするとき1で、オフのとき0となる重み係数である。

しかし、上記の SC 積分器では、OPA の入力端子に電荷が入力する時間は、 N 相の多相クロックを用いているため、約 T/N と非常に短くなり、そのままでは高周波数域まで動作できる OPA を必要とする。

そこで、図13に示す SC 積分器のように入力ラダー回路部を2分割して、一方が電圧分割を実行している間に、他方が OPA 電荷を入力させる方法がある³³⁾。



x : 12~23 y : 1~11 24 a : 1, 2, 24
 b : 2, 3, 24 c : 10, 11, 24 d : 11, 24
 e : 13, 14, 12 f : 14, 15, 12
 g : 22, 23, 12 h : 23, 12

図 14 時分割多重使用された低周波増幅器による電圧分割法に基づく SC フィルタ

キャパシタ C_1 から C_4 を使って、電圧分割が行なわれた後、適当な電荷、例えばキャパシタ C_1 と C_3 の電荷を OPA に時間区域 I_5, I_6, I_7 で入力させるが、同じ時間区域 I_5, I_6, I_7 ではキャパシタ C_4 から C_7 を使って電圧分割が同時に行なわれている。逆に、キャパシタ C_4 から C_7 の適当な電荷を OPA に入力している間にキャパシタ C_1 から C_4 は次の入力電圧を分割する。そうすれば、図 13(b) に示すように、OPA の動作期間は、一般に $\frac{N-1}{N+1}T$ となり、ほぼ $T/2$ となる。従って、この SC 積分器の OPA としては、図 4 (b) の SC 積分器の OPA と同等の低周波増幅器を使用できる。このような方法を適用して、図 14 に示すように、特性可変なバイコッド型のバンドパスフィルタが OPA の時分割多重使用と組合せて、1 個の OPA で構成される³³⁾。

特性可変 SCF を構成する他の方法として、クロック周期 T を可変にする方法、容量値が異なるいくつかのキャパシタをスイッチで選択する方法、あるいは特性の異なるいくつかの SC 回路をスイッチで選択する方法などがある。

6. ユニティ・ゲイン・バッファによる SCF

消費電力とチップ面積も低減するが、特に高周波数まで安定に動作できるようにする方法として、電圧利得が 1 のバッファ、つまりユニティ・ゲイン・バッファ (UGB) を使う SCF がある。普通 SCF では帰還路がスイッチによって開かれた場合には不安定になるが、UGB を使うとその心配がない。

UGB を用いた SCF の基本回路として、Switched-Capacitor Transconductance (SCT) がある³⁶⁾。図 15

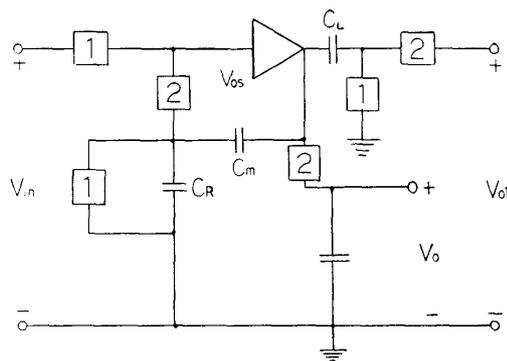


図 15 UGB による Switched-Capacitor Transconductance (SCT) に基づく反転型増幅器

の SC 回路はその一例で、反転型の増幅器である。スイッチ 1 がオンすると、入力電圧 V_{in} は UGB を介して、キャパシタ C_m に入力される。続けてスイッチ 2 がオンすると、キャパシタ C_m の両端が UGB の入出力間に接続され、図 16 に示すような回路状態となる。UGB の性質により UGB の入力と出力の電圧は等しいので、キャパシタ C_m の両端は同電位になる。従って、スイッチ 2 がオンした段階でそれ以前に貯えられていた電荷 $C_m u$ は放電するが、その時の電荷移動量 $\Delta Q = 0 - C_m u$ は UGB の入力端子に接続されている他の回路に供給される。図 15 の反転型増幅器では、電荷移動量 ΔQ はキャパシタ C_R に供給され、

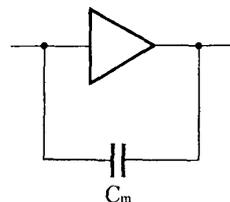


図 16 SCT の原理

$$\Delta Q = C_R v_R - 0 = 0 - C_m v \tag{14-a}$$

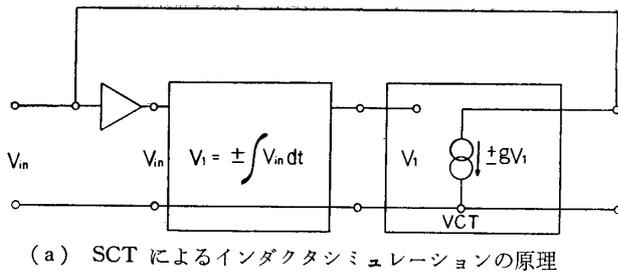
よりキャパシタ C_R の電圧 v_R は、

$$v_R = -\frac{C_m}{C_R} u \tag{14-b}$$

となる。この電圧 v_R は、同じ UGB を介して出力電圧 v_0 となる。

この反転増幅器を SC 積分器化するには、キャパシタ C_R に並列接続されたスイッチを取り除けばよく、スイッチ 2 をオンした段階で、それまでにキャパシタ C_R に貯えられていた電荷にキャパシタ C_m の電荷を加えるように C_R に供給すればよい。

この SCT による SC 回路を使って、インダクタのシミュレーション回路が簡単にできる。図 17(a) に示すように、入力電圧 V_{in} を UGB を介して積分すれば S 領域では $(1/S) V_{in}(S)$ ($V_{in}(S)$ は $V_{in}(t)$ のラプラス変換) となり、これを電圧から電流に変換して入力に帰還すればよい。すなわち、 g をコンダクタンス係



(a) SCT によるインダクタシミュレーションの原理

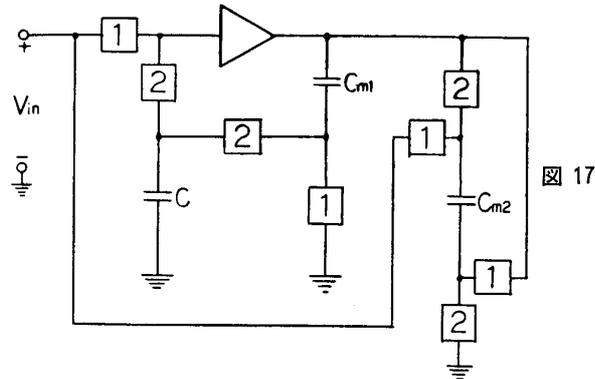


図 17

(b) SCT によるインダクタシミュレーション回路数とすれば、 $I(S) = (1/S)gV_{in}(S)$ という電流（電荷移動量）を UGB の入力端子に帰還する。このときその入力端子における電圧電流の関係式は、ほぼ、

$$Z_L(S) \triangleq \frac{V_{in}(S)}{I(S)} = \frac{1}{g} S \quad (15)$$

となり、この SC 回路は、インピーダンス $Z(S)$ が S に比例するインダクタ・シミュレーション回路となる。この回路を実現すると図17(b)のようになる。

UGB による SC 積分器、加算器あるいはインダクタシミュレーション回路を用いれば、種々の SCF が構成されるであろう。

7. SCF の構成法と計算機解析法

SCF の構成法として、 S の伝達関数を $S-Z$ 変換による Z の関数で近似する S 領域からの構成法^{15) 37) 38)}、すなわち、おもに RC 能動フィルタの抵抗を等価 SC 回路で置換する近似的な方法が有用であることを述べた。しかし、この構成法はクロック周波数が信号周波数帯域に近くなると、かなりの抵抗置換による誤差を生じる。一方、SCF を離散システムとして、 Z 領域から厳密に SCF を構成しようとする試みもある^{39) 40)} が、実現回路は一般的に複雑となり、残された問題も多い。

そこで SC 回路を Z 変数領域の等価回路で表現して構成する方法⁴²⁾ が有効な手法の 1 つとなっており、拡張された方法も提案されている^{43) ~ 48)}。この等価表現法では、2 相クロックで動作する SCF が Z 変数に代

る Z の関数 $P=f(z)$ (例えば $P=(1-Z^{-1})/T$ ⁴⁵⁾ あるいは $Z^{-1}=1-p^2$ ²⁷⁾) を変数として用いると、 P 領域では、能動 RC 回路網⁴⁵⁾ あるいは能動分布定数回路²⁷⁾ として表現されることを利用している。従って、このような SCF に関しては一般の線形能動回路との対応関係が明確になり、しかも、従来の構成法や計算機解析法がそのまま適用できることになる。又、最小 2 乗法により S 領域の所望伝達関数 $H(S)$ を有理関数 $\hat{H}(p)$ で近似し、 $\hat{H}(p)$ を使って RC 能動回路から素子置換で SCF を構成すれば置換誤差は低減され、使用可能な信号周波数帯域も広げることができる⁴⁸⁾。

大規模集積化された SC 回路網を計算機でシミュレーションして解析する手法がいろいろと提案されている。

SC 回路網は、時定数が零であるから微分方程式によっては記述できないということから、SCF が考案された初期には記述方程式として、近似離散的な差分方程式が使われた⁷⁾。この差分方程式は、能動 RC フィルタの抵抗素子を SC 回路で置換してできる SCF の解析のために考えられたものである。しかし、この差分方程式は、クロック周波数が入力周波数よりかなり大きい場合にのみ適用され、又、スイッチのトポロジに制限があるので特別な形の SC 回路網以外には適用できない。又、この差分方程式で SC 回路網を記述できても、SC 回路網ではスイッチの閉状態における節点間の短絡により方程式の係数行列が非正則になることが多く、逆行行列の演算が施行できないことがある。

そこで、開閉時のスイッチ抵抗 (R, r) が、それぞれ ($\infty, 0$) である理想 SC 回路網を正確に解析する手法が提案され拡張されて来た^{49) ~ 53)}。そもそも理想回路網を正確に解析するには、任意の時間区域 I_{q-1} と I_q において、キャパシタ電荷移動量を電流とし各時間区域のキャパシタ電圧を使って、キルヒホッフの電流則と電圧則が成立するように記述方程式を立てればよい。又、スイッチングによって回路の接続状態が変化するが、これに関しては各時間区域の素子の接続状態を表わす接続行列を各時間区域で定義すればよい。

このような立場から、まず、入力波形やトポロジに制限なく正確に理想 SC 回路網を解析する方法が提案された⁴⁹⁾。この方法は SC 回路網のキャパシタ C を抵抗 ($1/c$) と初期キャパシタ電圧に等しい電圧源の直列回路に置換し、SC 回路網を R 回路網として節点解析法で直流的に解析している。その後、スイッチを制御する 2 値巡回符号の周期とパターン系列に制限がない節点解析法が提案された⁵⁰⁾。この方法では理想 SC 回

路網において、節点アドミタンス行列の逆行列演算によって求められるS領域での各節点電圧がステップ関数($1/S$)となることを考慮して、 $S=1$ の代入により時間域での記述方程式を導出している。

しかし、節点解析法では節点アドミタンス行列の逆行列演算を必要とし、しかも、電流源を含めて解析することが多いのでキャパシタ電圧以外に必要な変数、例えば電圧制御電圧源(OPA)に流れる電流をもその逆行列演算から求めてしまうという欠点がある。

任意のSC回路網の記述方程式を逆行列の演算を用いないで計算できる公式が導かれている⁵³⁾。この方法では、まず、スイッチの開閉時の抵抗(R , r)を考えてRC回路網の状態方程式を導き、そして(R , r)を(∞ , 0)にするその極限を理想SC回路網の記述方程式としている。又、スイッチの開閉に対して、それぞれ0と1を対角要素とするスイッチング対角行列のみを各時間区域で定義することによって回路構造の変化に対処している。すなわち、接続行列を各時間区域で定義する必要がないということである。

上述の節点解析法では電圧源の特別な処理又は余分な関係式が必要になることを批判して、逆行列演算の計算効率を図る方法も提案されている。それには各時間区域の回路構造の閉路電荷移動量を変数とする閉路解析法⁵⁴⁾や、節点電圧以外に電圧源と閉状態スイッチの電荷移動量を変数とする修正化された節点解析法(MNA)⁵⁵⁾⁵⁶⁾がある。MNAではスパース処理として、“fill-in”を最小するようにLU分解を行なう手法も含まれている。

8. むすび

MOSアナログ集積回路として最近注目されているスイッチト・キャパシタ(SC)回路、特にSCフィルタ(SCF)の原理、解析および構成法について解説した。SCFは音声帯域用フィルタとして実用化されているが、18MHzという高いクロック周波数で動作できるビデオ帯域用の高速SCF⁵⁷⁾がすでに1チップで集積化されている。この事実を考えると、SC回路は今後、低周波数から高周波数に至るアナログ信号を処理するLSIとして、その有効性が期待される。発振器、変調復調器、自動等化器⁵⁸⁾、AD変換器、DA変換器、PLL、万能フィルタ、乗算器あるいは1チップアナコン等をSC回路で構成する試みもすでにある。SC回路のおもしろさは、スイッチという時変素子を使って回路状態を刻々変化させることによって目的とする特性を出そうとする点にある。新しいSC回路を

生み出す余地はまだまだあるように思われる。今後はSCFの新しい構成法を考え出すとともに、非理想SC回路やキャパシタ電圧値によってスイッチの開閉が制御される非線形SC回路の解析法、あるいはアナログ・デジタル混在回路の計算機シミュレーション法等についても研究していく必要がある。

最後に、日ごろ御指導頂き御協力頂いた慶応大学理工学部の森真作教授に感謝します。

参考文献

- 1) B. J. Hosticka, R. W. Brodersen, and P. R. Gray : MOS Sampled Data Recursive Filters Using State Variable Techniques, Proc. ISCAS-77, 525/529 (Apr. 1977)
- 2) R. Boite and J. P. V. Thiran : Synthesis of Filters with Capacitances, Switches and Regenerating Devices, IEEE Trans. on Circuit Theory, CT-15, 4, 447/454 (Dec. 1968)
- 3) L. E. Franks and I. W. Sandberg : An Alternative Approach to the Realization of Network Transfer-functions ; The N-path filter, Bell Syst. Tech. J., 39, 5, 1321/1350 (Sept. 1960)
- 4) L. E. Franks : N-path filters, Modern Filter Theory and Design, ch. 11, Temes, G. C. and Mitra, S. K. 編, J. Wiley (1973)
- 5) A. Fettweis : Network and Switching Theory, 382/446, Academic Press, New York (1968)
- 6) I. A. Young, D. A. Hodges and P. R. Gray : Analog NMOS sampled-data recursive filter, 1977 ISSCC Dig. Tech. Papers. 156/157.
- 7) J. T. Caves et al. : Sampled Analog Filtering Using Switched Capacitors as Resistor Equivalents, IEEE J. Solid-State Circuits, SC-12, 6 (Dec. 1977)
- 8) B. J., Hosticka, R. W. Brodersen. and P. R. Gray : MOS Sampled Data Recursive Filters Using Switched Capacitor Integrators, IEEE J. Solid-State Circuits, SC-12, 6 (Dec. 1977)
- 9) G. M. Jacobs, D. J. Allstot, R. W. Brodersen. and P. R. Gray. : Design Consideration for MOS Switched Capacitor Ladder Filters, Proc. ISCAS/78, 324-329 (May 1978)
- 10) R. W. Brodersen, P. R. Gray. and D. A. Hodges : MOS Switched-capacitor Filters, Proc. IEEE, 67, 1, 61/75 (Jan. 1979)
- 11) 角石 : スイッチト・キャパシタ・フィルタの構成法とそのモノリシック IC 化の問題点, 日経エレクトロニクス, 112/137 (1980, 1, 21)
- 12) D. L. Fried : Analog Sample-data Filters, IEEE J. Solid State Circuits, SC-7, 4, 302/304 (Aug. 1972)
- 13) K. Martin and A. S. Sedra : Exact Design of Switched-capacitor Bandpass Filters Using Coupled-biquad Structures, IEEE Trans. Circuits & Syst., CAS-27, 6, 469/475 (June 1980)

- 14) P.E. Fleischer and K.R. Laker : A Family of Active Switched Capacitor Biquad Building Blocks *Bell Syst. Tech. J.*, **58**, 10, 2235/2268 (Dec. 1979)
- 15) G.M. Jacobs et al. : Design Techniques for MOS Switched Capacitor Ladder Filters, *IEEE Trans. Circuits & Syst.*, **CAS-25**, 12, 1014/1021 (Dec. 1978)
- 16) 武部, 岩田 : スイッチトキャパシタフィルタ, *電子通信学会誌*, **64**, 12, 1293/1300 (1981, 12)
- 17) 性能を上げるとともに, 新しい応用を模索するスイッチト・キャパシタ技術, *日経エレクトロニクス*, 145/163 (1982, 9, 13)
- 18) A. Fettweis, D. Herbst, B. Hoefflinger, J. Pandeh and R. Schweer : MOS Switched-Capacitor Filters Using Voltage Inverter Switches, *IEEE Trans. on Circuits and Systems*, **CAS-27**, 6, 527/538 (June 1980)
- 19) D. Herbst, B. J. Hosticka, B. Höfflinger, U. Kleine, W. Nieniedt and R. Schweer : Integrated CMOS SC Filter with 170 kHz Cutoff Frequency, *Electronics Letters*, **17**, 5, 205/207 (Mar. 5, 1981)
- 20) D. Herbst, and B. J. Hosticka : Novel Bottom-Plate Stray-Insensitive Voltage Inverter Switch, *同上*, **16**, 16, 636/637 (July 31, 1980)
- 21) G.C. Termes and M. Jahanbegloo : Switched Capacitor Circuits Bilinealy Equivalents to Flooting Inductor or FDNR, *Electron. Lett.*, **15**, 3, 87/88 (Feb. 1979)
- 22) K. R. Laker, P. E. Fleischer and A. Ganesan : Parasitic Insensitive Bi-Phase Switched Capacitor Filters Realized with One Op Amp per Pole Pair, *IEEE International Symposium on Circuits and Systems Proceedings*, 435/439 (May 1982)
- 23) 同上 : Parasitic Insensitive, Biphase Switched Capacitor Filters Realized with One Operational Amplifier Per Pole Pair, *The Bell System Technical Journal*, **61**, 5, 685/707 (May-June 1982)
- 24) 石川 : SCF における多重使用による能動素子の削減, *電子通信学会技術研究報告 (回路とシステム)*, **CAS 80-82** (1980, 10)
- 25) S. E. Lüder : Switched Capacitor Filters Insensitive to Parasitics, *Arch. Elektron & Uebertragungstch.*, **34**, 12, 501/506 (1980)
- 26) 矢口, 田中, 山本, 森 : 時分割多重使用による演算増幅器 1 個で構成されるスイッチト・キャパシタフィルタ, *信学論(A)*, **J65-A**, 1, 9/13 (1982, 1)
- 27) 西 : 2 相クロックスイッチトキャパシタ回路の構成, *信学編(A)*, **J66-A**, 3, 171-178 (1983, 3)
- 28) M. A. Copeland and J. M. Rabaey : Dynamic Amplifier for MOS Technology, *Electronics Letters*, **15**, 10, 301/302 (May 10, 1979)
- 29) B. J. Hosticka, D. Herbst, B. Hoefflinger, U. Kleine, J. Pandel and R. Schweer : Real-Time Programmable Low-Power SC Bandpass Filter, 7th European Solid-State Circuits Conference Digest of Technical Papers, 126/129 (Sept. 1981)
- 30) 久保田, 上野, 加藤 : 特性可変 SCF の一構成法, *昭和 56 年度電子通信学会総合全国大会講演論文集*, 8/42, 論文番号 1999 (1981, 4)
- 31) 上野, 黒崎, 加藤 : 特性可変 SCF の検討, *昭和 56 年度電子通信学会情報・システム部門全国大会講演論文集*, 1/299 論文番号 299 (1981, 10)
- 32) 山本, 田中, 矢口, 森 : 小さな容量比で実現できる大きな時定数をもつスイッチドキャパシタ回路網, *信学論(A)*, **J64-A**, 8, 653/658 (1981, 8)
- 33) 山本, 田中, 森 : 低周波演算増幅器で構成された多相クロックスイッチト・キャパシタ回路網, *信学論(A)*, **J65-A**, 7, 701/704 (1982, 7)
- 34) S. C. Fan, R. Gregorian, G. C. Temes and M. Zomorodi : Switched-Capacitor Filters Using Unit-Gain Buffers, *IEEE ISCAS*, 334/337 (Apr. 1980)
- 35) A. E. Lagos and C. H. Chan : A CMOS Unity Gain Buffer and Its Implementation in Sampled-Analog Delay Lines, 6th European Solid-State Circuits Conference Digest of Technical Papers, 257/259 (Sept. 1980)
- 36) T. R. Viswanathan, S. M. Faruque, K. Singhal and J. Vlach : Switched-Capacitor Transconductance and Related Building Blocks, *IEEE Trans. on Circuits and Systems*, **CAS-27**, 6, 502/508 (June 1980)
- 37) G. C. Temes : The derivation of Switched-capacitor Filters from Active-RC Prototypes, *Electron. Lett.*, **14**, 361/362 (1978)
- 38) B. J. Hosticka and G. S. Moschytz : Switched-capacitor Simulation of Grouded Inductors and gyrators *Electron. Lett.*, **14**, 788/790 (1978)
- 39) J. A. Nosse and G. C. Temes : Switched-capacitor, Filter Design using Bilinear Element Modeling, *IEEE Trans. Circuits & Syst.*, **GAS-27**, 481/491 (1980)
- 40) G. Szentirmai and G. C. Temes : Switched-capacitor Building Blocks, *IEEE Trans Circuits & Syst.*, **CAS-27**, 492/501 (1980)
- 41) C. F. Kurth and G. S. Moschytz : Nodal Analysis of Switched-capacitor Networks, *IEEE Trans. Circuits and Systems*, **GAS-26**, 2, 93/105 (Feb. 1979)
- 42) C. F. Kurth and G. S. Moschytz : Two-Port Analysis of Switched-Capacitor Networks Using Four Port Equivalent Circuits in the Z-domain, *IEEE Trans. Circuits and Systems*, **CAS-26**, 3, 166/180 (March 1979)
- 43) K. R. Laker : Equivalent Circuits for the Analysis and Synthesis of Switched Capacitor Networks, *BSTJ*, **58**, 4, 729/769 (April 1979)
- 44) P. E. Fleischer and K. R. Laker : A Family of Active Switched Capacitor Biquad Building Blocks, *BS TJ*, **58**, 10, 2235/2269 (Dec. 1979)

(以下30ページに続く)