

## 有限要素法によるダブルゲート GTO の スイッチング特性解析<sup>†</sup>

杉本 健二\*・坂田 博\*\*・磯村 滋宏\*\*

**ABSTRACT** Recent development in power semiconductor devices has made remarkable advances in power electronics. Among them, the gate turn-off thyristor (GTO) is one of the most important devices. And the double gate GTO has been proposed newly to realize low turn-off switching loss. Now, the computer simulation for the device is necessary to predict its characteristics. In this study, we use the finite element method and simulate switching characteristics in order to discuss the effects of double gate structure. The relations between storage time and timing of second gate pulse, second gate current, and the trade-off between on-state voltage and turn-off time were discussed.

### 1. ま え が き

近年のパワーエレクトロニクスは普及、進展には著しいものがあり、電力用半導体デバイスの大容量化・高性能化が急速に進んでいる。中でも、ゲートターンオフ・サイリスタ (GTO) は、高耐圧・大電流を制御できる自己消弧型デバイス<sup>注1)</sup>として知られ、産業用のインバータ、電鉄用のチョッパ、及び新エネルギーの電力変換装置にも適用されはじめている<sup>1)~3)</sup>。

GTO は、基本的にはサイリスタと同様の pnpn の 4 層構造からなるため、比較的容易に高耐圧化できる。しかし、耐圧確保のためには、n ベース層の厚さを増加させる必要があり、これに伴うオン電圧の上昇とターンオフ損失の増大が問題となる。これを解決する手段として、アノード短絡<sup>注2)</sup>構造によるターンオフの高速化、n<sup>+</sup>バッファ層による薄層化などが考案され、優れたスイッチング特性が得られているが、なお一層のスイッチング特性の向上が求められている。今、GTO のターンオフ損失を大幅に減少させる方法として、従来の 1 ゲート構造 (ここではシングルゲート構造と呼ぶ) に対し、2 つのゲート構造を有するダブルゲート構造が提案されている<sup>4)~6)</sup>。このような、新型デバイスの特性予測、最適設計にはデバイスシミ

ュレーションによる開発の効率化が望まれる。

半導体の基本方程式から半導体の内部現象を数値計算により解析する方法として、差分法と有限要素法が用いられている。GTO に関しては、一次元及び二次元モデルに差分法を用いて解析が行われている例が多いが<sup>7),8)</sup>、著者らは、収束性に優る有限要素法を用いた解析を行っている<sup>9),10)</sup>。

そこで今回、ダブルゲート GTO の一次元モデルを対象に、有限要素法を用いたスイッチング特性解析を行い、デバイスの内部現象の解析、物理パラメータの影響などについて検討した<sup>11)</sup>。なお、実際のデバイスと対応させる場合には二次元以上のモデルの数値解析が望ましいが、まず短い計算時間で特性の傾向を知ることが望ましいとする観点から、本研究では一次元モデルを扱った<sup>注3)</sup>。

### 2. 解析方法

#### 2.1 基本方程式

一般に、半導体中における基本方程式として、Poisson の方程式、正孔および電子に関する電流連続の式

注 1) 自己消弧型デバイス：ゲートパルスによりターンオンのみならずターンオフも可能なデバイス、GTO、MOSFET、IGBT など。

注 2) アノード短絡構造：アノード側の p エミッタ層を部分的に短絡し、n ベース層の過剰電子を直接引き出し、ターンオフを促進する構造。

注 3) この原稿は、1995年3月第16回計算電気電子シンポジウムにおいて発表した内容をもとに、質疑討論を反映させまとめ直したものである。

Switching Characteristics Analysis of Double Gate GTO using FEM. By Kenji Sugimoto (Shikoku Research Institute Inc.), Hiroshi Sakata and Shigehiro Isomura (Ehime University).

\*<sup>(株)</sup>四国総合研究所エネルギー研究部

\*\*愛媛大学工学部電気電子工学科

<sup>†</sup>1996年6月14日受付 1997年2月28日再受付

表1 記号の定義

$\phi$ : 内部電位	$N_A$ : アクセプタ密度
$p$ : 正孔密度	$N_D$ : ドナー密度
$n$ : 電子密度	$R$ : キャリア再結合速度
$n_I$ : 真性キャリア密度	$E$ : 電界
$q$ : 電気素量	$J_p, J_n$ : 電流密度
$\epsilon$ : 誘電率	$D_p, D_n$ : 拡散係数
$k$ : ボルツマン定数	$\mu_p, \mu_n$ : キャリア移動度
$T$ : 絶対温度	$\tau_p, \tau_n$ : キャリアライフタイム

が知られている。

$$\text{div}(\epsilon \text{grad } \psi) = -q(p - n + N_D - N_A) \quad (1)$$

$$q \frac{\delta p}{\delta t} = -\text{div} J_p - qR \quad (2)$$

$$q \frac{\delta n}{\delta t} = \text{div} J_n - qR \quad (3)$$

ここで、正孔及び電子電流密度  $J_p, J_n$  は、ドリフト・拡散モデルを適用すると、電界  $E$  の式とともに

$$J_p = q(p\mu_p E - D_p \text{grad } p) \quad (4)$$

$$J_n = q(n\mu_n E + D_n \text{grad } n) \quad (5)$$

$$E = -\text{grad } \psi \quad (6)$$

のように表すことができる。なお、本稿で用いた記号の定義を表1に示す。

2.2 物理パラメータのモデル

式(2), (3)中の再結合速度  $R$  は、SRH (Shockley-Read-Hall) 型の再結合過程のみを考慮し、

$$R = \frac{pn - n_I^2}{\tau_p(n + n_I) + \tau_n(p + n_I)} \quad (7)$$

のように表す。ライフタイム  $\tau$  は不純物密度への依存性を考慮した Selberherr らの公式を用い、

$$\tau = \frac{\tau_{ref}}{1 + \frac{N_D + N_A}{N_{ref}}} \quad (8)$$

が、正孔および電子に関するライフタイム  $\tau_p, \tau_n$  に対してそれぞれ成立するものとする。ここで、 $N_{ref}$  は定数であり、n ベース層のキャリアライフタイムである  $\tau_{ref}$  はパラメータとして用いる。(4), (5)式の移動度  $\mu$  と拡散係数  $D$  は、Boltzmann 統計のもとで Einstein の関係式が成り立ち、

$$\frac{D}{\mu} = \frac{kT}{q} \quad (9)$$

によって結びつけられる。移動度  $\mu$  は、Cauchy らの公式から、不純物密度の依存性のみを考慮し、

$$\mu = \mu_a + \frac{\mu_b}{1 + \left[ \frac{N_D + N_A}{N_{ref}} \right]^\alpha} \quad (10)$$

と表す。ここで、 $\mu_a, \mu_b, \alpha$  は定数である。

2.3 デバイスマデル

デバイスの特性を規定する不純物密度は、アノード短絡型 GTO (定格90A/1200V) を参考に、図1に示すような Gauss 分布によって与える。ここで、2つのゲート電極は、 $p_B$  層の接合  $J_1$  寄り、および  $n_B$  層の接合  $J_3$  寄りにそれぞれ配置する。

ダブルゲート GTO の動作回路は、図2に示す通り、2つのゲートドライブとスナバ回路および誘導性負荷から構成されるものとする。ここで、ターンオン時には第1ゲートドライブのみを、ターンオフ時には第1ゲートおよび第2ゲートドライブを動作させる。な

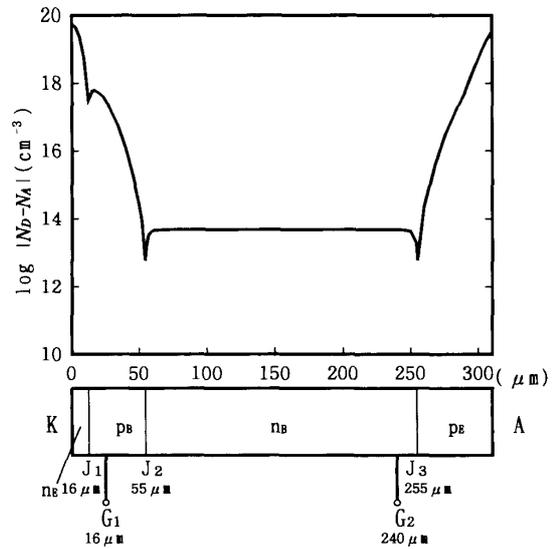


図1 GTOの不純物密度分布

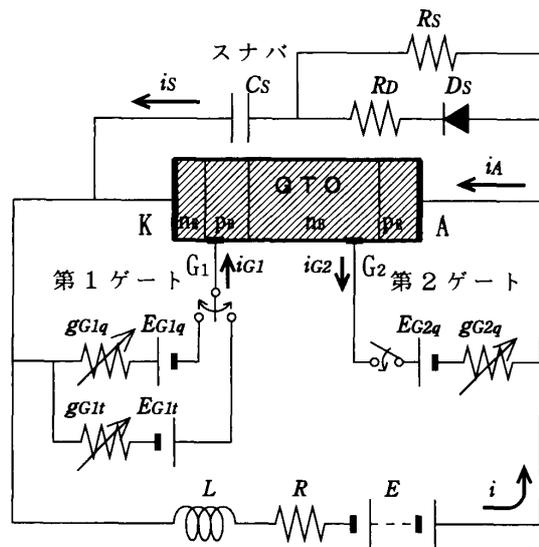


図2 ダブルゲート GTO の動作回路

表2 回路条件

主回路	$E : 400V, R : 40\Omega, L : 1.0\mu H$
スナバ回路	$C_s : 20pF, R_s : 30\Omega, R_D : 10\Omega$
ゲート回路	$E_{G1} : 3.0V, E_{G2} : 3.0V, E_{G3} : 2.0V$

お、図2中の添字  $t, q$  はそれぞれターンオン、ターンオフを示しており、また、ターンオフ時のゲート電流  $i_{G1}, i_{G2}$  は、実際には図中の矢印に対し逆の方向に流れる。

この動作回路から得られる外部回路方程式は

$$V_{AK} = E - Ri - L \frac{di}{dt} \quad (11)$$

$$V_{AK} = V_S + R_{eff} i_S = V_S + R_{eff} C_S \frac{dV_S}{dt} \quad (12)$$

$$i + i_{G2} = i_A + i_S \quad (13)$$

$$i_{G1} = (E_{G1} - V_{G1K}) g_{G1} \quad (14)$$

$$i_{G2} = (E_{G2} - V_{G2K}) g_{G2} \quad (15)$$

である。ここで、 $V_{AK}, V_{G1K}, V_{G2K}$  は各電極間の電位差を示し、 $R_{eff}$  はダイオード  $D_S$  のバイアス状態により、

- 1) ダイオード  $D_S$  が逆バイアスの時:  $R_{eff} = R_S$
- 2) ダイオード  $D_S$  が順バイアスの時:  $R_{eff} = R_S R_D / (R_S + R_D)$

とする。本解析で用いた回路条件を表2に示す。

## 2.4 計算方法

内部電位  $\psi$ 、正孔密度  $p$  及び電子密度  $n$  に関する基本方程式(1)、(2)及び(3)を解くために、まず、有限要素法による離散化を行う。また、補助式(4)、(5)について *Shcharfetter-Gummel* の差分スキームを、(2)、(3)の時間微分項については *Crank-Nicolson* 法を、それぞれ適用する。さらに、導出された離散化方程式は非線形性を有するため、*Newton-Raphson* 法によって線形化を施し、主回路方程式(11)、スナバ回路方程式(12)とともに、一括して解く。

一方、ゲート回路条件としては、電極付近のデバイス中に流れる電流に、ゲート電極から注入される電流を加えることで表現する。すなわち、第1ゲート付近の正孔電流連続式に式(14)の  $i_{G1}$  に相当する電流密度を、第2ゲート付近の電子電流連続式に式(15)の  $i_{G2}$  に相当する電流密度を、それぞれ加える。なお、離散化式の導出方法、境界条件の取り扱い等の詳細については、文献9)ですでに詳しく述べたので、ここでは要点のみとした。

本解析における計算フローチャートを図3に示す。初期条件は、図1の不純物密度分布から熱平衡計算に

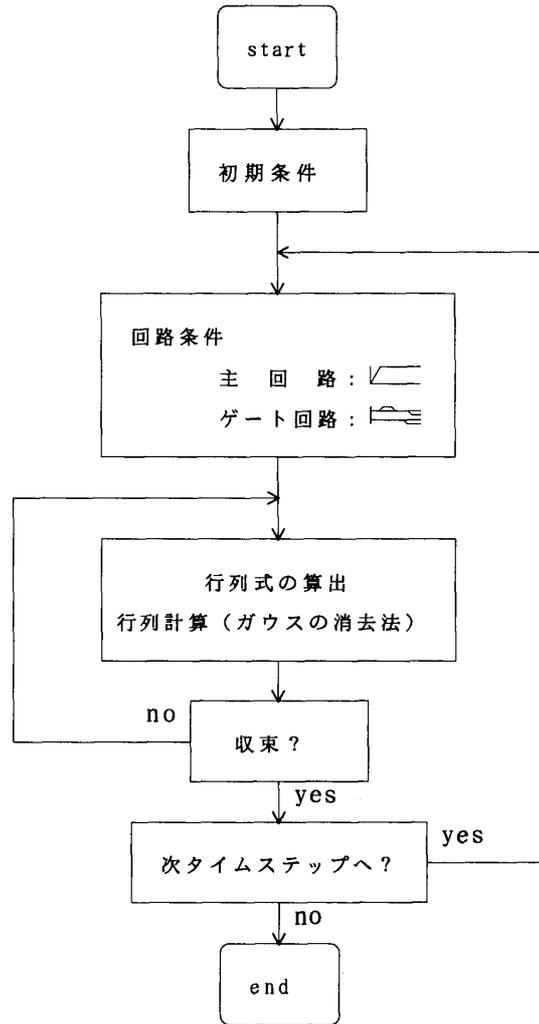


図3 計算フローチャート

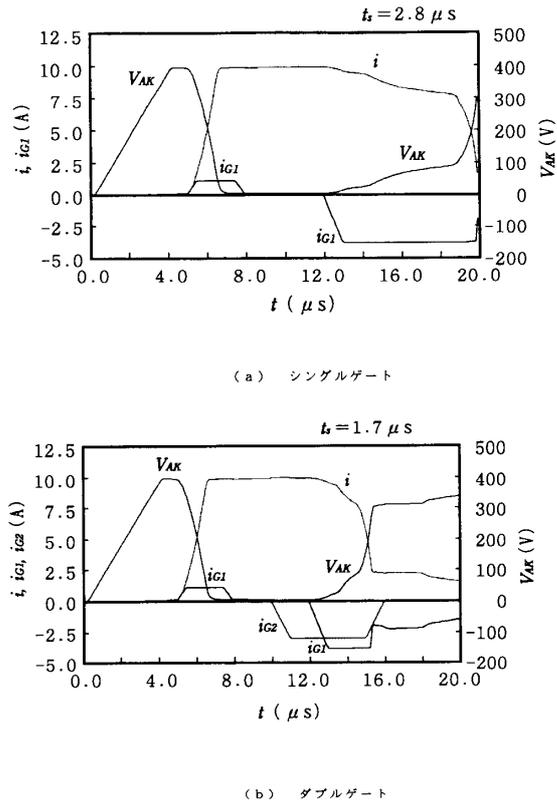
よって求め、反復計算により収束解を得る。次に回路条件を考慮した上で、各タイムステップ毎の過渡現象を反復計算により収束解として求める。

回路条件としては、熱平衡状態から主回路電圧  $E$  を徐々に増すことにより GTO のオフ状態を求め、次にゲート回路条件によりターンオンおよびターンオフを行い、そのスイッチング特性を解析する。

## 3. 解析結果および検討

### 3.1 ターンオフ特性

第2ゲート電流を第1ゲートに先行して流すことにより、ターンオフ特性に著しい効果がみられた解析例を図4に示す。図4(a)は第2ゲートを使用しない従来型 GTO (以下、シングルゲートという) の解析結果、また、同図(b)はダブルゲート GTO (以下、ダブルゲートという) の解析結果であり、第1ゲートに

図4 スイッチング波形 ( $\tau_{nj}=5.0 \mu s$ )

対し第2ゲートパルス $2 \mu s$ 先行させ、 $n$ ベース層のライフタイム $\tau_{nj}$ を $5.0 \mu s$ として計算した。ターンオフ現象における重要なパラメータの一つである蓄積時間 $t_s$ を、第1ゲートターンオフ電流 $i_{G1q}$ が流れはじめてから主回路電流 $i$ がそのピーク値の90%に下降するまでの時間と定義すると、同図の解析結果から得られる蓄積時間 $t_s$ は、シングルゲートの $2.8 \mu s$ に対し、ダブルゲートは $1.7 \mu s$ と減少した。

次に、シングルゲートとダブルゲートのターンオフにおける、内部電位 $\psi$ 、正孔密度 $p$ および電子密度 $n$ のデバイス内部の分布状態の過渡的变化を図5に比較して示す。同図では比較しやすいよう $\tau_{nj}=4.0 \mu s$ の解析結果を示しており、第1ゲート電流の流れはじめてから $0.0, 0.5, 1.0, 1.5, 2.0 \mu s$ 後の分布状態である。図5より、正孔・電子の両キャリア密度の変化に注目すると、シングルゲートでは接合 $J_2$ 付近のみから減少しているのに対し、ダブルゲートでは接合 $J_3$ 付近からも減少しており、接合 $J_2$ の両側に空乏層領域がより広範囲に広がることが確かめられた。

図6に示すとおり、ダブルゲートGTOはnpn, pnp型の2つのトランジスタを組み合わせたものと考えることができる。蓄積期間においては、互いに飽和

しているトランジスタのそれぞれのベース電極から過剰キャリアを引き抜く。また、 $i_A - i_{G1q} \approx 0$ となるテール期間においては、シングルゲートでは主に再結合で残留キャリアを消滅させるのに対し、ダブルゲートでは第2ゲート電極からも残留キャリアを排除することができる。

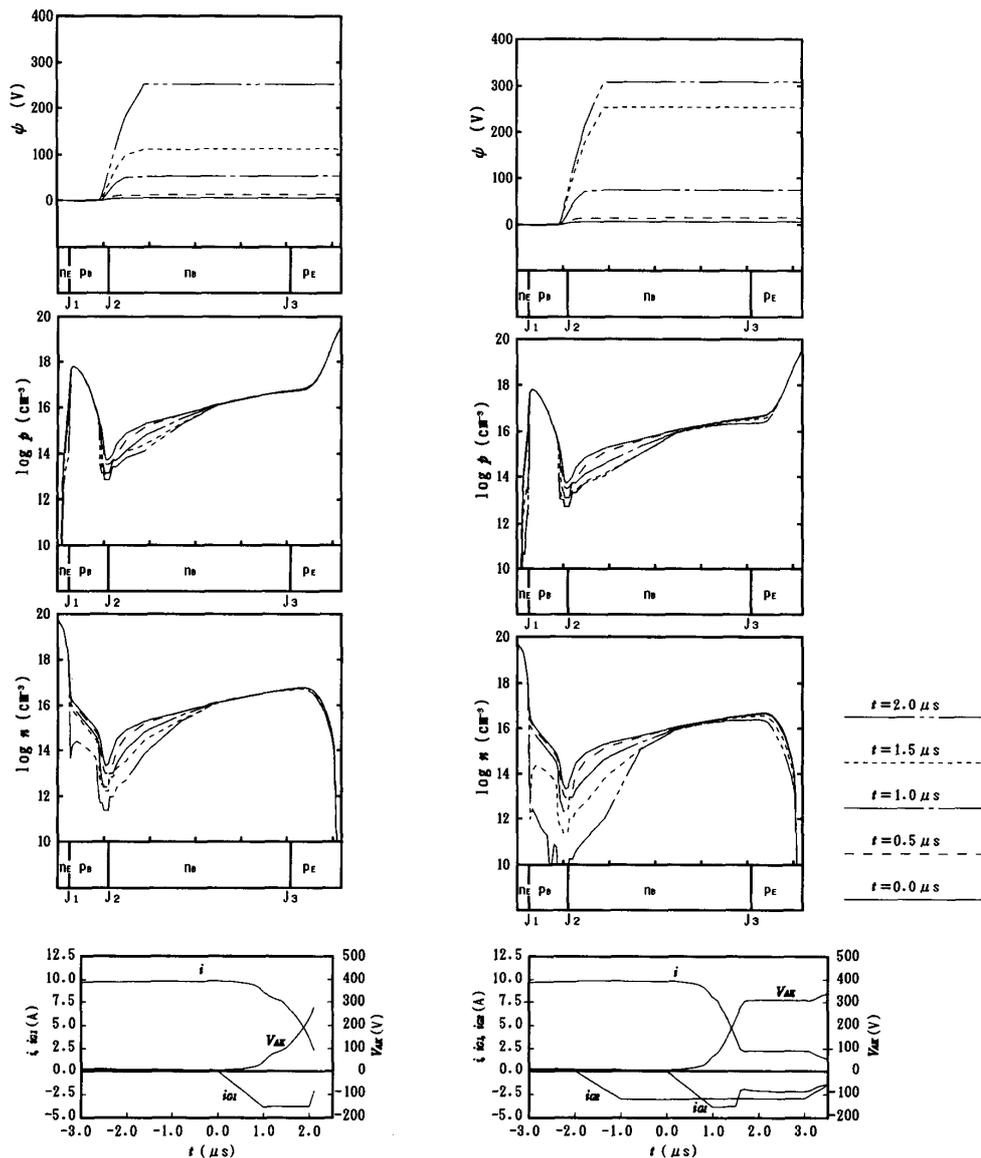
次に、第1ゲート電流を一定とし、第2ゲートの印加時刻と蓄積時間 $t_s$ との関係を図7に示す。ここで、 $\Delta t_G$ は両ゲートパルス印加時間の差を示し、第2ゲートを先行させる場合を正とした。図7より $\Delta t_G$ と $t_s$ に直線関係がみられるが、これは、第2ゲートから引き抜かれる過剰キャリアは第2ゲート電流の積分値 $\int i_{G2q} dt$ に相当すると考えることで説明できる。この傾向は、文献4)の試作デバイスで測定した実験値の傾向とも符合する。

一方、図8に示す、第2ゲート電流値 $i_{G2q}$ と蓄積時間 $t_s$ との関係には曲線関係がみられた。なお、ここで $i_{G2q}=0$ のデータはシングルゲートの場合に相当する。

### 3.2 ライフタイムの影響

デバイスの特性を左右するキャリアライフタイムの、スイッチング特性への影響について検討する。まず、図9にライフタイムに対するターンオン時間 $t_i$ および蓄積時間 $t_s$ の関係を示す。ここで、ダブルゲートの第2ゲート電流は $i_{G2q}=3A$ 、タイミング $\Delta t_G=2.0 \mu s$ とし、ターンオン時間 $t_i$ はゲートパルス印加してから $V_{AK}$ のピーク値から10%に到るまでの時間とした。図9により、ライフタイムを小さくすることでターンオフ特性を有利にできるが、ターンオン特性は不利になることが示される。シングルゲートはターンオフ時間に対するライフタイムの依存性が比較的大きい。シングルゲートでは $n$ ベース層中の過剰キャリアを主に再結合によって消滅させる必要があり、ライフタイムが大きいとターンオフできない場合もある。一方、ダブルゲートでは、予め第2ゲートから過剰キャリアを排除することにより、ターンオフ特性を向上させ得る。

次に、ターンオフ損失の計算結果を図10に示す。図中では、種々のライフタイムにつき、シングルゲートとダブルゲートが比較されている。ここでターンオフ損失 $W_q$ は、ターンオフ期間(テール期間を除く)における主回路損失 $W_{Aq}$ 、スナバ回路損失 $W_{sq}$ および2つのゲート回路損失 $W_{G1q}, W_{G2q}$ の和から求めた。主回路損失 $W_{Aq}$ は、何れも全体のターンオフ損失の95~98%を占めるため、ターンオフ時間の短いダブルゲートは低損失となる。なお、シングルゲートにおい



(a) シングルゲート ( $\tau_{ref}=4.0 \mu s, i_{G1q}=3.8A$ ) (b) ダブルゲート ( $\tau_{ref}=4.0 \mu s, i_{G1q}=3.8A, i_{G2q}=3.0A, \Delta t_G=2.0 \mu s$ )

図5 ターンオフにおける内部電位，正孔密度，電子密度分布，および応答波形

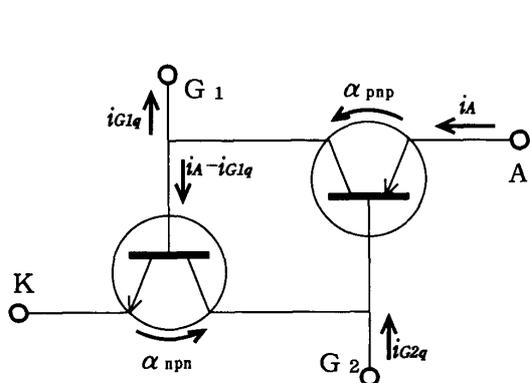


図6 ダブルゲートGTOの等価回路

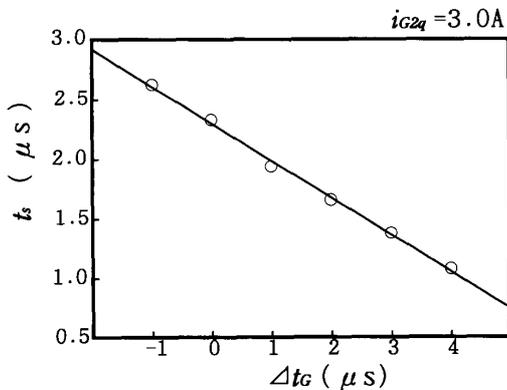


図7 第2ゲートパルス印加タイミングと蓄積時間の関係

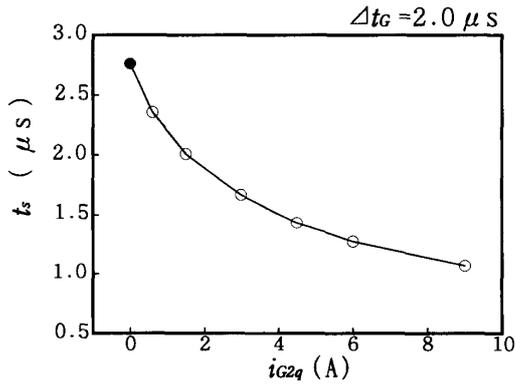


図8 第2ゲート電流と蓄積時間の関係

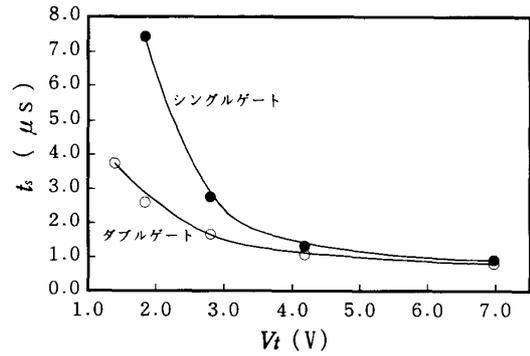


図11 オン電圧と蓄積時間のトレードオフ関係

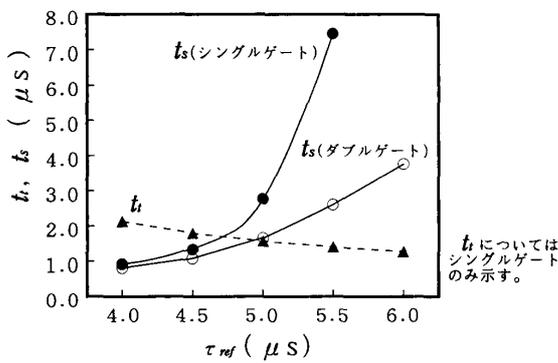


図9 ライフタイムとターンオン時間、蓄積時間の関係

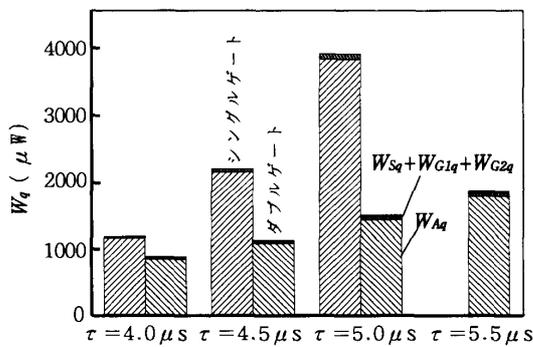


図10 ライフタイムとターンオフ損失の関係

てライフタイムを5.5 μs以上に設定すると、このゲート回路条件ではターンオフ時間が長すぎるため図にはあらわれていない。

最後に、ライフタイムを変化させて得られたオン電圧と蓄積時間の関係を図11に示す。同図から両者はトレードオフの関係にあることがわかる。従来のシングルゲートGTOは、ターンオフ特性を高めるため、オン電圧が許容できる範囲で高めの値になるように設計

されている。同図に示されるようにダブルゲートGTOはオン電圧を著しく高めることなくターンオフ特性を向上させ得ることが予想される。

#### 4. 結論

本論文では、ダブルゲートGTOの一次元モデルに有限要素法を適用して、外部回路を含めたデバイスシミュレーションを実施し、主としてシングルゲートGTOとの差異について検討した。今回の解析により得られた主な結果は、以下の通りである。

- (1) デバイスの内部解析により、シングルゲートとダブルゲートGTOの過剰キャリア密度の時間的変化を明らかにした。すなわち、ターンオフにおいてダブルゲートでは、第2ゲートにより過剰キャリアの排除が速やかに行われる。
- (2) 第2ゲート電流を第1ゲートに先行させ、過剰キャリアの一部を予め排出しておくことにより、ターンオフ時間を短縮させ得る。また、ターンオフ時間には、第2ゲートパルス印加のタイミングと直線関係がみられ、第2ゲート電流の大きさにも強く依存する。
- (3) ターンオフ期間における回路損失を計算し、ダブルゲートGTOのスイッチング損失の低いことを示した。また、オン電圧とターンオフ特性のトレードオフ関係を検討し、ダブルゲートGTOはオン電圧を著しく高めないまま、ターンオフ特性を向上させ得ることを示した。

これらは、試作デバイスによる実験結果<sup>4),5)</sup>の傾向とはほぼ符合する解析結果であり、一次元解析でも定性的な特性評価は十分可能と考えている。今後、二次元解析への拡張により、より実際のデバイス設計に即した解析を行うことを検討している。

なお、本研究に際し、ご支援ご討論を頂いた、東京

大学 正田英介教授, 日立製作所日立研究所 八尾 勉氏, 四国総合研究所 山本博隆氏に謝意を表す。また, 本研究に卒業研究として尽力された宮本宏彰氏(現, 帝人精機株式会社), 大西敬郎氏(現, 住友共同電力株式会社)に感謝する。最後に数値計算には, 愛媛大学情報処理センター FACOM M1600/6 を使用したことを付記する。

#### 参 考 文 献

- 1) 八尾, 内田: パワー半導体デバイスの進展, 電気学会論文誌 B, **112**, 6 (1992)
- 2) 中島: 高周波スイッチング素子の電力への適用, 電気学会論文誌 B, **113**, 601 (1993)
- 3) 阿部: 燃料電池プラント用大容量インバータの開発と実績, 電気学会論文誌 B, **113**, 193 (1993)
- 4) 滝上, 亀井, 小倉, 熱田, 中川: 6000V ダブルゲート GTO の特性, 電気学会半導体電力変換研究会資料, SPC-88-56, 85 (1988)
- 5) T. Ogura, A. Nakagawa, M. Atsuta, Y. Kamei & K. Takigami: High Frequency 6000V Double Gate GTOs Buried Gate Structure, Proc. of 2nd International Power Electronics Conf. Tokyo, 1101 (1990)
- 6) J. Arnould & D. Lafore: Low Switching Loss Four Electrode GTO Thyristor, Proc. of European Power Electronics conf.-Brighton, 278 (1993)
- 7) 小坂, 高田, 八田, 桜田, 橋本: 2次元過渡シミュレータ STAP2-BM によるパワーデバイス特性解析, 電気学会半導体電力変換研究会資料, SPC-91-59, 53 (1991)
- 8) E. Masada, M. Tamura, T. Nakajima: Simulation of Switching Processes in Turn-off Thyristors, IEEE Power Electronics Specialist Conf. Records, 1, c-4 (1988)
- 9) 坂田, 宮本, 杉本, 菊池, 磯村, 正田: 有限要素法によるスナバ回路を含む GTO のスイッチング特性解析, 電気学会論文誌 D, **113**, 728 (1993)
- 10) 坂田, 杉本, 菊池, 磯村, 正田: 有限要素法によるアノード短絡型 GTO サイリスタの 2次元数値解析, シミュレーション, **12**-8, 163 (1993)
- 11) 中西, 坂田, 杉本, 磯村: 有限要素法による GTO スイッチングのシミュレーション, 電気学会半導体電力変換研究会資料, SPC-94-10, 95 (1994)