

自己発熱と熱相互作用を考慮した半導体デバイスの 数値シミュレーション†

川 島 博 文*・檀 良*

ABSTRACT As the sizes of a semiconductor device and an integrated circuit decrease, the temperature inside a transistor becomes very high. Transistors designed without considering thermal effects may give rise to hot spots which eventually cause unrecoverable changes in their electrical characteristics. To cope with this situation, it is necessary to take account of the transistors' thermal characteristics while considering their electrical behavior. In this paper, we report a numerical simulation of semiconductor devices taking account of the self heating effect of each individual transistor as well as the mutual heating effect induced from other devices. The simulation is realized by a four-step calculation stages: 1) calculating the total dissipating power of each transistor; 2) estimating temperature distribution inside the entire circuit by considering each transistor as a lumped heat source; 3) extracting the temperature distribution around a single transistor based on data obtained in 2); 4) calculating electro-thermal characteristics using the non-isothermal device simulator based on the boundary conditions just extracted. The simulation shows that the temperature inside an integrated chip significantly depends on the layout of a circuit. In addition, it is shown that the electrical characteristics of a transistor vary due to the heat induced from other devices, even if its electrical and geometrical conditions remain unchanged.

1. はじめに

近年の半導体素子製造技術の飛躍的な進歩によりトランジスタの微細化は進み、特にシリコン MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) においては、サブクォーターミクロンレベルのデバイスが実用化されつつある^{1),2)}。そのような極微細素子の出現は、より高集積化された回路の実現及び動作周波数のさらなる向上を達成する一方で、消費電力密度（単位面積当たりの消費電力）の増加という問題を招く結果となっている³⁾。そのため、素子の自己発熱による温度上昇効果を考慮せずに設計されたトランジスタや集積回路はチップ上でのホットスポットとなり、集積回路全体の信頼性を損なう要因（温度上昇による素子特性の変化に起因した回路の誤作動、絶縁物の劣化による素子寿命の低下など）となっ

ている。このような状況を回避するため、半導体内部の温度解析に関する研究が盛んに行われている^{3)~13)}。

一般に集積回路の温度解析は次の二つに分類することができる。一つは機械工学からの流れに沿った実装設計者のための温度解析である。これは解析対象を装置あるいは集積回路全体とし、トランジスタや回路ブロックなどの発熱の要因となる部分を一つの熱源として置き換え簡略化することにより、機器全体の温度分布を得る方法である^{3)~6)}。しかしながら、この方法は装置全体の温度を総合的に解析可能という利点を持つ反面、内蔵するユニットの温度やトランジスタ内部の局所的な温度上昇といった詳細な解析及びその温度上昇がトランジスタや回路の動作に与える影響を解析することは困難である。

その一方で、解析対象をトランジスタ単体とすることにより、従来のデバイスシミュレーション技術（半導体内部の電気伝導現象に関する支配方程式を数値計算で解く技術）に温度解析を組み込む方法も行われている^{7)~12)}。これは、従来の電気伝導現象を表す支配方程式（ポアソン方程式、電子・正孔電流連続式など）に加え、デバイス内の発熱とその伝導を記述する熱伝導方程式とを同時に解くことにより、素子の自己発熱

Numerical Simulation of Semiconductor Devices taking account of Self and Mutual Heating Effects. By Hirobumi Kawashima (Graduate School of Engineering, Hosei Univ.) and Ryo Dang (College of Engineering, Hosei Univ.).

*法政大学大学院工学研究科

**法政大学工学部電子情報学科

†1997年8月26日受付 1997年10月22日再受付

による温度上昇だけではなくその温度上昇がデバイス動作に与える影響をも同時に解析する方法である。これまでに我々も、シリコン MOSFET において内部温度はチャネル長の減少に伴い指数関数的に上昇し、素子特性に変化をもたらすことを報告した¹⁰⁾。また、前者の方法により素子間の熱相互作用を考慮した半導体デバイスの三次元温度シミュレーションを行い、半導体の内部温度はレイアウトや他の素子との相互作用に大きく依存することを示した⁶⁾。しかしながらデバイスシミュレーションでは、用いられる支配方程式及び物理モデルの非線形性から、解析対象はトランジスタ単体(あるいは数個)に留まざるをえない。そのため、デバイス内部で発生した熱が基板の奥深くに浸透し、他の素子との相互作用を起こすといった温度現象特有の影響を直接デバイスシミュレーションで考慮することは困難である。

このような問題の解決策として、我々は既に集積回路全体を解析対象とした三次元温度シミュレーションと従来のトランジスタ単体を解析対象とした非等温デバイスシミュレーションとの結合を提案し、レイアウト及び熱相互作用がデバイス特性に影響を与えることを報告した¹³⁾。本論文では、さらに重要な要素となる周辺素子の電気状態を設定し、トランジスタとその周りのデバイスとの間にどのような熱相互作用が行われているか、また熱相互作用の結果としてどのような電気特性の変動をもたらすかについて報告する。なお、論文の一部は参考文献 6) と 13) において既に発表しているが、本論文の一貫性を期してそれらの既発表分の要点もここに加えている。

2. 支配方程式

今回、非等温デバイスシミュレーションで扱う方程式は、定常状態におけるポアソン方程式(1)と電子及び正孔の電流連続式(2)、(3)のドリフト・拡散方程式にデバイス内部の発熱とその伝導を記述する熱伝導方程式(4)である。

$$\operatorname{div}(\varepsilon \operatorname{grad} \psi) = -q(N_D - N_A + p - n) \quad (1)$$

$$\operatorname{div}\left(-\frac{J_n}{q}\right) = U \quad (2)$$

$$\operatorname{div}\left(\frac{J_p}{q}\right) = U \quad (3)$$

$$\operatorname{div}(k_L \operatorname{grad} T_L) = -Q \quad (4)$$

ここで、 ε : 誘電率、 ψ : 電位、 q : 正電荷素量、 n : 電子密度、 p : 正孔密度、 N_D : ドナー密度、 N_A : アクセプタ密度、 J_n : 電子電流密度、 J_p : 正孔電流密度、 U :

キャリアの生成/再結合速度、 k_L : 熱伝導率、 T_L : 温度、 Q : 発熱率である。

また、これらの支配方程式に付随する補助方程式は以下の通りである。

$$n = n_i \exp \frac{q(\psi - \phi_n)}{k_B T_L} \quad (5)$$

$$p = n_i \exp \frac{q(\phi_p - \psi)}{k_B T_L} \quad (6)$$

$$J_n = -q\mu_n n \operatorname{grad} \psi + qD_n \operatorname{grad} n + k_B n \alpha_n \mu_n \operatorname{grad} T_L \quad (7)$$

$$J_p = -q\mu_p p \operatorname{grad} \psi - qD_p \operatorname{grad} p - k_B p \alpha_p \mu_p \operatorname{grad} T_L \quad (8)$$

ここで、 n_i : 真性キャリア密度、 ϕ_n : 電子の擬フェルミポテンシャル、 ϕ_p : 正孔の擬フェルミポテンシャル、 k_B : ボルツマン定数、 μ_n : 電子移動度、 μ_p : 正孔移動度、 D_n : 電子の拡散定数、 D_p : 正孔の拡散定数、 α_n : 電子の輸送係数、 α_p : 正孔の輸送係数である。

(4)式中の発熱率 Q には、半導体内で発生する熱はジュール熱に起因すると仮定し、次式を用いる。

$$Q = E \cdot (J_n + J_p) \quad (9)$$

ここで、電界 E と電流密度 J_n, J_p に上記方程式(1)-(3)、(5)-(8)から得られた局所的な値を用いることにより、半導体内部の高電界・高電流密度による温度上昇を解析可能とする。

さらに、温度上昇によるキャリア移動度の変動を考慮するために、(10)、(11)式の従来の電界依存移動度モデル¹⁴⁾に温度上昇による低電界移動度 μ'' 及び飽和速度 v_s の低下^{15),16)}を考慮し(12)-(14)式を加味した。

$$\mu_{n,p} = \frac{\mu'_{n,p}}{\sqrt{1 + \frac{(\mu'_{n,p} E_{||} / v_s)^2}{\mu'_{n,p} E_{||} / v_s + G} + (\mu'_{n,p} E_{||} / v_s)^2}} \quad (10)$$

$$\mu'_{n,p} = \mu''_{n,p} (1 + \alpha E_{\perp})^{-0.5} \quad (11)$$

$$\mu''_n = 88 T_0^{-0.57} + \frac{7.4 \times 10^8 T_L^{-2.33}}{1 + 0.88 T_0^{-0.146} N / (1.26 \times 10^{17} T_0^{2.4})} \quad (12)$$

$$\mu''_p = 54.3 T_0^{-0.57} + \frac{1.36 \times 10^8 T_L^{-2.33}}{1 + 0.88 T_0^{-0.146} N / (2.35 \times 10^{17} T_0^{2.4})} \quad (13)$$

$$v_s = \frac{2.4 \times 10^{17}}{1 + 0.8 \exp(T_L / 600)}, \quad T_0 = T_L / 300 \quad (14)$$

ここで、 $E_{||}$ 、 $E_{\perp}$ はそれぞれ電流ベクトルに平行な電界成分と垂直な電界成分であり、その他の記号は参考文献¹⁴⁾と同様な意味を持つ。

また、キャリアの生成/再結合速度 U には、Shockley-Read-Hall モデル¹⁷⁾、Auger モデル¹⁸⁾とインパクト

イオン化モデル¹⁹⁾をすべて用いる。インパクトイオン化係数にはインパクトイオン化の温度依存性を考慮した以下のモデル¹²⁾を採用した。

$$\alpha = \alpha_{\infty} \exp \left(-\frac{b}{E_{||}} \right) \quad (15)$$

$$b = b_0 (1 + \beta (T_L - 300)) \quad (16)$$

また、シリコンの真性キャリア密度、熱伝導率の温度依存性を取り入れるため、以下のモデル^{11), 7)}を適用した。

$$n_i = 3.88 \times 10^{16} T_L^{1.5} \exp \left(\frac{-7000}{T_L} \right) \quad (17)$$

$$k_L = 3122.86 T_L^{-4/3} \quad (18)$$

通常、サブミクロンサイズの MOSFET 解析には、これらの方程式に加え、半導体内部でのキャリアの非平衡輸送効果を記述する電子・正孔のエネルギー保存式を加える^{7)~10)}ことが一般的である。これまでに我々も、実効チャネル長 $0.2 \mu\text{m}$ の MOSFET 解析において、非平衡輸送効果は無視できないことを示した¹⁰⁾。しかしながら本論文では、自己発熱による温度上昇及びその熱相互作用に焦点を当て、その電気特性への影響を明確にするため、解析対象にゲート長 $1 \mu\text{m}$ の n チャネル MOSFET を用い、非平衡輸送効果の影響は小さいとしてこれを無視した。これは、従来自己発熱による温度上昇は小さいと考えられていたゲート長 $1 \mu\text{m}$ 程度の MOSFET においても、熱相互作用を考慮することにより温度上昇効果は無視できなくなることを示すためでもある。またそれと同時に、微細 MOSFET 解析において、周辺素子の状況次第では非平衡輸送効果よりもむしろ温度上昇効果が電気特性により大きな変化をもたらすことを示すためである。なお、非平衡輸送効果が顕著になるサブミクロンサイズの MOSFET においても、デバイスシミュレータに電子・正孔のエネルギー保存式を加えることにより、本質的に本論文と同様な手順で解析可能である。

3. 計算手順

従来の非等温デバイスシミュレーションでは、前述の方程式全セットをトランジスタ単体に適用することにより、自己発熱を考慮したシミュレーションを行っている^{7)~12)}。これは、集積回路上の素子が電気的な分離を施されているため、他の素子から電気的な影響を受けないためである。しかしながら、トランジスタ内で発生した熱は基板の奥深くまで三次元的に拡散し、電気的分離層を乗り越え他の素子にまで到達する。そのため、現実的な温度解析を行うためには、複

数の素子を同時に解析し、熱相互作用による影響を考慮に入れなければならない。その反面、電気及び熱に関する方程式の全セットを集積回路全体に適用すると、方程式の非線形性及び計算時間の点から必要以上の困難を招くおそれがある。そこで本論文では、この電気と熱の性質の違いから、熱伝導に関する(4)、(18)式のみを集積回路全体に適用した三次元温度シミュレーションを行うこととした。さらに、トランジスタ単体の電気特性解析には、この方法で解析された温度分布を従来のデバイス単体を解析対象とした詳細な非等温デバイスシミュレーションの境界条件に用いることにより、計算時間の不必要な増加を抑制し、周辺素子による熱相互作用を考慮した効率の良い非等温デバイスシミュレーションを可能にした。

また、本論文でも筆者らが一貫して行ってきたように、前述の非線形方程式全セットに対しては有限差分法による直交メッシュ分割の離散化を、そして Newton-Raphson 法による線形化を施した。

以下に、三次元温度シミュレータと二次元非等温デバイスシミュレータとの具体的な結合手順を示す。

〈Step 1 等温デバイスシミュレーション〉

MOSFET の構造パラメータ (ゲート長、基板濃度など) 及び解析条件 (端子電圧など) を入力とし電気特性に関する方程式(1)-(3)、(5)-(8)、(10)-(17)を一括して解く、つまり従来の等温場でのデバイスシミュレーションを行うことにより、MOSFET 内部で消費される電力の計算を行う。

〈Step 2 三次元温度シミュレーション〉

解析対象を集積回路全体とし、トランジスタ数、トランジスタ間距離、ウエハ厚やレイアウト情報などを考慮した三次元温度シミュレーションを行う。また、この解析では熱解析のみに焦点を当て、各トランジスタを Step 1 で計算された消費電力を持つそれぞれ一つの熱源として置き換え簡略化し、さらに方程式を熱伝導に関する方程式(4)、(18)式のみに限定することにより、解析領域の拡大に伴う計算時間の増加を抑制する。

〈Step 3 データ抽出〉

計算された全体の温度分布から注目すべきトランジスタの消費電力に対する周辺温度分布を抽出する。ここで、トランジスタ周辺の狭い領域で決定される電気特性と広い範囲の三次元現象により決定される熱特性との関連づけを行っている。

〈Step 4 非等温デバイスシミュレーション〉

抽出された周辺温度から熱伝導方程式に関する境界

条件を設定し、デバイス単体を解析対象とした詳細な非等温デバイスシミュレーションを行う。今回の境界条件の設定には、MOSFET 内部ではチャネル領域のごく狭い高電界・高電流密度領域のみで熱が発生し、その周辺領域は熱拡散のみによって決定される、つまり Step 2 の近似が成立するため、発熱源から充分離れた $1\mu\text{m}$ 四方を固定とする方法を用いた。ただし、その境界温度は Step 2 で計算された消費電力依存性及び周辺素子からの熱相互作用を考慮したものであり、電気特性により変動する。また、ここでは Step 1 と異なり、電気特性だけではなくデバイス内の局所的な温度上昇も解析するために全方程式(1)–(18)をすべて解くことにする。

4. シミュレーション結果

4.1 三次元温度シミュレーション

まず、図1の構造に対して温度解析を行うことにより、どのように熱相互作用が温度分布に影響を与えるのかを明確にする。基本パラメータとしてトランジスタ(ヒートソース)数: 32 (8×4)、ゲート長: $1\mu\text{m}$ 、ゲート幅: $20\mu\text{m}$ 、酸化膜厚: 20nm 、トランジスタ間距離: (X 方向) $8\mu\text{m}$ 、(Z 方向) $4\mu\text{m}$ 、ウェハ厚: $100\mu\text{m}$ とした。また、すべてのトランジスタは同一のものと仮定し、それぞれの消費電力は 0.04W とした。基板底面には理想的なヒートシンクを仮定し、室温 (300K) に固定する。各材料の熱伝導率 k_L の値には、Si: 1.55W/cm K (at 300K)、 SiO_2 : 0.0144W/cm

K, Al: 2.37W/cm K を用いた。そして、この構造を解析対象として、熱伝導方程式に有限差分法及びニュートン法を適用して解くことにより温度分布を得る。また、解析対象の領域分割には温度上昇の激しいヒートソース周辺及び熱流の非線形性が強くなる酸化膜内そしてその界面 (Si/SiO_2 , SiO_2/Al) を細かくし、周辺領域を粗くする等比級数的な領域分割を行った。

温度解析において、その境界条件及び解析領域の設定方法は、解析結果の信頼性の点から重要である。ここでは熱伝導方程式の境界条件として、基板底面にヒートシンクを仮定し、温度を固定する固定境界条件、その他の境界面には、周辺気体への熱放射は無いとする断熱境界条件を用いた。また、異なる材料の境界面では、熱流 ($k_L \text{ grad } T_L$) を連続とする。ここで、今回の境界条件と解析領域規模の妥当性を検証するため、図2に最大温度のシミュレーション領域依存性を示す。図から、今回の条件の下、ヒートソースからシミュレーション領域端までの距離を $150\mu\text{m}$ 以上とすることにより、最大温度の解析領域に対する依存性がなくなることがわかる。その一方で、今回の条件の下では、シミュレーション領域端までの距離を $100\mu\text{m}$ 以下にすると、最大温度は指数関数的に上昇することがわかる。以後のシミュレーション結果は、図1中の32個のヒートソースが単独で存在している、つまり他から熱的な影響を受けない状態及び境界条件の妥当性を確保するため、ヒートソースからシミュレーション領域端までの距離 D を $150\mu\text{m}$ とした。

図3に前記の条件により解析された Si/SiO_2 界面における温度分布を示す。ただし、図ではヒートソース周辺の温度分布のみを示してあるが、実際には図1の構造全体でシミュレーションを行っている。図から、各ヒートソース内で温度が上昇し、さらに中心付近で

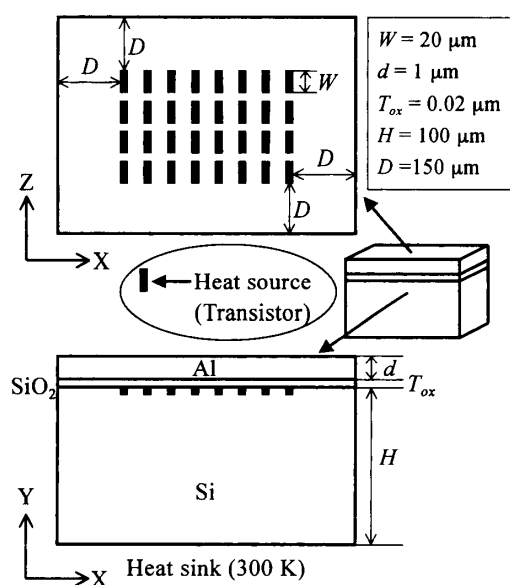


図1 温度解析におけるシミュレーション構造

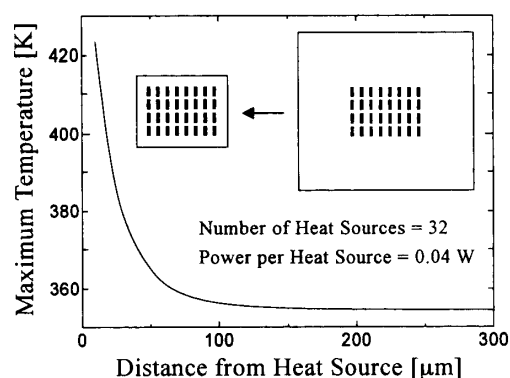


図2 最大温度のシミュレーション領域依存性

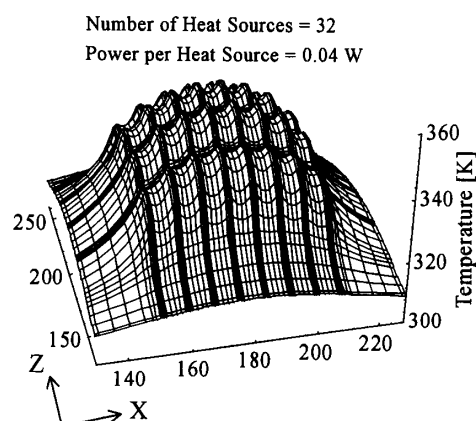
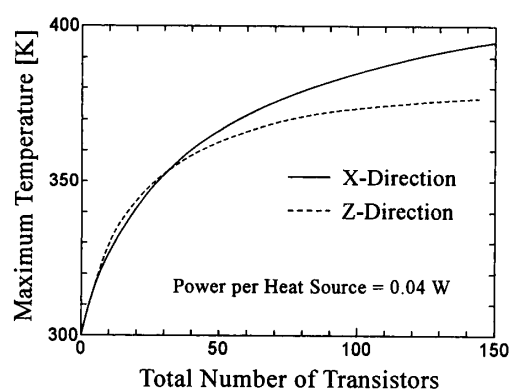
図3 Si/SiO₂界面における温度分布

図4 最大温度のトランジスタ数依存性

最大温度となっていることがわかる。つまり各ヒートソース間での相互作用が発生していることがわかる。

次に、この熱相互作用を明確にするため、それぞれの方向（図1におけるX方向、Z方向）にヒートソースを増加したときの最大温度の変化を図4に示す。なお、ヒートソース間距離を含むその他のパラメータは固定とした。実線がZ方向のヒートソースを4個に固定し、X方向に数を増加した場合であり、点線がX方向のヒートソースを8個に固定し、Z方向に数を増加した場合である。ヒートソースが少ない範囲内では、最大温度がZ方向の増加に対して敏感に変化しているが、ヒートソースの増加に伴いX方向と逆転することがわかる。これは、Z方向のヒートソース間距離（4 μm ）がX方向の距離（8 μm ）より短いから、数の少ない範囲では、Z方向の増加の影響が強いが、その一方で、ヒートソース自体の長さの違い（X方向：ゲート長1 μm 、Z方向：ゲート幅20 μm ）により、最大温度の位置（中心付近）からの距離が増加するため、Z方向の増加に対する最大温度の飽和が

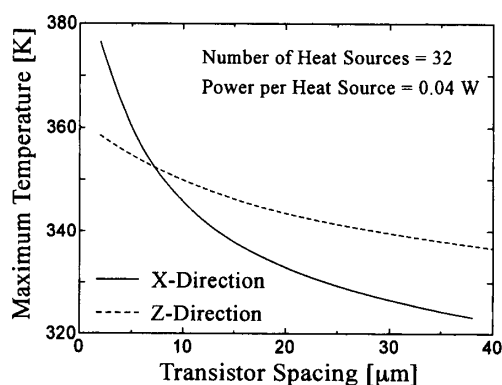


図5 最大温度のトランジスタ間距離依存性

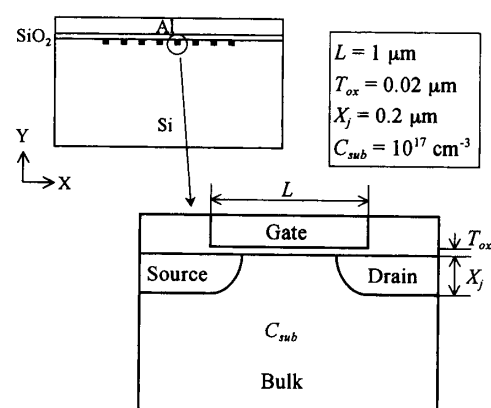


図6 nチャネル MOSFET 構造

早くなる。なお、無限にヒートソースが続くと仮定し、シミュレーションを行った結果、X方向では400 K、Z方向では378 Kとなった。次にヒートソースをX方向に8個、Z方向に4個と固定し、それぞれのヒートソース間距離を変化させたときの最大温度の変化を図5に示す。両方向とも、ヒートソース間距離を増加させることにより最大温度を低く押さえることが可能であることがわかる。しかしながら素子を熱的に分離するためには、その距離を40 μm 以上離さなければならず、現実的な回路の温度解析において素子間の相互作用による影響は無視できないことを示している。

4.2 非等温デバイスシミュレーション

次に、自己発熱及び熱相互作用が電気特性に与える影響を調査するため、前述の手順に従い非等温デバイスシミュレーションを行った結果を示す。シミュレーションに用いたnチャネル MOSFET 構造と幾何学パラメータは図6の通りである。なお、全体のレイアウトは図1と同様なものを用い、図1における32個の黒い四角形がそれぞれ図6の MOSFET に相当する。

〈Step 1: 等温デバイスシミュレーション〉

図7に従来の等温場でのデバイスシミュレータを用いて解析された電源電圧を5Vとしたときのドレイン電流及び MOSFET 内部で消費される電力のドレイン電圧依存性を示す。

〈Step 2: 三次元温度シミュレーション〉

今回、各トランジスタ間での熱の相互作用による電気特性への影響を明確にするため、次に示すような三種類の異なる条件の下でのシミュレーションを行った(図8参照)。
 [Type 1: OFF] 周辺素子がすべてOFFの場合、つまり注目しているトランジスタは完全に他の素子からの影響を受けない場合。
 [Type 2: ON] 周辺素子がすべてONの状態であり、注目しているトランジスタのみがOFFからONへ変化する場合。
 [Type 3: SAME] すべての素子が同時に変化した場合。以上の条件の下、Step 1 で計算された消費電力の

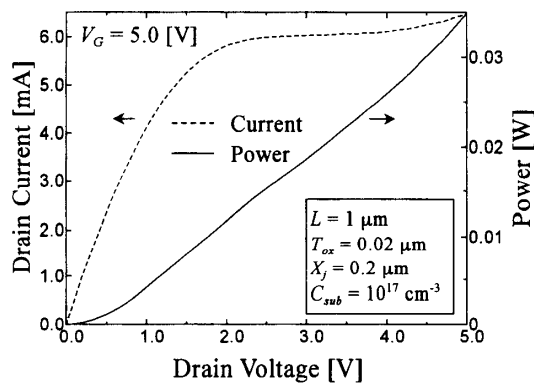


図7 ドレイン電流及び消費電力のドレイン電圧依存性

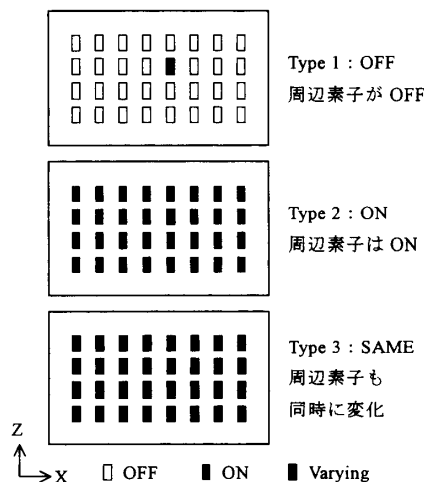


図8 動作時(注目の素子がOFFからONへ)における周辺素子の状態

範囲内(後の非等温デバイスシミュレーションを行う上で必要である消費電力の範囲内)における内部温度の計算を行う。

〈Step 3: データ抽出〉

前述のシミュレーションにより得られた結果から、注目すべき素子(本論文では図8: Type 1での網掛けのトランジスタの位置)の周辺温度を抽出する。ただし、ここでは最大温度の変化のみを図9に示す。図から、素子が単独の場合(周辺素子はすべてOFFの状態)において温度は消費電力の増加に伴い上昇し、さらに周辺素子も同時に変化している場合(SAME)では熱相互作用の影響を受け温度上昇がより激しくなることがわかる。その一方で、周辺素子がON状態の場合には、注目している素子がOFFの状態においても既に温度は約340 Kと上昇している。また、この場合には周辺素子からの影響が強いため、注目している素子の電気的変化に対する温度変化は小さい。なお、ON状態のトランジスタの設定消費電力(図7から約0.035 W)に近づくにつれ、自己発熱による温度上昇効果が強くなることがわかる。以上の結果により、温度解析において注目している素子の自己発熱による影響だけではなく、むしろ他の素子の状態、つまり熱の相互作用による影響が重要であると結論づけられる。

〈Step 4: 非等温デバイスシミュレーション〉

それぞれの条件で解析された温度分布から抽出された周辺温度を基に、新たに非等温デバイスシミュレーションを行った結果を図10に示す。図から周辺素子がOFFの場合の電流値よりも他の二つの条件での電流値が減少していることがわかる。これは、熱の相互作用によりトランジスタの内部温度がOFFの場合よりも上昇し、それに伴いキャリア移動度が低下するためである。さらに、周辺素子が同時に変化している場合

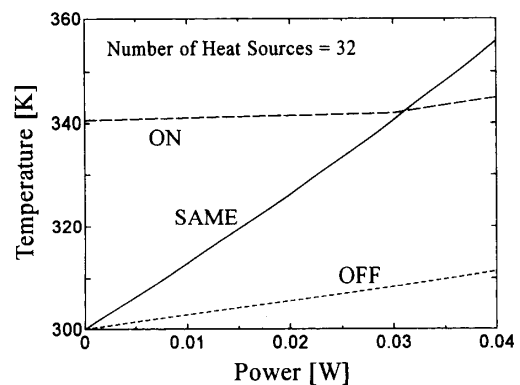


図9 内部温度の消費電力依存性

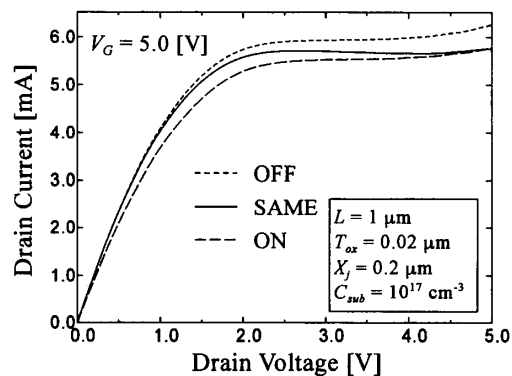


図10 ドレイン電流—ドレイン電圧特性

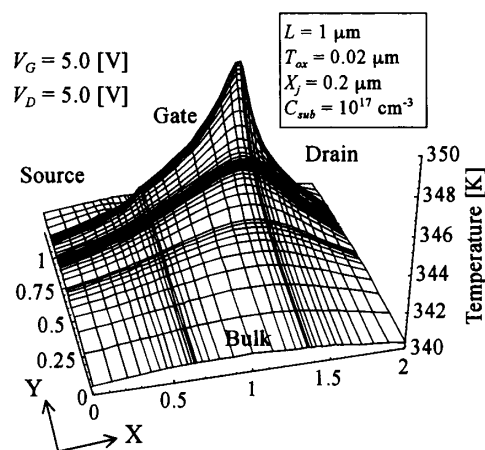


図11 MOSFETの内部温度分布

には、ドレイン電圧に対するトランジスタ内温度の変化が激しいため、その温度上昇に起因する負性抵抗（ドレイン電圧の増加に伴いドレイン電流が減少する現象）がみられる。結果として、注目している素子の電氣的及び幾何学的条件が同一の場合でも、周辺素子の状態により、熱相互作用による電気特性の変化が現れることがわかる。これは、従来の電気特性のみの解析では予測不可能である。

また、すべての素子のゲート及びドレイン電圧を5 VとしたときのMOSFET内部温度分布を図11に示す。図から、電界と電流密度の集中するチャネル領域のドレイン端において局所的な温度上昇がみられ、その熱が周辺に広がっている様子がわかる。今回の条件では最大温度は約350 Kとなった。

5. ま と め

三次元熱シミュレータと非等温デバイスシミュレータとを結合させることにより、レイアウト（トランジスタ数、トランジスタ間距離など）及び周辺素子の動

作状況を考慮したシリコンnチャネルMOSFETの非等温デバイスシミュレーションを行った。その結果、半導体内部の温度分布はレイアウトに大きく依存し、素子間の相互作用も無視できないことがわかった。さらに、その熱の相互作用のため、デバイスシミュレーションにおける解析対象素子のチャネル長、酸化膜厚などの幾何学的条件及び端子電圧などの電氣的条件が同一の場合でも、周辺素子の状態によりデバイス特性に変化が現れることがわかった。また、自己発熱による温度上昇効果は小さいと考えられてきたゲート長1ミクロン程度のMOSFETにおいても、周辺素子からの熱相互作用に起因する負性抵抗がみられるなど、従来のトランジスタ単体のシミュレーションでは予測されなかった特性がみられ、温度上昇効果が無視できないことを示唆した。結果として、自己発熱の激しくなる微細素子解析において、本論文で示したような自己発熱と熱相互作用を考慮した半導体デバイスの数値シミュレーションが有効であることを示した。

参 考 文 献

- 1) 枝 洋樹：高速・低消費の両立へ新たな技術を盛り込む，日経エレクトロニクス，655，88/92（1996）
- 2) 國尾武光，大屋秀市：ギガビット時代のDRAM技術，応用物理，65-11，1106/1113（1996）
- 3) 国峰尚樹：総合熱解析システムを開発，日経エレクトロニクス，606，103/120（1994）
- 4) X. Gui, P. W. Webb, and G.-b. Gao: Use of the Three-Dimensional TLM Method in the Thermal Simulation and Design of Semiconductor Devices, IEEE Trans. Electron Devices, 39-6, 1295/1302（1992）
- 5) C. G. Shirley: Steady-State Temperature Profiles in Narrow Thin-Film Conductors, J. Appl. Phys., 57-3, 777/784（1985）
- 6) 川島博文，C. Mogilestue, M. Schlechtweg, 檀 良：チップ内の熱相互作用を考慮した半導体デバイスの三次元温度シミュレーション，日本シミュレーション学会 第17回計算電気・電子工学シンポジウム論文集，157/160（1996）
- 7) S. Szeto and R. Reif: A unified Electrothermal Hot-Carrier Transport Model for Silicon Bipolar Transistor Simulations, Solid-State Electronics, 32-4, 307/315（1989）
- 8) M. Liang and M. E. Law: Influence of Lattice Self-Heating and Hot-Carrier Transport on Device Performance, IEEE Trans. Electron Devices, 41-12, 2391/2398（1994）
- 9) Y. Apanovich, P. Blakey, R. Cottle, E. Lyumkis, B. Polsky, A. Shur, and A. Tcherniaev: Numerical Simulation of Submicrometer Devices including Coupled Nonlocal Transport and Nonisothermal Effects, IEEE Trans. Electron Devices, 42-5, 890/898（1995）
- 10) 林 洋一，川島博文，檀 良：非等温場におけるエネルギー輸送を考慮した半導体デバイスシミュレーション，日本シミュレーション学会論文誌，13-4, 350/359（1994）

- 11) S. P. Gaur and D. H. Navon: Two-Dimensional Carrier Flow in a Transistor Structure under Nonisothermal Conditions, *IEEE Trans. Electron Devices*, 23-1, 50/57 (1976)
 - 12) P. B. M. Wolbert, G. K. M. Wachutka, B. H. Krabbenborg, and T. J. Mouthaan: Nonisothermal Device Simulation using the 2-D Numerical Process/Device Simulator TRENDY and Application to SOI-Devices, *IEEE Trans. Computer-Aided Design*, 13-3, 293/302 (1994)
 - 13) H. Kawashima and R. Dang: Non-Isothermal Device Simulation taking account of Transistor Self-Heating and In-Chip Thermal Interdependence, *IEICE Trans. Fundamentals*, E80-A-10, 1973/1978 (1997)
 - 14) K. Yamaguchi: A Mobility Model for Carriers in the MOS Inversion Layer, *IEEE Trans. Electron Devices*, 30-6, 658/663 (1983)
 - 15) C. Jacoboni, C. Canali, G. Ottaviani, and A. Quaranta: A Review of Some Charge Transport Properties of Silicon, *Solid-State Electronics*, 20, 77/89 (1977)
 - 16) N. D. Arora, J. R. Hauser, and D. J. Roulston: Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature, *IEEE Trans. Electron Devices*, 29-2, 292/295 (1982)
 - 17) J. Gautier and J. V.-C. Sun: On the Transient Operation of Partially Depleted SOI NMOSFET's, *IEEE Electron Device Letters*, 16-11, 497/499 (1995)
 - 18) A. Schütz, S. Selberherr, and H. W. Potzl: Analysis of Breakdown Phenomena in MOSFET's, *IEEE Trans. Computer-Aided Design*, 1-2, 77/85 (1982)
 - 19) R. V. Overstraeten and H. D. Man: Measurement of the Ionization Rates in Diffused Silicon p-n Junctions, *Solid-State Electronics*, 13, 583/608 (1970)
-