

ナノデバイス用シリコン酸化膜の界面評価に 関する研究

姫路工業大学工学部教授

岸野 正剛

「ナノデバイス用シリコン酸化膜の界面評価に関する研究」

1、研究の背景と目的

超エル・エス・アイ（VLSI）技術はここ十数年来目覚ましい発展を遂げ、今後も更に発展を続けようとしている。この原動力は半導体デバイスことにMOSデバイスの微細化によるLSIの高集積化に基づいている。したがって、VLSIが今後も発展するにはMOSデバイスの更なる微細化が求められる。

MOSデバイスを微細化すると信号Sが減少するので、ノイズNを増大させないようにしないと、S/N比が低下し信頼性の低いデバイスになってしまう。しかも、MOSデバイスを微細化するとデバイスの内部が高電界化し、ホットキャリアなどの問題が生じ、ノイズ電流の増大原因はむしろ増加してきている。

このような状況ではノイズ電流の主な発生原因になる半導体の局在準位を正しく評価する必要がある。ここで特に注意を要する局在準位は、酸化膜とシリコン結晶の界面に存在する界面トラップ、及び半導体中に混入する重金属不純物の汚染などによって生じるバルク・トラップである。これらはキャリアの生成中心として働き、ノイズ電流を発生させる主要な電氣的な欠陥である。

従来はこれらの局在準位を高精度に評価するには、調べようとする半導体を使ってショットキーダイオードやMOSダイオードなどの測定用試料デバイスを作製して、これらの試料デバイスを使ってDLTS¹⁾ (Deep Level Transient Spectroscopy, 深い準位過渡分光法) やこれと測定原理が同じのICTS²⁾ (Isothermal Capacitance Transient Spectroscopy, 等温容量過渡分光法) などの測定が行われていた。

しかし、今後の微細なMOSデバイスにおいてはゲート酸化膜の厚さが数ナノメートルになるので、このようなごく薄い酸化膜の上に電極を付けて測定しようすると、電極の加工プロセスや測定時の操作によって、このごく薄い酸化膜を通して、半導体界面の特性が劣化する可能性が出てきている。すなわち、このような薄い酸化膜の状況で試料デバイスを作って界面を評価しようすると、本来の正しい界面の特性が測定できない可能性がでてきている。

この状況は微細なMOSデバイスにとっては非常に深刻なことである。この困難を回避するためには、ゲート酸化膜に電極を付けずに半導体の界面特性を評価する、非接触測定が望ましいことが分かる。この方向に沿った測定法として、MAIS (Metal-Air-Insulator-Semiconductor) を使ってC-V特性やC-t特性を測定し、局在準位やキャリアのライフタイムを測定する方法が近年開発されている³⁾。しかし、この方法は室温で行われる測定であるためにVLSIデバイスが要求する高精度な測定には適さないようである。

そこで我々は、MIOS (Metal-Insulating helium gas-Oxide-Semiconductor) を室温以下の低温状態で安定に構築し、これを用いてICTSと同等な過渡分光が可能なCOLTS (ContactLess Transient Spectroscopy) 法を開発した。なお、COLTS法における過渡分光による局在準位の信号処理方式は、従来から良く知られているICTS法の場合と同じである。

2、研究方法・研究内容

我々の研究室ではここ10年間ICTS測定を用いてMOSデバイスの界面トラップやバルク・トラップを詳しく研究してきた。この研究はシリコンをはじめInPなどの化合物半導体の場合について行った。この研究の中で非接触測定的重要性を認識し、ICTS法を非接触測定化する試みが今回の研究の始まりであり、本研究の研究方法である。

本研究ではまずMIOS (Metal-Insulating helium gas-Oxide-Semiconductor) 構造の構築から始めた。すなわち、非接触法で局在準位の測定に必要なC-V測定やC-t測定を行うには、上部電極とシリコン・ウエーハ表面の間に1 μ m程度のエアギャップを持たせる必要があるが、この構造は過渡分光法の要請から室温以下の低温で構築する必要がある。そこでわれわれはMIOS構造をクライオスタットの中に設置し、低温の状態でこの構築を可能にした。

この構造の構築に当たっては、エアギャップの間隔を測定時間の間1 μ m程度に安定に保持する必要があるので、除振台およびピエゾ・アクチュエータを使用した。

局在準位の測定は室温以下の低温においてMIOS構造試料のC-t曲線を測定し、この特性からICTSと同様な信号処理を行って、試料ウエーハの界面トラップやバルク・トラップの信号を得た。実際の測定は金不純物をドーピングしたシリコン・ウエーハを作製し、金不純物によって増大した界面トラップを測定すると共に、金不純物によって発生したバルク・トラップを測定した。

3、研究結果

3、1 MIOS構造の製作

COLTS法で使用するMIOS構造は、図1(a)にその断面構造を示すように、製作した。MIOS構造で最も重要な上部電極 (upper electrode) と試料ウエーハ (sample wafer) の間隔であるエアギャップ (air gap) は粗調整にマイクロメータを使用し、微動制御にピエゾアクチュエータを用いて制御できるようにした。その結果エアギャップを1 μ m程度の間隔で、測定 (時間) の間約1nmの精度で一定に保持することが出来た。

MIOS構造ではエアギャップだけでなく、上部電極と試料ウエーハ表面の平行度が重要であるが、平行度の制御は、図1(b)に示す、上部電極に取り付けた三個の平行用電極 (parallelism electrode) を用いて、電気容量を測定して三個の電極の容量を (エアギャップを変えて) 調整することによって行った。過渡分光を行うためのC-t特性の測定やこれを用いた局在準位の測定

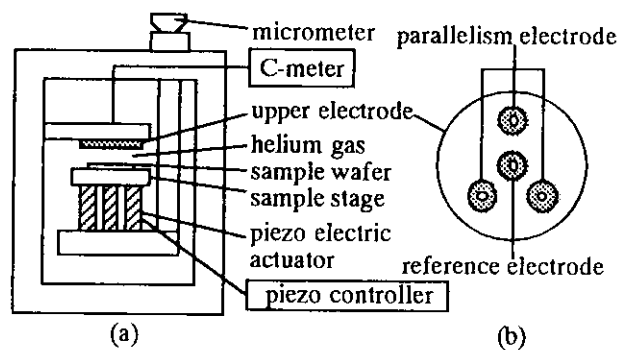


図1：COLTS測定に使用するMIOS構造の断面図(a)と上部電極部の平面図(b)

は、このようにして平行度を調整した後、上部電極の中心に取り付けた参照電極（reference electrode）を用いて行った。

試料を冷却するためには、M I O S 構造を設置したクライオスタット内を液体窒素で冷却すると共に、クライオスタット内に熱伝導度の優れたヘリウムガスを充満させた。

3、2 C O L T S 装置の全体構造

C O L T S 装置の全体構造は図 2 に示すとおりで、クライオスタット内に設置した M I O S 構造を除振台の上に固定すると共に、内部を清浄に保つためにこれらをクリーンブースの中に納めた。この処置をしたのは、エアギャップの中にチリなどのゴミが混入すると、このゴミが電荷を持つ場合には C-V 曲線にヒステリシスが生じることを、この装置の開発中に見いだしたからである。

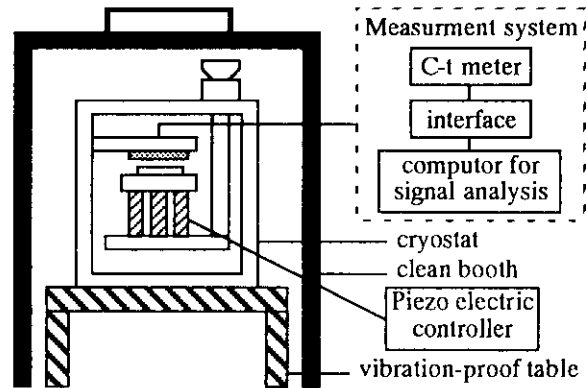


図 2 : C O L T S 装置の全体の概略図

また、本 C O L T S 装置による測定は一定の温度（0.1 度の精度）で行うが、C O L T S 測定の場合にはこのことは極めて重要である。測定原理としては C O L T S 法は D L T S 法と同じであるが、D L T S 法では試料の測定温度を連続的に変化させて容量の過渡分光を行うので、C O L T S 法では原理的にこの方式は適さないことが分かった。なぜなら、測定雰囲気温度を変化させると、ピエゾアクチュエータの熱膨張による長さ変化によってエアギャップの値が変化してしまい、それによって容量変化が起こるからである。つまり、試料に局在準位が存在しない場合でも測定容量が大幅に変化して、測定精度が著しく低下してしまう可能性が大きいからである。

3、3 測定原理と測定精度

C O L T S 法で測定される容量は半導体の空乏層容量、酸化膜容量及びエアギャップ容量の三個の容量の直列容量である。そして局在準位に係わる実際に必要な容量は半導体の空乏層容量(の変化)である。空乏層容量、酸化膜容量およびエアギャップ容量をそれぞれ C_s 、 C_{ox} および C_{air} とすると、 $C_s = \epsilon_s / d_s$ 、 $C_{ox} = \epsilon_{ox} / d_{ox}$ および $C_{air} = \epsilon_{air} / d_{air}$ となる。

したがって、C O L T S の容量 $C(colt)$ は次の式で与えられる。

$$C(colt) = \left(\frac{d_s}{\epsilon_s} + \frac{d_{air}}{\epsilon_{air}} + \frac{d_{ox}}{\epsilon_{ox}} \right)^{-1} \cdot A \quad (1)$$

ここで、 d_s 、 d_{air} 、 d_{ox} はそれぞれ半導体の空乏層幅、エアギャップおよび酸化膜厚であり、 ϵ_s 、 ϵ_{air} 、 ϵ_{ox} は半導体、空気および酸化膜の誘電率である。また、 A は電極の面積である。

いま、エアギャップに Δd_{air} の変動があるときの $C(\text{colts})$ の値を $C'(\text{colts})$ とすると、これは次の式で与えられる。

$$C'(\text{colts}) = \left(\frac{d_s}{\epsilon_s} + \frac{d_{air} + \Delta d_{air}}{\epsilon_{air}} + \frac{d_{ox}}{\epsilon_{ox}} \right)^{-1} \cdot A. \quad (2)$$

したがって、 $C(\text{colts})$ の変化は $\Delta C(\text{colts}) = C(\text{colts}) - C'(\text{colts})$ で与えられるので、COLTS法の測定精度を出来るだけ高精度に保つためには、この $\Delta C(\text{colts})$ の値を使用する容量計の測定誤差以内に抑える必要がある。現在使用している容量計の測定誤差は0.05pFであるが、 $\Delta C(\text{colts})$ の大きさを0.05pF以内に抑えるには、エアギャップを1 μm と仮定すると、許容されるエアギャップのバラツキは1 nmとなる。実際の実験でCOLTS装置の容量変化を測定したところ、10分間の間の容量変化は0.05pF以下であった。

COLTSの測定ではMIOS構造を使うが、ショットキーダイオードの場合、MOSダイオードの場合と合わせて測定感度を比較すると、式(1)からも推定されるように、ショットキーダイオードの場合が測定精度が最も高い。これは、ショットキーダイオードの場合には空乏層容量のみが測定されるからである。次が、空乏層容量と酸化膜容量の直列容量を測るMOSダイオードの場合で、MIOS構造の場合が最も劣ることになる。従って、MIOS構造の場合に界面トラップやバルク・トラップがどの程度の精度で測定できるかを確かめておく必要がある。

詳しい検討の内容は省略するが、界面トラップ D_{it} とバルク・トラップ N_t の測定限界(下限)密度をエアギャップの関数として図3および図4に示した。図3および図4を見ると、エアギャップを1 μm と仮定した場合であるが、界面トラップ (D_{it}) については $10^{10} \text{cm}^{-2} \text{eV}^{-1}$ 、バルク・トラップ (N_t) については 10^{13}cm^{-3} 程度まで測定可能なことが分かり、実用上問題がないことが分かった。

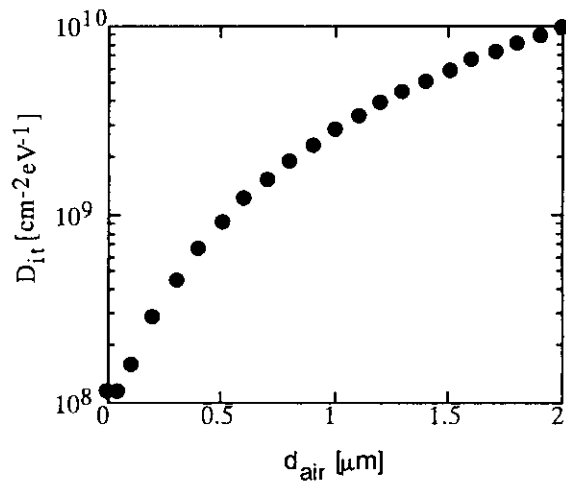


図3：界面トラップ密度の測定限界(下限)のエアギャップ値依存性

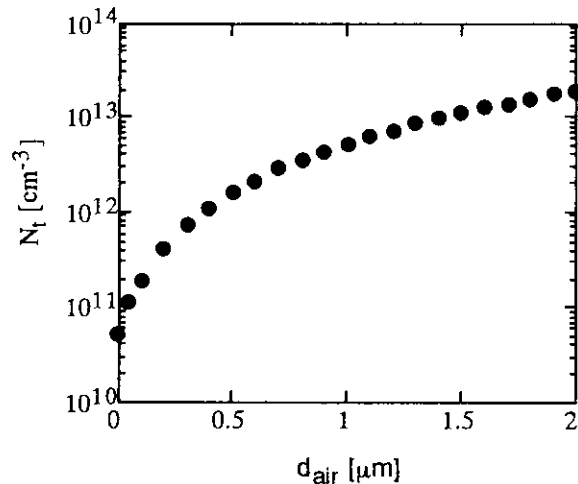


図4：バルク・トラップ密度の測定限界(下限)のエアギャップ値依存性

3、4 実験結果

COLTS装置が有効に動作するかどうかを確かめるために、次の様な試料ウェーハを作製して局在準位の測定を行った。すなわち、抵抗率 $10\ \Omega\text{cm}$ 、ボロンドープのシリコン・ウェーハを用意し、先ず、これを熱酸化して 100nm の酸化膜を形成した。

その後裏面の酸化膜を除去し、この裏面のシリコン面に金(Au)を蒸着したあと熱拡散工程を使って金不純物をウェーハ全体にドーピングした(10^{14}cm^{-3} 以下)。この金をドーピングしたシリコン・ウェーハを試料として、酸化膜の付いた側を上にしてCOLTS装置の試料台に装着した。この試料を

クライオスタットを操作して低温に一定に保ち、C-t測定を行い、信号処理を行って図5に示すCOLTS信号を得た。

図5に示すCOLTS信号は、従来から良く知られている、ICTS信号と同等なもので、三個の信号から成り立っている。それらは図5のグラフにおいて、左端に連続分布している界面トラップ(interface trap)、中央にあるバルク・トラップ(Au bulk trap)および右端に現れている反転層ピーク(inversion peak)である。界面トラップおよびバルク・トラップについて信号処理してトラップの密度を求めたところ、それらはそれぞれ $8 \times 10^{10}\text{cm}^{-2}\text{eV}^{-1}$ および $3 \times 10^{13}\text{cm}^{-3}$ と求めることが出来た。

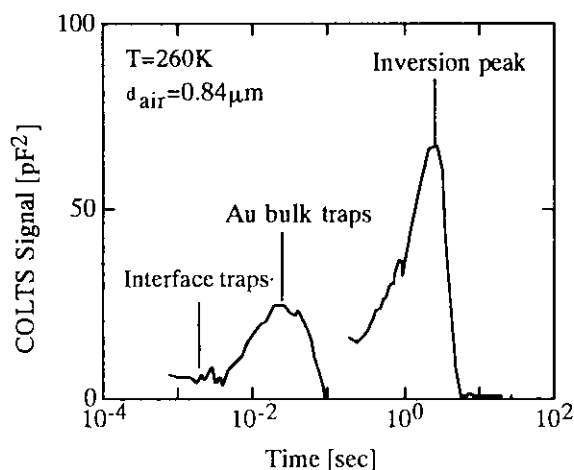


図5：COLTS法で得られた界面トラップおよびバルク・トラップの信号

4、研究がもたらす効果および波及効果

本研究は今後のVLSI産業で製造される微細なMOSデバイスのニーズに従って始めたものなので、研究成果は実際のVLSIプロセスにおけるデバイスの特性評価に使用できるものである。ただ、現状は非接触の電気特性評価が実際に可能なことを実験的に証明した段階である。したがって、現在のCOLTS装置は実験室的に使用できる段階である。

VLSIプロセスにおいて実際に実用化するには、本装置を発展させて走査型のCOLTSを開発する必要がある。走査型COLTSでは局在準位の他にキャリア濃度のウェーハ内分布、キャリアのライフタイムのウェーハ内分布なども測定できるので、実際のVLSIプロセスにおける特性評価において広く実用されるであろう。

また、本COLTS法はシリコン・ウェーハ(半導体)だけでなく、半導体であればどのような材料にも適用できるので、GaAs、InPなどの化合物半導体、SiC、ダイヤモンドなど、従来の方法では、良質の酸化膜が得られないために局在準位の測定が困難であった半導体材料においても局在準位の測定が可能なので、

COLTS 装置の適用範囲は広範囲に亘ると考えられる。

5、参考文献

- 1) D. V. Lang, J. Appl. Phys. 45, pp.3023-3032(1974).
- 2) H. Okushi and Y. Tokumaru, Jpn. J. Appl. Phys. 28, pp.L335-L338(1980).
- 3) S. Ogawa, T. Kobayashi, S. Nakayama and Y. Sakakibara, Jpn. J. Appl. Phys. 36, pp.1398-1406(1997).

6、本研究に関連する発表論文

- 1) H. Yoshida, H. Niu and S. Kishino, "ICTS of MOS interface states enhanced by gold diffusion", Jpn. J. Appl. Phys. 30, pp.L1293-L1295(1991).
- 2) H. Yoshida, M. Ohmori, H. Niu and S. Kishino, "Si-SiO₂ interface states enhanced by oxidation-induced stacking faults", Appl. Phys. Lett. 60, pp.2389-2390(1992).
- 3) H. Yoshida, H. Niu and S. Kishino, "Isothermal capacitance transient spectroscopy of electron and hole emissions from interface states in metal-oxide-semiconductor transistors", J. Appl. Phys. 73, pp.4457-4461(1993).
- 4) H. Yoshida, H. Niu, T. Matsuda and S. Kishino, "Improvement of isothermal capacitance transient spectroscopy for deep level measurement including interface trap", Semiconductor Characterization Present States and Future Needs, ed. by W. M. Bullis, D. G. Seiler and A. C. Diebold. American Institute of Physics (1996), pp.237-240.
- 5) S. Kishino and H. Yoshida, "Contactless transient spectroscopy for the measurement of localized states in semiconductors", Proc. of 1998 International Conference on Characterization and Metrology for ULSI Technology", Gaithersburg, MD, March 23-27, 1998.
- 6) 吉田晴彦、岸野正剛、"非接触過渡分光法(COLTS)の開発(Ⅰ)"、第45回応用物理学関係連合講演会、講演予稿集No.1(1998)、p.442.
- 7) 小林憲一、吉田満、吉田晴彦、岸野正剛、"非接触過渡分光法(COLTS)の開発(Ⅱ)"、第45回応用物理学関係連合講演会、講演予稿集No.1(1998)、p.443.