

システムLSIのためのレイアウトCAD

Layout CAD System for System LSI Design

あらまし

0.18 μm 以降のディープサブミクロンプロセステクノロジーでは、1,000万ゲートを超える論理回路の搭載が可能となり、従来複数チップで構成していたシステムを1チップ上に集積するSOC (System-on-a-Chip) の設計が本格化してきている。

一方、プロセスの微細化に伴い、タイミングクローズおよびシグナルインテグリティの問題がより複雑化し、設計期間の増大を招いている。これらの問題を解決し、システムLSIを短期間で効率良く設計するために各種の新しいCAD技術の開発が要求されている。

本稿では、レイアウト設計に焦点をあて、0.25 μm テクノロジーで立ち上げた技術を更に解析的手法と連携させることにより進化させた、タイミングドリブンレイアウト、クロストーク対策、電源配線最適化を実現するCAD技術について紹介する。このCAD技術は、富士通で広く使用実績を持つ「レイアウトCADシステム“GLOSCAD”」で実用化していく。

Abstract

Deep sub-micron process technologies of 0.18 μm and below enable the integration of logical circuits having more than 10 million gates. Now, we have reached the era of System-on-a-Chip (SOC), which integrates into a single chip a system that up to now has required multiple chips. However, the design terms of SOC have increased because the problems connected with the timing-closure and signal-integrity have become more complicated. To solve these problems and enable system LSI to be designed efficiently within a short term, several new CAD technologies are needed. This paper introduces some CAD technologies, focusing on layout design. These CAD technologies, developed based on 0.25 μm technology and enhanced by linkage with the analytic method, have enabled a timing-driven layout, handling of cross-talk errors, and optimization of power supply wires. In addition, these CAD technologies are being employed by the layout CAD system “GLOSCAD”, which is widely used in Fujitsu.



杉岡俊明 (すぎおか としあき)
CAD開発統括部第二開発部 所属
現在、レイアウトCADシステムの開発に従事。



今野 正 (こんの ただし)
CAD開発統括部第二開発部 所属
現在、レイアウトCADシステムの開発に従事。

まえがき

0.18 μm プロセステクノロジーを採用したASICでは、1,000万ゲートを超える論理回路をLSIへ搭載できるようになった。これにより、従来複数のチップで構成していたシステムを1チップ上に搭載するSOC (System-on-a-Chip) 設計が可能となり、本格的なシステムLSIの開発が行われるようになった。

大規模LSIの設計を可能とするため、階層化設計手法が開発されてきたが、タイミング設計の複雑化、トランジスタ・配線の微細化によるクロストークノイズの増大、消費電力の増大に伴うIR-Drop、Electro-Migrationの発生などによって、設計TAT (Turn Around Time) の増大が問題になってきている。

富士通のASIC設計に適用している「レイアウトCADシステム“GLOSCAD⁽¹⁾”」では、これらの問題を解決し、大規模システムLSIの短TAT設計を可能とするため、タイミングクロージャ、パワーインテグリティ、シグナルインテグリティ問題を解決する新技術の開発を行っている。

本稿では、0.25 μm テクノロジーで立ち上げた技術を更に解析的手法と連携させることにより進化させた、階層化タイミングドリブンレイアウト、電源網解析に基づく電源配線最適化、詳細解析モデルによるクロストーク対策技術について紹介する。

タイミングクロージャ対策

大規模システムLSI設計におけるタイミングクロージャの問題は、階層ブロック間のタイミング最適化問題と、ブロック内のタイミング最適化問題に分けられる。

階層設計では、タイミングを最適化するフロアプランの決定、ブロック間の配置配線、ブロックのタイミングバジェット設定が課題であった。これらの対策として、CADベンダ各社から様々な提案が行われているが、単体システムとして500万ゲートを超える大規模システムLSI設計に適用し、成功した例は現在のところ多くはない。

ブロック内のタイミング設計は、タイミングドリブン配置による最適化が行われているが、高性能LSIでは配線によるディレイの影響が大きく、満足な結果が得られなくなってきた。

本章では、これらの課題を解決する手法として、階層化タイミングドリブンレイアウト手法の概要、階層ブロック間クロックツリー生成および配置・配線・論理合

成を同時に行うことによりタイミング最適化を行うPDL (Performance Driven Layout) について紹介する。

階層化タイミングドリブンレイアウト

階層化タイミングドリブンレイアウトの概要を図-1に示す。システムは、ブロック間タイミング制約抽出、フロアプラン、チップレイアウト、ブロックレイアウト、チップレベルタイミング調整の五つのフェーズから構成される。

第1のブロック間タイミング制約抽出では、階層ブロックのネットリストから階層ブロックピンのインサクションディレイ値^(注1)の見積もり、および階層ブロックのクロック周期より、ブロック間パスのタイミング制約情報を抽出する。

第2のフロアプランでは、階層ブロック配置、階層ブロックピンアサイン、および電源配線を行う。階層ブロック配置では、ブロック間の距離から簡易パスディレイ値を算出し、ブロック間タイミング制約を満足するように階層ブロック配置を決定する。階層ブロックピンアサインでは、ブロック間パス経路とブロック内部のセル配置を見積もることにより、チップレベルとブロック内部でバランスのとれた位置にブロックピンをアサインする。電源配線は、電源網解析と連携した自動配線を行うことにより、最適な電源を供給する。なお、電源配線については、後述するパワーインテグリティ対策で説明する。

第3のチップレイアウトでは、ブロック間クロックツリー生成、ブロック間の配置配線、および階層ブロックのタイミングバジェット設定を行う。ブロック間クロックツリー生成については、次節で説明する。ブロック間の配置配線では、ブロック間タイミング制約値とブロック間の簡易パスディレイ値よりクリティカルパスのオーダリングを行い、タイミングの厳しいパスを優先して配置配線を行う。タイミングバジェット設定では、ブロック間の配置配線結果からパスディレイ値を計算し、階層ブロックピンへタイミング制約情報を設定する。

第4のブロックレイアウトでは、階層ブロック内のタイミング制約を満足するようにレイアウトを行う。ここでは、後述するPDLを適用することにより、従来のタイミングドリブンレイアウト処理では解決できなかった問題を解決することが可能となった。

第5のチップレベルタイミング調整では、各階層ブ

(注1) 階層ブロックピンから内部FF (Flip Flop) セルまでのパスディレイ値。

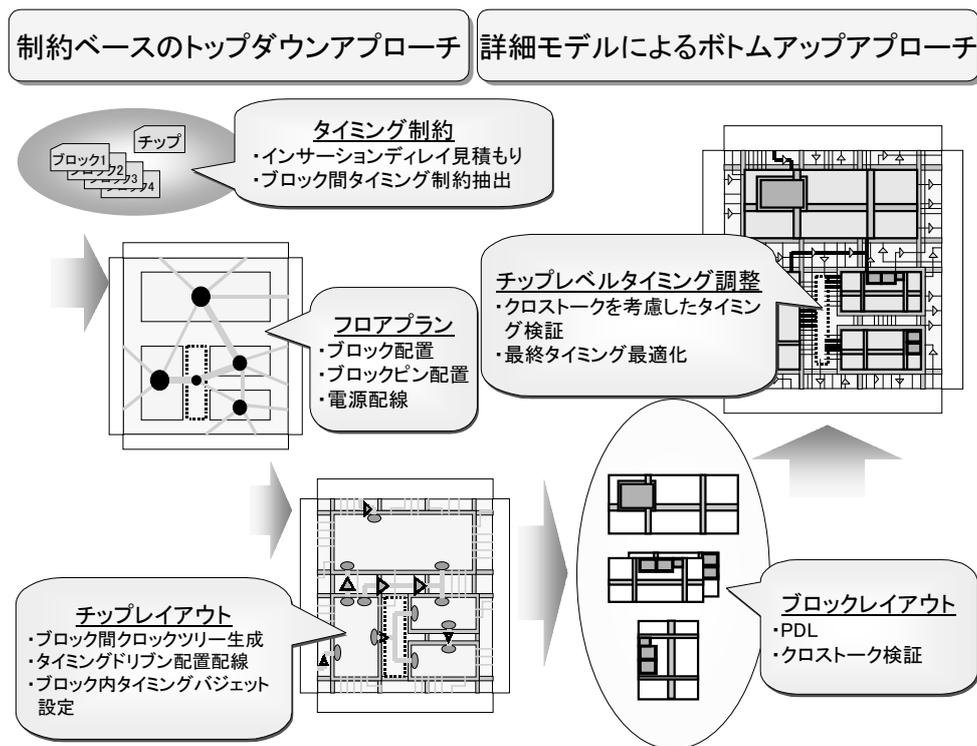


図-1 階層化タイミングドリブンレイアウト
Fig.1-Timing driven layout for hierarchical design.

ロックレイアウトの結果から、階層ブロック間パスのクロストークを考慮したタイミング検証を行い、エラーが検出された場合は、ゲートサイジング、バッファ挿入、スペーシング配線などで修正する。

以上のように、階層化タイミングドリブンレイアウト手法では、制約ベースのトップダウンアプローチ、詳細モデルによるボトムアップアプローチを組み合わせることにより、階層ブロック間のタイミングを最適にレイアウトすることが可能である。

階層ブロック間クロックツリー生成

階層ブロック間のクロックツリー生成で重要なのは、ブロック間チャンネルを認識し、チャンネル上でクロックパスのディレイ値、スキュー値を満足するようなクロック配線経路を決定することである。従来のクロックツリー生成ツールは、フラットレイアウト設計を前提としているため、メモリマクロ、階層ブロックのような大きな配線禁止領域が存在する場合、十分なクロックディレイ値およびスキュー値の最適化ができなかった。

この問題を解決するため、チャンネルインターセクショングラフを用いたブロック間クロックツリー生成ツールの開発を行った。チャンネルインターセクショングラフとクロックツリー生成処理の結果を図-2に示す。本ツール

では、このグラフ上でクロックツリーの配線経路を決定しながら、ブロック間のクロック制約を満足するように、クロックツリーを構築することができる。

PDL (Performance Driven Layout)

GLOSCADでは、タイミングを考慮した自動配置ツールとしてSMINCUT+BIGWIG⁽²⁾を実用化し、ASIC設計に適用している。しかし、クロック周期が短くなり、集積度が高くなるに従い、配線混雑度、論理構造最適化、クロック設計における問題が顕著になり、タイミングクロージャはより困難となってきた。

この問題を解決するため、PDLと呼ぶ新しい技術の開発を行っている。以下に、その特徴を示す。

(1) 配線容易性とタイミング改善の両立

タイミングドリブン配置では、タイミング最適化のため、引き付け配置、ゲートサイジング、バッファ挿入を行うが、配線の局所的な集中およびセル面積の増加によって配線処理が収束しない、あるいは配線の迂回によりタイミングエラーが発生する場合がある。

この問題を解決するため、タイミングを考慮した配置ツールと配線ツールの連携により、配線容易性の確保とタイミング改善効果の両立を実現した。配置段階では、パスのタイミングを考慮して非クリティカルパスを迂回

させることにより、配線の集中を避けることが可能である。また、配置段階で考慮した概略配線経路に従って詳細配線を行うことにより、配線エラーの回避と迂回配線によるタイミングエラーの発生を抑制できる。

(2) 入力回路に依存しないタイミング最適化

現在のタイミング最適化は、レイアウト設計で使用する論理回路の構造に依存するため、安定した効果を期待できない。この対策としてゲートサイジングやバッファ挿入といった手法に論理合成の一つのステップであるマッピング手法を加えて部分的な論理合成を行うことにより、入力回路構造への依存性を低減した。これにより、クリティカルパス上の論理段数削減などが可能となり、より高いタイミング最適化を実現できる。

(3) クロックツリー生成

タイミングドリブン配置では、クロック信号が各FF (Flip Flop) に同時に到達するという理想的なクロックスキュー値を前提としているが、実際に生成されるクロックツリーは、各FFにクロックスキューが生じるため、タイミングエラーの原因となる場合がある。この問題に対し、配置過程でクロックツリーを生成し、タイミングを最適化する機能の開発を行っている。データパス

の遅延を考慮してクロックスキューを意図的に発生させることも可能であり、より高いタイミングクロージャ能力の実現をねらっている。

パワーインテグリティ対策

GLOSCADによる従来の自動電源配線では、メインパワーバスと呼ぶメッシュ配線によってチップ全面に電源を供給し、ローカルパワーバス配線によって各セルへ電源を供給している。メインパワーバスの配線幅は、チップの最大クロック周波数に基づき電源配線ルールに従い決定する。RAMなどのマクロセルには電源リングを発生して電源を供給する。この手法では、電源配線幅を最大周波数から確定するため、低周波数部分の回路には冗長な配線となっていた。またマクロセルが多い場合、電源リング配線が冗長となり、チップ面積の増加を引き起こす問題があった。さらに、システムLSIではIPなどの特殊マクロ、搭載ゲート数の増大に伴う消費電力の増加によって、一つの電源配線ルールでは十分な電力供給ができなくなり、IR-Dropエラーや電流密度エラーを引き起こす場合がある。

これらの問題を解決するため、電源網解析システム

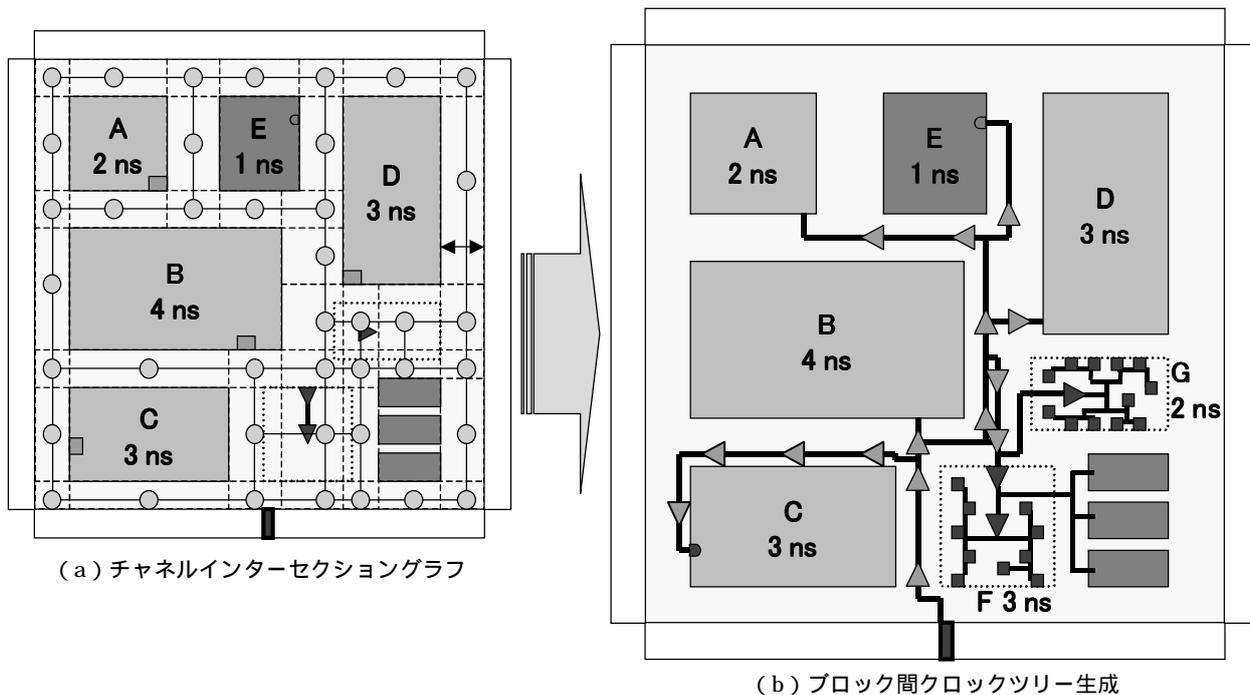


図-2 クロックツリー生成処理
Fig.2-Clock tree generation process.

“Power Impulse^(注2)”と連携した電源配線最適化機能の開発を行い、冗長な電源配線の削減、必要十分な電源供給を可能とした。

システム概要を図-3に示す。第1に、ネットリストから消費電力の見積もりを行う。チップの消費電力はクロックネットによる消費が5割～8割を占めるため、FF (Flip Flop) セル数からクロックバッファ数を見積もり、消費電力算出を行うことで、精度の向上を図っている。第2に、フロアプランを行った後に仮想電源配線を行う。仮想電源配線は、マクロセル間のチャンネル領域、ソフトブロックのフロアプランリージョンを認識して、チップ全体の骨格電源配線経路(図-4)を自動生成する。この経路はグラフィックエディタ上で編集が可能であり、任意の経路に容易に変更することができる。第3に骨格電源配線幅の最適化処理を行う。ここでは、電源抵抗網の抽出、および消費電力値を用いて電源網解析を行い、電源供給の過不足をチェックして、最適な電源配線幅の算出を行い、抵抗網のエラーを解決する。ここで最適化処理に失敗した場合は、フロアプラン上で骨格電源配線経路の変更、あるいは最大配線幅の変更を行い、再び最適化処理を行うことで最終的な仮想電源配線経路を決定する。最後に、仮想電源配線と電源配線幅の情報から、実際の電源配線パターン(図-5)を生成する。

本機能を適用することにより、消費電力を満足する最適な電源供給を行うとともに冗長な電源配線を削減し、チップ面積を縮小することができる。

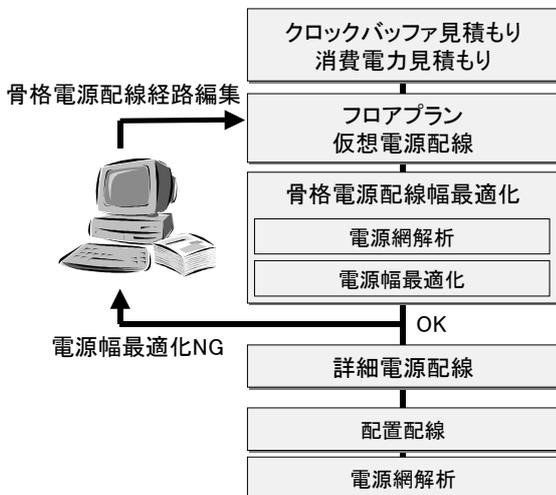


図-3 電源配線最適化システム
Fig.3-Power supply wiring optimization system.

(注2) 電源網解析システム“POWER[®]”を改名。

シグナルインテグリティ対策

従来のクロストーク検証処理では、並行配線長制限によるチェックを行っていた。この手法では、並行するパスのワーストケースノイズモデルにより並行長制限値を決定しているため、冗長なエラーが検出され多量のエラーが発生し、レイアウト修正に時間がかかる問題があった。

この問題に対し、RC抽出、ディレイ計算、クロストークノイズ解析精度を改良し、より実デバイスの動作に近い高精度な検証を可能にした。

(1) RC抽出精度向上

0.18 μmテクノロジーになり配線の微細化が進み、2グ

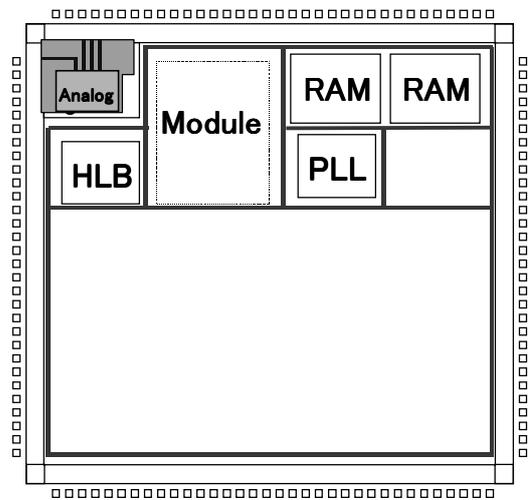


図-4 骨格電源配線経路
Fig.4-Skeletal power bus route.

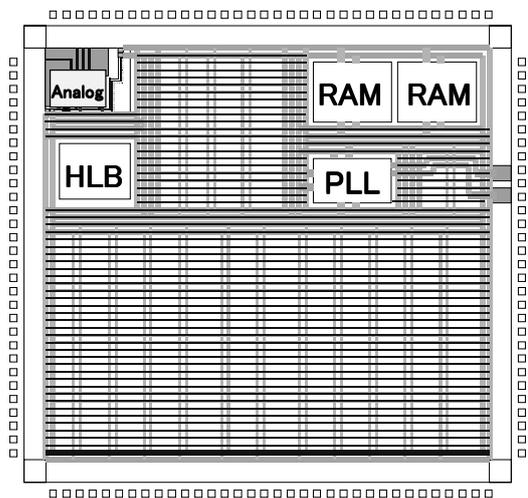


図-5 電源配線パターン
Fig.5-Power supply wiring pattern.

リッド以上はなれた隣接配線や異層の斜め方向隣接配線などの影響が無視できなくなってきた。そこで、これらの影響を考慮したRC抽出を行うことにより、高精度なディレイ計算、およびクロストークカップリング解析モデルの生成を可能とした。

(2) 遅延計算精度の向上

プロセスの微細化に伴い、配線形状あるいは信号のスルー値がゲート遅延へ与える影響が無視できなくなった。この問題を解決するため、ゲートモデルと配線モデルを一体化したRCラダーモデルを用いてゲート遅延と配線遅延を同時に算出することにより、SPICEシミュレーションの±5%以内の精度で遅延計算可能な技術を開発した。RCラダーによる遅延モデルの解析にあたっては、高性能RC線形シミュレーション関数、および効率的なRC圧縮技術の開発を行い、計算精度を低下させることなく、高速なパス遅延値の計算を可能とした。

(3) クロストークノイズ解析精度の向上

クロストークノイズ解析では、配線ネットのRCラダーとカップリング容量値を用いて、アグレッサネット^(注3)とビクティムネット^(注4)のクロストークカップリングモデルを抽出し、クロストークノイズの解析を行っている。本手法では、カップリング容量をセグメント単位で抽出し、配線パス上のカップリング位置を考慮することにより、高精度なクロストークノイズ解析を可能にした。

(4) 擬似タイミングエラーの抑止

クロストークノイズによるディレイ変動を考慮したタイミング解析では、アグレッサネットとビクティムネットの信号伝播のタイミングウィンドウを算出し、タイミングウィンドウが重なる信号についてのみクロストークディレイ変動を加算するように改良した。これにより、多くの擬似タイミングエラーの抑制が可能となった。

(1)～(4)項の改良により、クロストークノイズの高精度な算出、および、より実動作に近いクロストークディレイ変動を考慮したタイミング解析が可能となった。

今後の課題

現状のクロストークエラーに対するレイアウト対策は、レイアウト処理後にクロストークノイズ解析を行い、検出したエラーネットへバッファ挿入、あるいはスペーシング配線によってエラーの削減を行っている。この方法では、クロストークエラーが多い場合、レイアウト修正量が多くなるためレイアウト対策に時間がかかる。また、

集積度が高いLSIでは自動で修正できない場合もある。クロストークエラーの抜本的対策としては、初期配置配線においてクロストークエラーが発生しないようにレイアウトすることが望まれている。この課題に対し、GLOSCADではグローバル配線時にクロストークエラーの削減を行う機能の開発などを検討している。

む す び

本稿では、大規模、高性能システムLSIを短期間にレイアウト設計するため、タイミングクロージャ対策として階層化タイミングドリブンレイアウト、パワーインテグリティ対策として電源網解析と連携した電源配線の最適化、シグナルインテグリティ対策として高精度クロストークノイズ解析について紹介した。

これらの技術を組み込んだ「レイアウトCADシステム“GLOSCAD”」は、富士通社内のLSI設計部門、国内デザインセンター、および海外関係会社へ提供し、ネットワーク、モバイル、デジタルAVなどの各種高性能ASICの設計期間短縮および設計品質向上に貢献している。さらに、0.11 μm以降の最先端プロセステクノロジーの要求を満たすため、今後も研究所および関係開発部隊と連携を強化し、新技術の開発・提供をタイムリに行っていきたいと考えている。

参考文献

- (1) 杉岡俊明：エンベデッドアレイLSIレイアウトシステム：GLOSCAD．FUJITSU，Vol.50，No.6，p.382-387（1999）。
- (2) 金澤裕治ほか：タイミングドリブン配置システム：SMINOCUT+BIGWIG．FUJITSU，Vol.50，No.6，p.367-371（1999）。
- (3) 松澤孝行ほか：電源網解析システム：POWER．FUJITSU，Vol.50，No.6，p.393-398（1999）。

(注3) クロストークノイズの影響を与えるネット。

(注4) クロストークノイズの影響を受けるネット。