

# 半導体製造用高密度プラズマCVD装置“MAPLE”

Equipment of High Density Plasma CVD "MAPLE" for Semiconductor Device Manufacturing

松 田 竜 一\*<sup>1</sup> 井 上 雅 彦\*<sup>2</sup>



## 1. はじめに

携帯電話やパソコンを始めありとあらゆる電化製品にはICやLSIと呼ばれる半導体デバイスが用いられている。近年の半導体デバイスは極めて小さなトランジスタやコンデンサが髪の毛の1000分の1程度の太さで配線されている。これらを製造する工程ではプラズマを用いた処理が行われ、中でも高密度プラズマCVD装置は、微細な配線間の絶縁処理だけでなく、ここで紹介する新しい材料を用いたデバイスの製造用として応用が期待されている。

## 2. 高密度プラズマCVDによる成膜技術

高密度プラズマ装置の歴史は比較的浅く、1990年台初頭に開発されたコイル状アンテナをチャンバ上部に配置した誘導結合プラズマ装置にさかのぼる。この構造が大面積プラズマの形成に適していたことにより、その後の直径200mm、300mmウェハ用エッチング装置やCVD装置の原型となった。

プラズマCVD (Chemical Vapor Deposition) とは薄膜成長技術の一つで、原料ガスをプラズマの働きで化合して基板の上に堆積させる技術のことである。

半導体製造プロセスに用いられる高密度プラズマCVD装置は、1 Pa程度の低真空中で、電子密度約 $10^{11}$ 個/cm<sup>3</sup>のプラズマをコイル状アンテナからの誘導電磁波によって生成することができる。これにより、容量結合型の平行平板式プラズマCVD装置では扱えないガス種の組み合わせでの成膜や、イオンの異方性制御を実現することが可能となった。よく知られたプロセス技術としてはバイアススパッタ法がある。これは、高周波電界によりウェハに生じる自己バイアスによってウェハにイオンが垂直に衝突してスパッタするように、成膜と同時に進行させながら狭く深い溝への埋め込みを実現する方法であり、幅0.25  $\mu\text{m}$  以下の配線層間絶縁膜やトランジスタ素子同士を絶縁分離する膜 (STI: Shallow Trench Isolation, 図1) などに幅広く適用されている。

## 3. 半導体製造プロセスの動向

昨今、半導体デバイスや半導体製造プロセスの多様化に伴

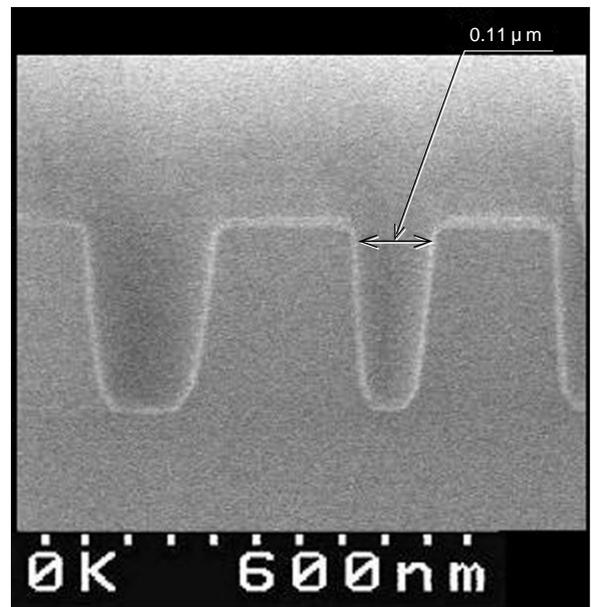


図1 微細埋め込み例

い、層間絶縁膜に対しても埋め込み性能に加えて新材料用プロセスへの対応も要求されるようになってきている。

次世代不揮発性メモリの候補としてFeRAM (Ferroelectric Random Access Memory) やMRAM (Magnetoresistive Random Access Memory) 等の開発が盛んに行われているが、これら次世代メモリはDRAMなどの従来プロセスにて使用経験の無い材料を採用しており、新材料採用に伴う問題が、量産化、微細化への大きなハードルとなっている。

FeRAMでは分極特性を信号の記憶に利用するため、PZTに代表される強誘電体材料が使用される。強誘電体材料は酸化金属であり、プラズマCVDのような比較的温度の低いプロセスであっても、水素を含むSiH<sub>4</sub>原料を使用することにより容易に還元され分極特性が劣化する。また、CVD膜に含まれる水素、水分が記憶素子の長期信頼性に与える影響も懸念されている。

同様にMRAMでは、磁性材料を記憶素子に採用しているため、全体的に既存プロセスよりも低温での処理が求められる。またトンネル磁気抵抗素子 (TMR) 構造では数十

\*<sup>1</sup> 高砂研究所応用物理研究室

\*<sup>2</sup> 神戸造船所新製品・宇宙部半導体製造装置開発グループ長

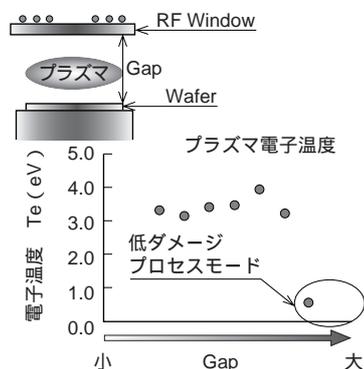


図2 プロセスチャンバ中心位置での電子温度分布。ギャップを調整することによりデバイスにやさしい成膜が可能。

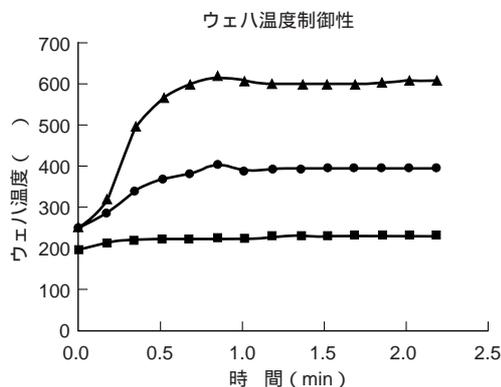


図4 プロセス中のウェハ温度変化。安定した温度で成膜できる。

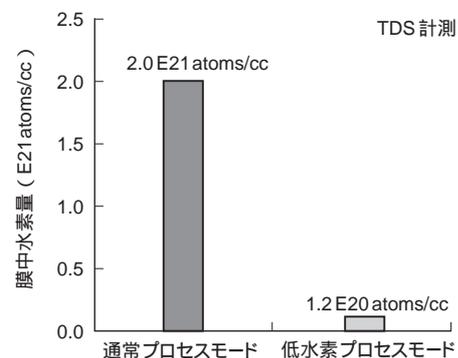


図5 絶縁膜中の水素量。通常に比べ水素量が1桁以下となっている。

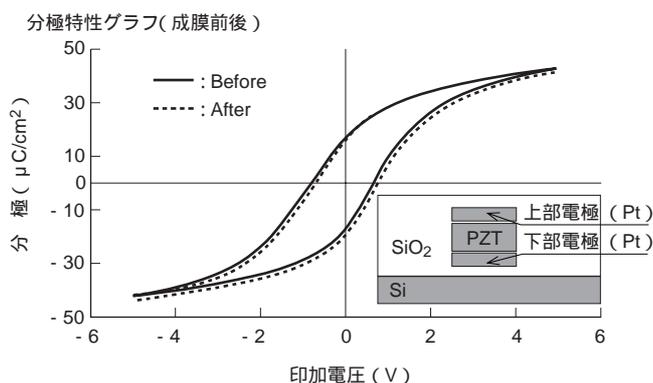


図3 酸化膜成膜前後の誘電特性の比較。成膜前後で素子の分極特性に変化が少ない。

程度の極薄絶縁膜を使用するため、チャージアップについても抑制を考慮する必要がある。

#### 4. “MAPLE”の特長

当社の高密度プラズマCVD装置“MAPLE”(Multi Applicable Plasma Equipment)では、高い生産性、低CoO(ウェハ1枚当たりの処理コスト)、プロセス拡張性をコンセプトに開発され、前章で述べたプロセス課題に対して様々な対策が施されている。

第一の特長は低温、低ダメージ成膜の実現のため、高密度プラズマ領域とウェハ間距離を自在に設定できる機能を有していることである。両者間距離をプロセス条件に対して調整することができ、電子温度1 eV以下のプラズマにて低ダメージ成膜を可能としている(図2)。同時に温度制御された静電チャックにより、従来400℃以上であった成膜温度を200℃以下の低温から700℃以上の広い範囲で制御することができる。特に200℃付近の温度制御を実現することにより、デバイスに与える化学的劣化が極めて少ない処理を可能としている(図3)。成膜中のウェハ温度は常時監視されるためプロセス安定性が確保できる(図4)。

第二の特長は、低温条件においても膜中水素量を低減できる独自プロセス技術を開発し、低水素成膜を実現しているこ

とである。開発されたプロセスで成膜した酸化膜中の水素量は図5のようになっている。

第三の特長は、高生産性、低CoOである。成膜と同時にプロセスチャンバ内壁に堆積する膜は定期的にクリーニングする必要がある。クリーニングで用いる $\text{NF}_3$ 使用量や頻度は生産性、CoOに大きく影響するとともに、環境への配慮も必要である。クリーニング時間や周期は、チャンバ内壁などからの微粒子数によって定められる。したがって $\text{NF}_3$ 利用率向上には、チャンバ内壁に堆積した膜の分布に応じたクリーニング分布の制御とクリーニング時間の管理が重要となる。MAPLEではチャンバ内の2種類のノズルによってクリーニング分布を最適調整することができる。またプラズマ発光分光分析法により酸化物やフッ化物起源の発光強度変化を計測してクリーニング条件の最適化を行っている。この結果、1時間に15枚/チャンバ(膜厚0.8  $\mu\text{m}$ /標準プロセス)という従来より2~3割高い生産性を実現している。さらにチャンバ構成、消耗部品を可能な限り単純化することでメンテナンス性の向上とランニングコストの低減化を図り、低CoOを実現している。

#### 5. ま と め

MAPLEは高生産性、低CoOであるとともにFeRAM、MRAMで求められている絶縁膜プロセス技術に適用していることが分かる。現在その実証試験をデバイスメーカーと共同で進めている状況である。

“デバイスにやさしく高生産性”であるMAPLEは、新しい世代の高密度プラズマCVD装置として各方面への展開が期待される。



松田竜一



井上雅彦