

CORRESPONDENCE

表面・粒界における少數
キャリアの再結合

太田英二

慶應義塾大学理工学部

〒223 横浜市港北区日吉 3-14-1

(1983年11月14日 受理)

Minority Carrier Recombination at
Surface and Grain Boundaries

Eiji OHTA

Faculty of Science and Technology, Keio University

14-1, Hiyoshi 3chome, Kohoku-ku,
Yokohama 223, Japan

(Received November 14, 1983)

材料の電気的性質に关心をもつ者にとって表面・界面においてバルクのキャリアがどのように振舞うかが問題となることが多い。著者は半導体バルクの deep level を手がけているが、その際少數キャリア寿命 (lifetime) と表面・界面の絡んだ再結合の問題に興味をもち、最近の成果を少し調べてみた。

少數キャリア寿命は直接的にはダイオード・トランジスタなどのスイッチング速度、接合のもの電流と雑音、太陽電池では変換効率に関わり、しばしば電子素子の特性を支配する因子となる。材料を評価するために lifetime の測定が行われることがあるが、その測定に当っては半導体バルクで発生した少數キャリアが表面まで拡散して再結合する表面再結合プロセスの影響を大なり小なり受けすることはよく知られている。そのパラメータである表面再結合速度は表面処理の影響を大きく受けるといわれ、バルクの lifetime を得るために表面再結合の効果を分離する工夫が考えられている¹⁾。一方、多結晶体では、結晶粒界(grain boundary)が表面と同様に再結合に大きく影響する。多結晶材料中には各種の粒界が存在し、それぞれ特性は異っている。多結晶では電流が粒界を横切って流れため、電気伝導に印加電圧依存性、温度依存性を生ずる。このような粒界の研究は、小傾角粒界、bicrystal など単一の粒界を形成させた試料を用いて行われている²⁾。

小傾角粒界は刃状転位列で構成されており粒界において格子不整 (lattice mismatch) が生じ、dangling

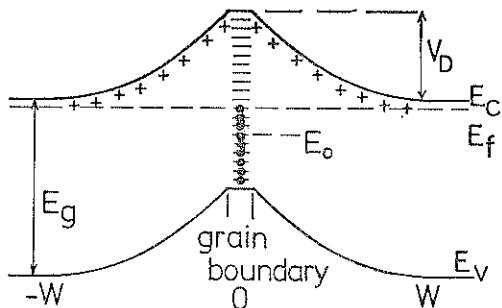


Fig. 1 Energy band diagram neighbouring grain boundary in n-type semiconductor in the dark.

bond が粒界面上に分布していることになる。同様な lattice mismatch は bicrystal でも生じている。これまでほぼ容認されている粒界のモデルは二重空乏層モデル (double depletion layer model) である³⁾。lattice mismatch を生じている粒界にはエネルギー的に広く分布する“界面”準位を形成する。熱平衡の下で n 型半導体の粒界を考えると、界面準位はバルクのフェルミ準位に一致するエネルギーまでバルクに由来する電子により充たされる。このために界面が負に帯電するならば、界面の電子に対するポテンシャルは上昇し、界面の両側の半導体バルクのエネルギー-band に曲がり (band bending) が生じる。band bending により界面の両側に拡がる空乏層が生じ、空乏層中のイオン化不純物の正電荷により界面の負電荷が遮蔽されることになる。(Fig. 1) このモデルは金属半導体障壁のモデル^{4,5)}と似ている。その重要な性質は、多数キャリアに対してポテンシャル障壁が存在することである。この障壁高さ V_D は、界面が帶電していない時に電子により古められる界面準位の最大エネルギーとして定義される neutral level E_0 とバルクのフェルミ準位 E_F の関係および界面準位の状態密度 N_s に依存する。界面の電荷は、

$$Q_s = q N_s (E_F - E_0) \approx (8q\epsilon_s N_s V_D)^{1/2} \quad (1)$$

となる。ここで q は電子の電荷 ϵ_s はバルクの誘電率、 N_s はドナー不純物濃度である。多数キャリアによる電流は、高さ V_D の障壁を越える電流である。

lifetime が問題となるのは、光照射などにより過剰少數キャリアが生成された場合である。光がバルク中で一様に吸収され、電子-正孔対が発生する場合を Fig. 2 に示す。発生した電子と正孔はバルク中で再結合するとともに、少數キャリアとしての正孔は拡散して粒界に達し、界面準位に捕獲される。これと同時に、粒界近くの空乏層では、band bending による電

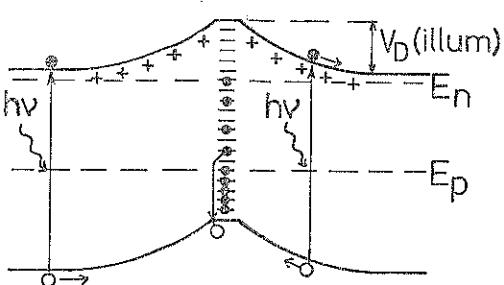


Fig. 2 Energy band diagram of grain boundary region under illumination.

界で正孔が粒界に向ってドリフトされ、界面準位に捕獲され易くなる。粒界の界面準位が正孔を捕獲すると、粒界の負電荷は減少し、その結果障壁高さ V_D は低下する。このため粒界における電子の平衡濃度は上昇し、電子もまた粒界に流れ込み、界面準位を介して正孔と再結合する。それゆえ、光照射による多結晶材料の特性変化はキャリア数の増加のみでなく、障壁の低下による実効的な移動度の増大と lifetime の変化による。lifetime に関連する粒界における再結合速度 S は障壁高さに依存する。

$$S \propto V_D^{1/2} \exp(-qV_D/kT) \quad (2)$$

実験結果についてみると、Ge の小傾角粒界では、拡がった準位ではなくエネルギー的に比較的狭い準位がコンダクタンスとキャパシタンスの解析から見出されている⁶⁾。この場合、粒界的障壁高さは 0.2 eV、粒界的電荷は電子を単位として約 10^{10} 個 cm^{-2} に相当する。 n 型 Si の单一粒界では障壁高さ約 0.4 eV、界面準位の状態密度は $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度でバンドギャップの中央に広く分布している^{2,7)}。一方 p 型の多結晶 Si では界面準位は価電子帯の上 0.18 eV 付近から拡がっており、約 $5 \times 10^{16} \text{ cm}^{-2} \text{ eV}^{-1}$ の状態密度をもつ broad band が観察されている⁸⁾。

(1)式、(2)式より界面準位の状態密度が大きい場合には、障壁高さ、ひいては再結合速度が大きくなることがわかる。このため少数キャリアを利用する素子では界面準位の影響は大きい。たとえば、太陽電池では界面での再結合の増加により効率が極端に低下することになる。これを防ぐため、界面準位を制御する方法が考案されている。これは粒界に分布する dangling bond に原子状の水素を付加することによる。

原子状水素の付加 (hydrogenation) は、非晶質シリコンにおいて水素が Si の dangling bond を不活性にしていることからの類推に基づいて考案された⁹⁾。 10^{-2} Torr 以上の圧力の水素プラズマ中に、試料

を 300°C 数時間置くことにより、 n 型 Si の粒界の障壁によるコンダクタンスは増大し、バルクシリコンの特性はほとんど変化しない。 p 型 Si でも同様に、250 ~ 300°C で 1 時間の plasma annealing (plasma annealing) によりコンダクタンスは大きく増加する^{10,11)}。これは粒界に沿って原子状水素が拡散し、界面状態密度を大幅に減少させる効果によるとされている。また粒界をもつ $p-n$ 接合では、少数キャリアの再結合が減少すると同時に、V-I 特性が改善される¹²⁾。

これまで述べたのは粒界に関するものであった。一方単結晶の表面における再結合については、探し方のせいか、わずかに Kiselev ら^{13,14)}の論文が見える。彼らは Ge(111) 表面に多極性分子を吸着させた時、少数キャリアの表面再結合が抑制されることを見出し、これを吸着分子の解離により供給される proton と再結合中心との相互作用と考えている。

最後に扱ったような、表面再結合に対する表面処理の効果が当初の興味の対象であったが、限られた分野での調査のせいか文献が少なく、また明確にわかっていることも多くない印象であった。こういったことに関連する他の分野では多くの知識が得られていることと思う。機会があれば多くの方に御教示いただきたいものである。

文 献

- 1) M. Boulot and D. Bois: J. Appl. Phys. **48** (1977) 4313.
- 2) C. H. Seager: Grain Boundaries in Semiconductors, Materials Research Society Symposia proceedings vol. 5, ed. H. J. Leamy, G. K. Pike and C. H. Seager (1982), North-Holland, p. 85.
- 3) C. H. Seager: J. Appl. Phys. **52** (1981) 3960.
- 4) J. Bardeen: Phys. Rev. **71** (1947) 717.
- 5) C. A. Mead: Solid-State Electron. **9** (1966) 1023.
- 6) A. Broniatowski and J. C. Bourgois: Grain Boundaries in Semiconductors, p. 119.
- 7) G. E. Pike and C. H. Seager: J. Appl. Phys. **50** (1979) 3414.
- 8) P. C. Srivastava and J. C. Bourgois: Grain Boundaries in Semiconductors, p. 137.
- 9) C. H. Seager and D. S. Ginley: Appl. Phys. Lett. **34** (1979) 337.
- 10) D. R. Campbell: Appl. Phys. Lett. **36** (1980) 604.
- 11) T. Makino and H. Nakamura: Appl. Phys. Lett. **35** (1979) 551.
- 12) C. H. Seager and D. S. Ginley: Appl. Phys. Lett. **36** (1970) 831.
- 13) V. F. Kiselev, V. A. Mateev, and R. V. Prudnikov: Phys. Stat. Solidi (a) **50** (1978) 739.
- 14) V. I. Grinev and V. F. Kiselev: Phys. Stat. Solidi (a) **66** (1981) 493.