

ORIGINALS (2)

Si 基板のメカノケミカルポリシング表面の清浄性

——MOS ダイオード特性による評価——

唐 木 俊 郎

日本電信電話公社 武蔵野電気通信研究所 〒180 東京都武蔵野市緑町 3-9-11

(1984年8月16日 受理)

Cleanliness of Mechanochemically polished Si Substrate Surfaces:
Evaluation through MOS Diode Characteristics

Toshiroh KARAKI

Musashino Electrical Communication Laboratory, Nippon Telegraph
and Telephone Public Corporation

3-9-11 Midori-cho, Musashino-shi, Tokyo 180

(Received August 16, 1984)

The relationship between impurities remaining on polished substrate surfaces and device characteristics was investigated with respect to Si substrates. MOS diodes were produced on mechanochemically polished Si substrates and mobile ions having influences on the electrical characteristics of the diodes were quantitatively determined. The results indicated that the Na^+ ions exert such an influence. The source introducing Na^+ ions onto the polished surface was determined and more effective mechanochemical polishing condition are proposed.

1. はじめに

単結晶シリコン (Si) 基板を用いる大規模集積回路 (LSI) 技術は、数年来 64~256 KRAM の一般化に象徴されるように急激な進歩をとげ、今や超 LSI (VSLI) の時代に入っている¹⁾。

この LSI 用 Si 基板には、高密度集積化とともに、より高品位化・高精度化が要求される。とくに、高品位化を達成するために、最終仕上げには、100~200Å SiO_2 微粒子をアルカリ液に懸濁させたコロイダルシリカと、軟質の人工皮革ポリシャを用いた湿式のメカノケミカルポリシング法を適用する²⁾。このメカノケミカルポリシングは、機械的作用にもとづくエネルギーによって加工液による化学反応を誘起・促進させる、すなわちメカノケミカル効果を加工材料の除去に積極的利用を図ったものである。これを Si 基板に適用すると、従来の機械的ポリシングにおける加工能率の数倍 ~10 数倍になると、化学的效果によって加工面が無じょう乱 (結晶学的にみて原子配列に乱れがないこと) の平滑鏡面になると

ころに最大の利点がある²⁾。

しかしながら、加工剤にアルカリ性のコロイダルシリカなどを用いることもあって、加工表面の清浄性という観点からみると Si 基板にナトリウム (Na) をはじめとする不純物が残留するという不安がある。通常の LSI 用 Si 基板は、部品化の過程で 1000°C 以上の高温熱処理という苛酷なプロセスを経る。そのため、不純物が基板表面に残存したままその高温プロセスを通すとデバイス特性に直接的に影響を及ぼす。これは、例えば MOS デバイスにおいて、酸化膜と Si 結晶界面に形成される可動電荷量に関係するからである。

とくに近年、MOS-LSI の高密度化を目的とした新しいプロセス技術の研究が盛んになるに従って、汚染は重大な問題となってきている。しかし、加工表面の清浄性とデバイス特性の関係を定量的に明らかにした報告は見当たらない。

本報告では、LSI 用 Si 基板の表面の清浄性に関して、結晶引上げ後の加工プロセス、とくに最終のメカノケミカルポリシングの加工条件と MOS ダイオード特性の

関係をしらべた。そして、そこから得られた考察結果をもとにして加工表面の清浄化に有効な加工条件を提案するとともに、実際に本加工条件によって MOS ダイオードを試作しその特性を評価した。その結果、可動電荷量の小さい優れた特性が得られた。

2. MOS ダイオードに及ぼす要因分析と可動電荷量の評価方法

2.1 要因分析

結晶引上げ後の加工プロセス、とくに最終メカノケミカルポリッシングを終えた Si 基板の表面には、アルカリ金属、鉄 (Fe)、有機物としての炭素 (C) などを含むポリシ剤やポリシャをはじめ、工具、装置などを使用するため、それが表面に不純物として残る可能性がある。そのような場合、デバイスプロセスにおける高温熱処理で不純物が Si 内部に拡散し、素子として機能する活性領域は不純物で充満されかねない。すなわち、素子形成領域の Si 結晶表面部分は、可動電荷で満たされるので、リーク電流などが生じて MOS 特性が不安定となり、素子として致命的欠陥となる。

加工プロセスにおいて不純物を結晶表面に残さないためには、

① 不純物が加工面に付着しにくく、かつ簡単に除去・溶去できるような加工条件の選択、

② 加工後の最適な洗浄方法の確立、
などがあげられる。さらに、不純物は Si 結晶表面・内部の OSF* などの欠陥に集中しやすいことも考えられる。従って、

③ OSF フリーの加工条件の適用、
も重要となる。

ここではメカノケミカルポリッシングに関係する①と②に注目して、①のポリシ剤の作製条件、③における不純物との関係を検討することとし、MOS ダイオードを試作してその I-V 特性、可動電荷量等の評価を行う。

2.2 可動電荷の測定

2.2.1 可動電荷の測定法について

Si 基板の熱酸化膜中の Na イオン等のアルカリ金属イオンは、低温で電界を印加することにより容易に酸化膜中を移動し、MOS トランジスタの閾値電圧 V_{FB} の変動の原因となる³⁾。

可動電荷は、MOS 素子の製造工程において、材料・雰囲気等から混入しやすい⁴⁾と考えられており、その測定・評価をすることが重要である。可動電荷量 (Q_0) を電気的に測定する方法としては、

i) BT (Bias and Temperature) 法⁵⁾

ii) TVS (Triangular Voltage Sweep) 法⁶⁾

がある。

前者の BT 処理法は、一般に広く使われている。これは、MOS ダイオードに電圧を印加した状態で 200~300°C に加熱し、印加電圧の極性によってイオンを Si 結晶-SiO₂ 膜界面もしくは金属-SiO₂ 膜界面に集中させて、それぞれの場合の I-V 特性から界面電荷量の差、すなわち可動電荷量 Q_0 を求める方法である。

一方、TVS 処理法は、M. Yamin⁶⁾ により MOS ダイオードの可動電荷の評価にはじめて応用された技術である。さらに、その詳細な議論が Chou⁷⁾ によってなされ、金属、SiO₂ 膜、Si 結晶の界面状態の研究に応用で

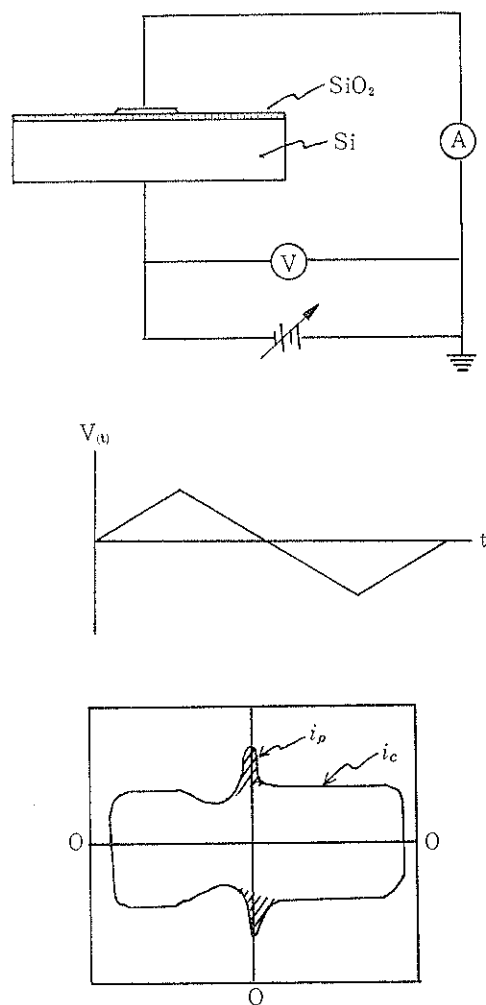


Fig. 1 Measuring principle of TVS (Triangular Voltage Sweep) method.

* Oxidation-induced Stacking Fault (熱酸化誘起積層欠陥) の略。

きることを確認している。

BT 処理法の場合、電圧印加状態で昇温、定温保持、降温の過程を通す必要がある。また、BT 処理前後に I-V 特性測定が必要がある。一方、TVS 法の場合、昇降温の過程が不要であり、測定も一回でよいため測定時間を短くできる特徴がある。また、可動電荷の検出感度も、BT 処理法ならびに TVS 法についてそれぞれ 10^{10} , 10^9 (cm⁻²) と TVS 法が優れている。

以上の比較をもとに、可動電荷の測定に対して有利な特徴をもつ TVS 法を採用することとする。

2.2.2 TVS 法の測定原理

Fig. 1 に TVS 法の測定原理を示す。BT 処理法と同様に可動電荷が容易に動くように MOS ダイオードを形成した基板を 200~300°C に加熱して、初期状態として負電圧を印加し、正イオンを金属-SiO₂ 膜界面に寄せ集める。電圧を一定速度で徐々に正電圧側に変えると、電圧の極性が変わるところで Si-SiO₂ 膜界面にイオンが寄せ集められ、イオン電流が流れる。このイオン電流を測定し積分すれば可動電荷量 (Q_0) が求められる。図 1 の回路で測定した場合、測定にかかる電流は、可動電荷による成分のほか、電子または正孔が SiO₂ 膜中を流れるための電流と SiO₂ 膜容量の充放電電流等が含まれる。電圧掃引速度を速くすると、これらが誤差として含まれるので、近似的に熱平衡状態が保たれるような速さで電圧を掃引する必要がある。

可動電荷による電流成分を i_p 、電圧掃引速度を R_v 、ダイオードのゲート金属面積を A 、単位面積当りの可動電荷量 (クーロン) を Q_0 とすると、

$$Q_0 = \frac{1}{A} \int i_p dt = \frac{1}{AR_v} \int i_p dV$$

の関係がある。即ち、 Q_0 は同図に示す I-V 特性の斜線の領域の面積から計算できる。

可動電荷量を、単位面積当りの可動電荷の個数で表示する場合、単純に電子の電荷 q ($=1.6 \times 10^{-19}$ クーロン) で Q_0 を割る (Q_0/q) ことによって得る。

3. Si 基板の加工と MOS ダイオードの作製

使用した結晶はチョクラルスキー (CZ) 法によって引上げられたもので、P 形 B ドープ (比抵抗 1.6~1.8 Ωcm) の φ3" (100) 面の Si 基板である。Fig. 2 に、Si 単結晶の引上げから MOS ダイオードの製作・評価までの全体の流れ図を示す。引上げた Si 単結晶のロッドは、外周研削、スライシング、ラッピングを行い、酸エッチングでラッピング時の加工変質層ならびに残留砥粒等を除去した後、最終仕上げ加工としてのメカノケミカルポリッシングを施すこととした。そして、洗浄した基

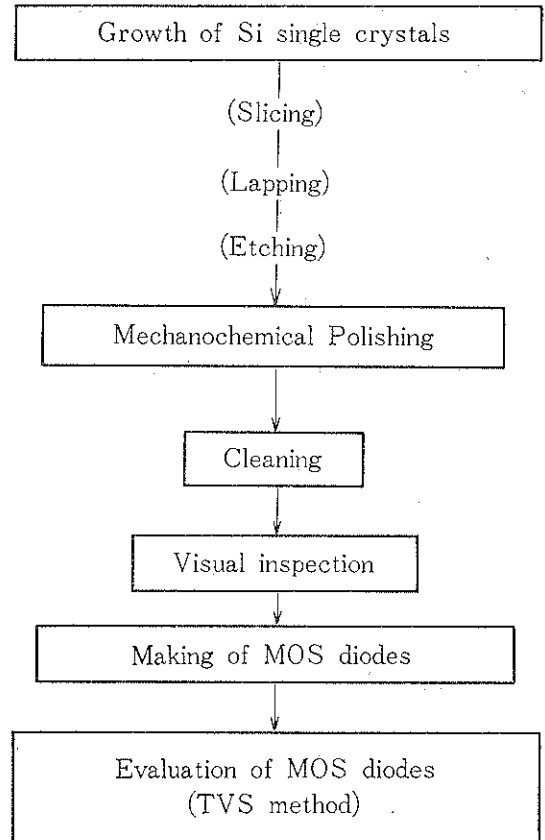


Fig. 2 Procedure for experiments

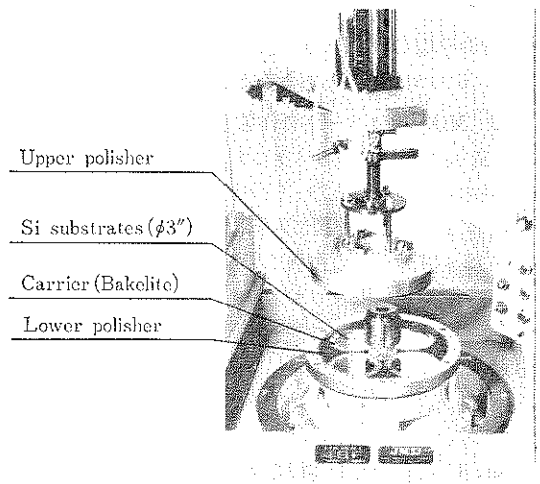


Fig. 3 Simultaneous double sides polishing machine used for production of samples.

板上に MOS ダイオードを作製して、それを可動電荷量で評価した。

Table 1 Polishing condition for Si substrates

Workpiece	(100) surface Si ($\phi 3"$)
Machine	Simultaneous double side polishing machine. (See Fig. 2)
Polisher	Artificial leather (Politex Supreme)
Polishing slurry	Colloidal silica (100~200Å SiO ₂ 30 wt%, pH 10~11)
Polishing pressure	100 g/cm ²
Relative speed	30 m/min

3.1 Si 基板のメカノケミカルポリシング

基板のメカノケミカルポリシングメカノケミカルポリシングでは、加工後の洗浄工程を単純化するため、ワックスを用いずに基板の両面を同時に仕上げる加工法を適用した。Fig. 3 に、用いた両面同時加工機の外観写真を示す。この加工機は、4 枚の $\phi 3"$ 基板を同時に加工できる。基板を加工機にセットする前に、試料（エッチングを施した Si 基板）の厚さを測定し、各ロット内の基板厚さのバラツキが $2\mu\text{m}$ 以下になるように選定した。加工条件を Table 1 に示す。ポリシ剤には、粒径 100~200Å の SiO₂ 微粒子を pH 10~11 のアルカリ性溶液に懸濁させたコロイダルシリカを用いた。ポリシは高品質化のため軟質の人工皮革である。加工量は片面当り約 $20\mu\text{m}$ とした。

メカノケミカルポリシした基板を洗浄（俗称 RCA 洗浄）⁹⁾ した後、基板の全数を目視検査し、各ロットから任意に 1 枚の基板を抜取って OS (Oxidation Sirtl etching) テスト*を行った。各ロットごとの OS テストの結果、各基板内の平均 OSF (Oxidation-induced stacking Fault) 密度は $50/\text{cm}^2$ 以下であることを確認している⁹⁾。

3.2 MOS ダイオードの作製

Si 基板の両面をメカノケミカルポリシした後、直ちに、純水による流水洗浄・化学液による洗浄を行い、MOS ダイオードの作製に入った。Table 2 に、適用した MOS ダイオードの作製工程の概略を示す。この作製工程は、最も単純なプロセスであるが、このプロセス自身をチェックするために加工基板のほかにレファレンス基板も含めて同時に流した。レファレンス基板は、電気的特性が保証された加工・洗浄済みの市販品の Si ウェハである。

Fig. 4 に作製した MOS ダイオードの概観と断面構造を示す。

* OS テストは、Si 結晶の微小な加工欠陥・加工変質層を評価する方法の一つで、極めて感度が高い。1100°C で 2hrs 熱処理した後、Sirtl 液（又は Wright 液）でエッチングをし、OSF（熱酸化誘起積層欠陥）の有無を顕微鏡観察した。

Table 2 Production process for MOS diodes

Cleaning	RCA-Cleaning ⁹⁾
Oxidation	1000°C, dry O ₂ (3l/min) 60 min (SiO ₂ 500Å thickness)
Evaporation of Al	~6000Å thickness
Spincoating of resist	Prebaking 93°C, 30 min
Exposure	
Development	60 sec
Post-baking	153°C, 20 min
Etching of Al	H ₃ PO ₄ -CH ₃ COOH-HNO ₃ -H ₂ O (R. T, 20 min)
Removal of resist	
Etching of SiO ₂ film	Backside SiO ₂ film
Evaporation of Al	Backside surface ~6000Å thickness
Hydrogen treatment	A part of samples

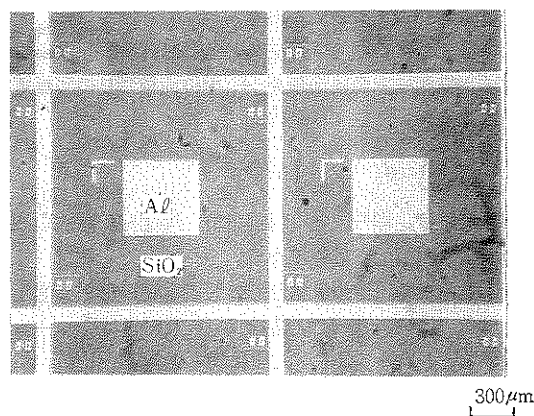
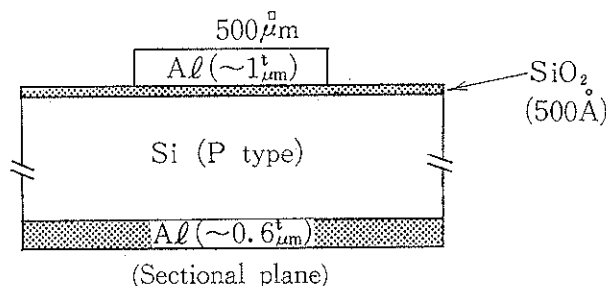


Fig. 4 Structure of a MOS diode produced on a polished substrate.

Table 3 Measuring condition of I-V characteristics by TVS method.

Temperature of substrates	250°C
Sweep speed	5×10^{-2} V/sec
Range of bias voltages	+5 ~ -5 V

3.3 TVS 法による可動電荷量の測定方法

可動電荷量 (Q_0) は, TVS 法によって得る I-V 特性曲線にもとづき, 変位電流のピーク部の三角形面積 S から求めた。測定条件を Table 3 に示す。基板試料を 250°C に加熱したステージに設定 (真空吸引) し, 0.5 mm 角のダイオード上にプローブを押しつけ電圧を印加した後, 系が熱平衡に達してから, 掃引速度 5×10^{-2} V/sec で変位電流の測定を開始した。基板内の Q_0 の分布を求めるために, 中心1点と X, Y 軸方向に各4点の計9点を測定点として選んだ。

4. MOS ダイオード特性の評価

Table 1 の条件でメカノケミカルポリシした Si 基板を用いて, MOS ダイオードを試作し, その特性測定からメカノケミカルポリシ面の良否を評価した。

4.1 可動電荷量の測定結果

Fig. 5 に, 加工基板としてレファレンス基板のそれぞれの I-V 特性の曲線の一例を示す。同図のように変位電流のピーク部の三角形面積 S から, 単位面積当りの可動電荷の量 Q_0/q を算出した結果をまとめたものが Table 4 である。

まず, プロセスの正常性を確認するため, レファレンス基板の Q_0/q をみると, $1 \sim 2 \times 10^{10}/\text{cm}^2$ の値である。この値は, 通常プロセスにおける正常値であって, 安定な MOS 構造であることを示す。因に, 水素処理を行った基板で, 先行酸化したもの (基板 R-1, 2) と後行酸化したもの (R-3) との間には大差がない。

一方, 加工基板については, 基板 K-3, 4, 5 がレファレンス基板と同等の Q_0/q であるにもかかわらず, 基板 K-1, 2 の Q_0/q は局部的にレファレンス基板の値より

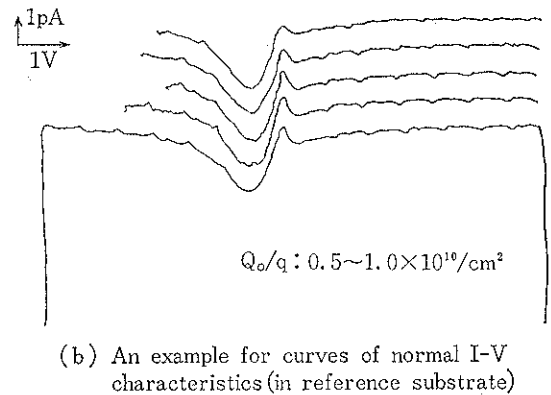
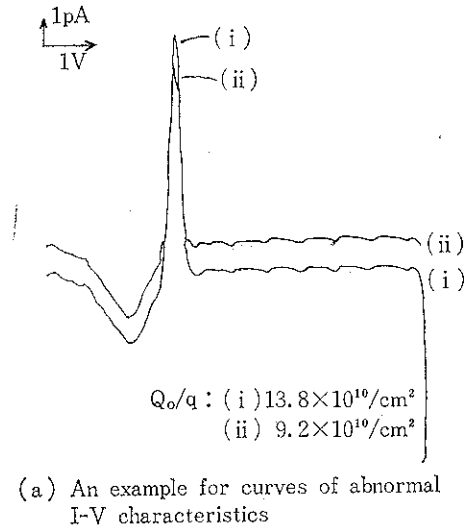


Fig. 5 An example of I-V characteristics for a produced MOS diode.

Table 4 Calculated results for number of mobile ions (Q_0/q)
(Unit: $\times 10^{10}/\text{cm}^2$)

Location of measurement Points Substrate No.	1	2	3	4	5	6	7	8	9	Mean
K-1	2.5	4.5	4.3	2.8	2.0	12.0	6.3	2.0	1.8	4.24
K-2	2.0	2.0	2.3	2.0	1.8	12.5	4.3	1.8	1.3	3.3
K-3	1.3	1.3	1.5	1.5	1.3	1.5	1.3	1.0	1.0	1.3
K-4	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0
K-5	1.0	1.3	1.5	1.3	1.3	1.3	1.8	1.5	1.3	1.37
R-1	1.0	1.5	1.5	1.5	1.0	0.8	1.5	1.8	1.0	1.29
R-2	1.0	1.5	1.5	1.0	1.5	1.3	1.5	1.5	1.3	1.34
R-3	1.5	1.8	2.3	2.0	1.5	2.0	2.3	1.5	1.3	1.8
R-4	1.0	0.8	1.0	0.5	0.5	1.3	1.0	1.0	0.5	0.84

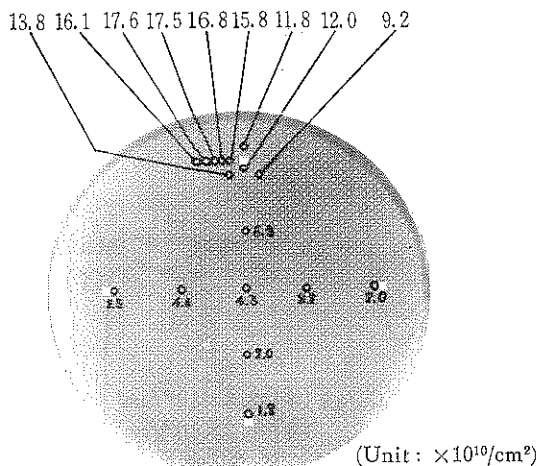


Fig. 6 Distribution of mobile ions measured in a substrate (Sample: K-1).

も1桁大きい。 Q_0/q の平均値でも、K-1,2は他の基板の3倍程度の値となっている。加工基板 K-1 について、 Q_0/q の値が高い部分の周辺の各ダイオードの Q_0/q を測定した結果を Fig. 6 に示す。

ここで、加工基板 K-1,2 内で局所的に高い可動電荷量が検出された原因を工程別に考察する。問題となる工程は、(i)結晶引上げ工程、(ii)加工工程、(iii)洗浄工程、(iv)ダイオード作成工程、である。前述のレファレンス基板では、先行・後行酸化の間で Q_0/q に差がないこと、加工基板のすべてが同一結晶棒からのものであつて K-3,4,5 では正常の特性であること等から、上記(i)、(iv)は問題ない。

さらに、レファレンス基板は(iii)の洗浄工程から加工基板と共に同一プロセスを同時に通しており、問題なかったことから、(iii)にも問題は無い。従って、加工基板 K-1,2 内の Q_0/q の不均一性の原因は、(ii)の加工工程にあるものと考えられる。

上記(ii)の加工工程において、可動電荷としての Na 等のアルカリ金属イオン、重金属イオン等の混入・残留が考えられる。これは、ポリシヤ剤として NaOH 溶液を用いていること、ポリシヤ接着用定盤などにステンレス鋼を用いていること、などから充分予測されることである。

4.2 可動電荷量の異常値とその原因

従来から、SiO₂ 膜中の Na の放射化分析、あるいはフラットバンド電圧 V_{FB} と BT 処理時間との関係が時間の平方根に比例することから得る SiO₂ 膜中のイオンの拡散係数と活性化エネルギーによって間接的に Na イオンであるとしている。ここでは、SIMS により、試作

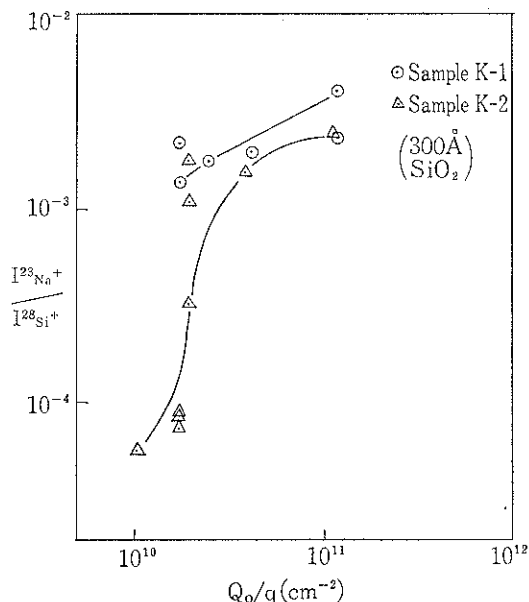


Fig. 7 Relationship between I_{23Na^+}/I_{28Si^+} and Q_0/q on SiO₂ film (300Å depth) in MOS diodes.

したダイオードの SiO₂ 膜、SiO₂ と Si 界面の不純物分析を行い、 Q_0/q と不純物との対応関係を調べ可動電荷を追求した。

測定部分は、ダイオードの Al 電極部近傍の SiO₂ 膜中および結晶を Ar⁺ スパッタエッチしながら深さ方向に測定した。

Fig. 7 に、基板 K-2,3 の各ダイオードの SiO₂ 膜中 300Å 深さの Na イオン強度を Si イオン強度で割った相対値 I_{23Na^+}/I_{28Si^+} と Q_0/q との対応関係を示す。 Q_0/q の高い試料の SiO₂ 膜中には、より多くの Na が残存しており、Na 量は Q_0/q と対応関係にあるといえる。

他方、Na 以外の残存不純物については、K⁺, Ca⁺, Fe⁺, Ni⁺, Co⁺, C⁺ 等の不純物は SIMS の検出感度領域内で検出されなかった。

これより、基板 K-1,2 内で部分的に異常に高い Q_0/q 値を示すダイオードの SiO₂ 膜には、Na が多く残存すること、また Na 以外の不純物は残存していないことが明らかである。従来から、 Q_0/q の増加の原因は、Na 等のアルカリ金属であるといわれているが、これを直接的に実証し得た。

ところで、Si 結晶に結晶欠陥が多く存在する場合、不純物イオン (Na イオン) は欠陥部に集中しやすいことも考えられる。そこで、SIMS 分析後、各チップの Al 電極、SiO₂ 膜を剝離して Si 基板の結晶性を Wright

Table 5 Etch pits density in each chips (/cm²)

Etching depth (μm)	0.5	1.5	3.0	Q_0/q (/cm ²)
Chip No.				
2	2	2	10	16.1×10^{10} 17.6×10^{10} 11.8×10^{10}
3	0	0	0	16.8×10^{10} 12.0×10^{10} 13.8×10^{10}
10	0	0	0	6.3×10^{10} 2.0×10^{10} 1.8×10^{10}
28	0	0	0	
42	0	0	0	
73	0	0	0	

エッチングで評価し、 Q_0/q と欠陥数の相関を調べた。

Table 5 に、各チップのエッチングで検出されたエッチピット* の数を示す。チップ No. 2 にはエッチピットが検出されている。しかし先に求めた Q_0/q を同表に併記したように、エッチピット密度と Q_0/q には相関関係がみられない。すなわち、この場合の結晶欠陥は、一義的に可動電荷の増大原因となっていない。

以上から、加工基板の一部の基板 K-1, 2 における MOS ダイオードの動作特性の不安定の原因として、前述の (ii) の加工工程で加工表面に付着したポリシ剤中の Na イオンの残存が指摘される。

5. メカノケミカルポリシング条件の改善による効果

前章の結果から、加工した表面にたとえポリシ剤が残留したにしても、洗浄工程で容易に除去できるような加工条件を設定する必要がある。メカノケミカルポリシングで用いるポリシ剤は、高品位化に有利なコロイダルシリカであるが、ゲル化しやすい、Fig. 8 のようにキセロゲル化したものは通常の洗浄工程を流しても容易に除去できない⁹⁾。

そこで、ポリシ剤等の残留の防止を図るために、

- 1) ポリシ剤の残渣が加工表面に付着しにくいように、ポリシ剤の低粒濃度、アルカリ濃度を出来る限り下げること、
- 2) 加工表面にポリシ剤の残渣が付着しても、容易に除去もしくは溶去できるポリシ剤とすること、を基本とし、メカノケミカルポリシング条件の改善をねらった。具体的には、

① ポリシ剤の濃度を、SiO₂ 5wt%, pH 10 以下に

* 検出されたエッチピットの形状は、辺の部分が丸味をおびた角形ピット (辺の長さ 5~30 μm) である。

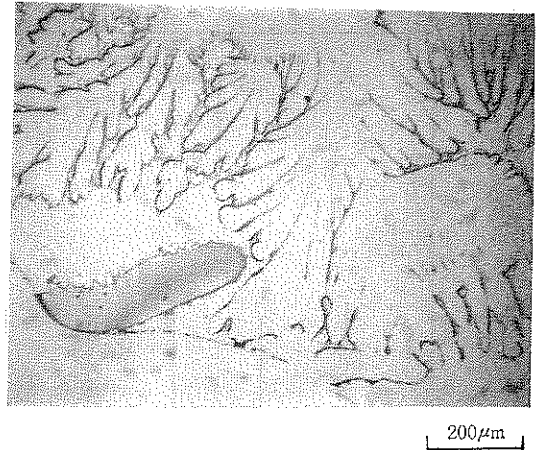


Fig. 8 Colloidal silica gelled on a Si substrate

なるように希釈した、

- ② 加工終了後、加工表面のポリシ剤の残渣が完全に乾燥・ゲル化して除去が困難となるのを防止するため、ポリシ剤に過酸化水素 (H₂O₂) を 0.01~0.1 vol% 添加して、加工表面を常時 SiO₂ 膜で包み込んで親水性とした*

などの対策をとった。以下、これらの対策に従って $\phi 3"$ Si 基板のメカノケミカルポリシングを試み、加工表面を評価した結果について述べる。

適用した加工条件は、上述の改善したポリシ剤以外は全て表と同じである**。加工後の洗浄工程も第3章で述べた同一の RCA 洗浄⁹⁾ である。

上記の加工条件でメカノケミカルポリシして洗浄した基板について、OS テストを行った結果、OSF 密度は 3 コ/cm² 以下と非常に低く加工表面の結晶性に関して良質 (無じょう乱) であることを確認した。また、同一ロット内の他の加工基板の残存 Na を SIMS によって評価したところ、表面の Na 濃度は 80 ppba 以下と一般にデバイスプロセス中を流している Si 基板以下の残存 Na 濃度であった。

これらのことを確認した後、第4章と同様に MOS ダイオードを作成し可動電荷量を TVS 法によって評価した。Fig. 9 に可動電荷量 Q_0/q の測定結果を示す。図から明らかなように、基板試料間の差は認められず、測定における値も 8×10^{-9} コ/cm² 以下である。可動電荷量が 1×10^{10} コ/cm² のとき、ゲート酸化膜厚 500Å の MOS トランジスタの閾値電圧の変動量に換算すると約

* 特許第 1116458 号

** 加工室のクリーン度については、OSF 発生防止のため¹⁰⁾ クラス 1,000 の簡易型クリーンルーム内で行った。

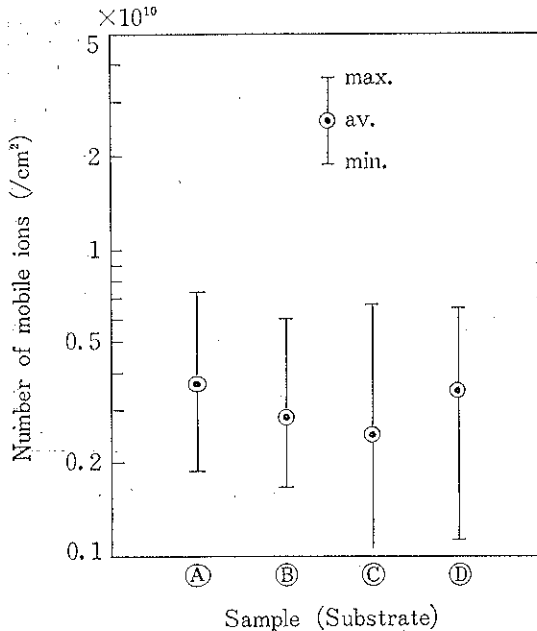


Fig. 9 Mobile ions of substrates polished by using improved conditions.

30 mV となる。即ち、 Q_0/q が 10^9 コ/cm² オーダの値は実用上全く問題とならず、第4章における値と比べても非常に小さい値である。

以上のことから、前章で検討した結果にもとづき改良したポリシ剤を用いてメカノケミカルポリシし洗浄した基板試料は、汚染されておらず高品質であると結論される。

6. むすび

メカノケミカルポリシングを施した Si 単結晶基板の加工表面の清浄性について、加工表面に微小量残留する不純物に着目し、デバイス特性との相関から不純物除去の重要性を論議するとともに、メカノケミカルポリシングの加工条件の改良指針を与えた。そのため、メカノケミカルポリシした Si 基板を用いて MOS ダイオードを作製して、電気特性に直接的に影響を与える可動電荷量を求めるとともに、その可動電荷がどのような種類の元素であるかを明らかにした。さらに、これをもとに不純物の残留原因を考察して、加工表面の清浄化に有効なメカノケミカルポリシング条件を示した。

以下、主な結果を要約する。

(1) 従来のコロイダルシリカのままでメカノケミカル

ポリシした Si 基板上に作製した MOS ダイオードの I-V 特性から可動電荷量 Q_0/q を求めると、基板内のその分布が不均一で通常の 10 倍以上にも及ぶ部分も生ずることがある。この部分を SIMS によって不純物分析を行うと、 Na^+ (数 1000~数 100 ppba) が検出され、かつ Q_0/q と Na^+ 量とは対応関係にあることから、 Q_0/q の増大原因は Na^+ の残存のためであり、それはポリシ剤の残渣によって導入されたものであることをつきとめた。

(2) メカノケミカルポリシング終了後に Si 加工表面にポリシ剤の残渣がゲル化して除去が困難となるのを防止するため、ポリシ剤の濃度を希釈 (5 wt% SiO_2 , pH 10 以下) するとともに H_2O_2 (0.01~0.1 vol%) を添加して加工表面を常時 SiO_2 膜で包み込んで親水性とするポリシ剤を提案した。

このポリシ剤を用いて、清浄な加工室(クラス 1,000 ~10,000) 内で Si 基板のメカノケミカルポリシングを試みたところ、OSF フリーでかつ Q_0/q の小さい (10^9 コ/cm² オーダ) 良好な MOS ダイオード特性が得られ、提案した加工剤の有効性を確認し得た。

謝 辞

本研究を進めるに当り、試料の作成、化学分析等において御協力にいただきました撰梅 豊、飯山重幸、関浩、尾嶋正治の各氏に感謝します。

文 献

- 1) 原 徹: 超 LSI プロセスデータハンドブック, サイエンスフォーラム (1982) 1.
- 2) T. Karaki and J. Watanabe: Wear of Materials—1983, 227.
- 3) 例えば、庄野: 半導体技術, 東京大学出版会 (1976) 222.
- 4) S. R. Hofstein: IEEE Trans., ED-14, 11 (1967) 749.
- 5) 徳山: MOS デバイス, 工業調査会 (1973) 58.
- 6) M. Yamin: IEEE Trans., ED-13, (1966) 88.
- 7) N. D. Chou: J. Electrochem. Soc., 118, 4 (1971) 601.
- 8) W. Kern and D. A. Puotinen: RCA Rev., 31 (1970) 187.
- 9) 唐木, 飯山, 撰梅, 関: 昭和 54 年度応物学会秋季大会予稿集, 553.
- 10) 唐木: 機械と工具 8 (1984) 38.