

シリコンのラテラル固相エピタキシー

茂庭 昌弘・大倉 理

(株)日立製作所中央研究所 ULSI 研究センタ 185 東京都国分寺市東恋ヶ窪 1-280

(1993 年 11 月 18 日受理)

Lateral Solid Phase Epitaxy of Si

Masahiro MONIWA and Makoto OHKURA

Central Research Laboratory, Hitachi Ltd.,
1-280 Higashi-koigakubo, Kokubunji, Tokyo 185

(Received November 18, 1993)

非晶質 SiO_2 膜上への単結晶 Si 薄膜成長を可能とする Si のラテラル固相エピタキシーについて概観する。まず、ラテラル固相エピタキシーの原理と実験方法を示し、ついで、本エピタキシーの特徴であるフェセット形成と多結晶化現象による横方向成長距離の制限について述べる。さらに、横方向成長距離の拡大のため提案された局所ドーピング法などの手法を報告し、また、得られた結晶の電気的特性を膜内に作製したトランジスタの特性で評価した結果について報告し、Si のラテラル固相エピタキシーが素子応用にたいして高いポテンシャルを有することを示す。

1. ま え が き

今世紀後半に著しい発展をみせた電子情報技術は、今や、われわれの社会的・個人的活動に欠くことのできない基盤技術である。この技術の一翼を担う集積回路技術は、従来、構成素子と配線を微細化することにより、性能指標である集積度を向上させてきた。しかし、近年に至り微細化がついにサブミクロンの極限領域に足を踏み入れたため、今後は、微細化を主軸としながらも、異なるアプローチのブレークスルーも必要と考えられるようになった。このような観点から研究されているのが Si-on-Insulator (SOI) 構造である。SOI 構造とは、絶縁膜上に半導体膜を形成した構造であり、通常、絶縁物として SiO_2 膜、半導体膜として単結晶 Si 膜を考える¹⁾。SOI 構造を集積回路に適用すれば、図 1 に示すように、トランジスタなどの電子素子を形成した半導体層を絶縁膜を介して何層も積層することができ、集積度を倍増することができる。また、図 1 (b) に示すように、今後の微細化で障害となる漏れ電流経路を遮断する効果もあり、微細化の基礎技術としても期待できる。このように SOI 構造の有用性は明確であるが、その形成は難しい。集積回路では単結晶の Si が求められるのに対し、 SiO_2

膜が非晶質であるためその上に形成した結晶の面方位の規定が行えず、多結晶になってしまうからである。この問題を解決するため、ラテラルエピタキシー (Lateral Epitaxy; 横方向エピタキシャル成長法) が提案された²⁾。これは、図 2 に示すように、 SiO_2 膜の一部に開口部 (シード領域と呼ぶ) を形成し、そこに露出した単結晶基板を種結晶としてエピタキシャル成長する手法である。すなわち、いったん、シード領域で縦方向 (基板表面に垂直方向) に単結晶成長させ、これで得られた結晶を種結晶として SiO_2 上を横方向 (基板表面に水平方向) に結晶成長させてゆく手法である。

本稿では、固相成長を用いたラテラルエピタキシーを紹介するが、ほかに、気相成長や液相成長を用いた手法もある¹⁾。固相成長法は、得られる Si 膜厚の制御性が高く、かつ 600°C 程度の低温で行えるという利点をもつ。トランジスタは、不純物分布をコントロールすることにより形成されているので、積層構造を作る際、下層のトランジスタで不純物拡散が起きない程度の温度域 (800°C 以下) で結晶形成できることは重要である。

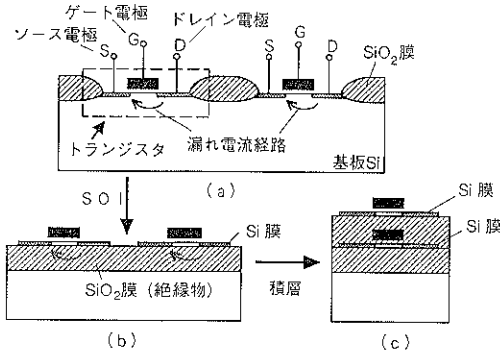


図 1 集積回路における SOI 構造の適用
(a) 通常の Si 基板上に形成した集積回路
(b) SOI 構造を 1 層適用した集積回路
(c) 2 層 SOI 構造による集積回路の積層化

2. ラテラル固相エピタキシーの原理と実験方法

固相エピタキシャル成長は、単結晶基板上に堆積された非晶質膜がアニールにより基板との界面から徐々に単結晶化してゆく現象である。

ラテラル固相エピタキシーの手順を、図 2 により、説明する。単結晶 Si 基板上に厚さ 60 nm の SiO_2 膜を形成し、 SiO_2 膜の一部をエッチングにより除去した。この試料を真空槽に導入し、背圧 10^{-9} Pa の超高真空中で、電子ビーム加熱蒸着により非晶質 Si 膜を厚さ $0.5 \mu\text{m}$ 堆積した。ここで、基板温度は 100°C とした。引続き超高真空中で 450°C 1 時間の低温のアニールを行った後、試料を電気炉に移し、窒素雰囲気中、 600°C で 2 時間のアニールを行った。この 600°C のアニールにより、まずシード領域において縦方向の固相成長が生じ、ついで SiO_2 膜上への横方向成長が進行した。

なお、上記のプロセスにおいて、 450°C 1 時間の低温のアニールを省略すれば、固相成長を得ることは困難となる。堆積したままの膜は、低密度のいわば多孔質になっており、そのまま真空槽から取り出すと大気中の酸素が非晶質/基板界面にまで侵入し、結晶成長が阻害されるからである³⁾。低温アニールを行えば、非晶質 Si の原子間結合のネットワークに構造緩和が生じ⁴⁾、膜が緻密化し、上記の問題は回避できる。

非晶質 Si の成膜法としては、ここで述べた超高真空中蒸着法 (Ultra-High-Vacuum Evaporation: UHV 蒸着法)^{5,6)} のほかに、化学的気相堆積法 (Chemical Vapor Deposition: CVD 法)^{7,8)} もある。CVD 法では、成膜温度が $500\sim 580^\circ\text{C}$ と高めのため、緻密化のための低温アニールは不要である。いずれの堆積法でも定性的

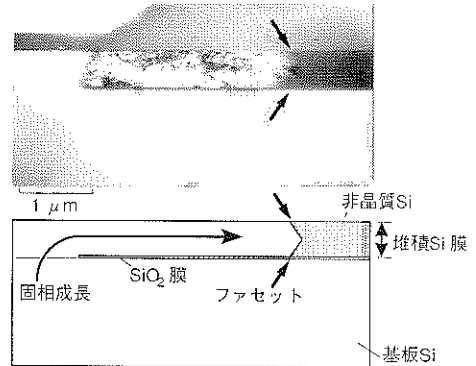


図 2 試料の断面構造と透過型電子顕微鏡によるファセットの観察 (シード端方位 $\langle 100 \rangle$, 観察方向 $\langle 110 \rangle$, アニール: 600°C , 2 時間)

には同様の固相成長が観察される。

膜の堆積に際しては、種結晶表面の原子配列を堆積膜に直接伝えるために、堆積膜/基板界面における O, C などの不純物の介在を回避することが必須で、基板表面クリーニングの完全性に対する要請は厳しい。特に、Si 表面はわずかの O に触れるだけで酸化されてしまうので、 H_2/HCl ⁹⁾ あるいは Si_2H_6 ¹⁰⁾ を用いたガス・エッチング、超高真空中でのスパッタ・エッチング¹¹⁾ やアニール¹²⁾ などさまざまな工夫が試みられている。

3. 横方向成長の特徴

3.1 ファセットの形成

横方向成長では、図 2 の透過型電子顕微鏡による断面観察写真に見られるように、成長端に成長方向とは異なる方位の結晶面 (ファセット) が形成される。横方向成長速度や得られる結晶性は、ファセットの結晶面方位により変わるので、この現象を把握することは重要である。

横方向成長におけるファセットの形成は、Drosd と Washburn のモデル (D-W model)¹³⁾ を使って説明できる^{14,15)}。D-W model では、非晶質側の Si 原子が結晶格子位置に落ち着くためには、結晶側の原子と歪みのない 2 本の原子間結合を結ぶことが必須であると考えられる。ファセットの面方位は、基板面方位と SiO_2 膜端の形成方向の組合せにより決まる。Si のラテラル固相エピタキシーにおける最も典型的な組合せは、基板面方位 $[010]$ 、 SiO_2 膜端の形成方向 $[001]$ 、である。この構成におけるファセット形成の様子を図 3 に示す。固相成長で第 1 層目の原子層が成長する様子を図 3 (a) に示す。基板に接する大多数の非晶質側の原子は、それぞれ基板の Si 原子と 2 本の原子間結合を形成することができる。しかし、 SiO_2 膜に接する A と示した原子だけは、

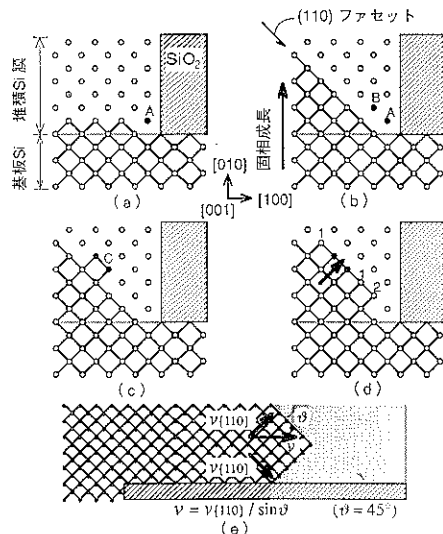


図3 {110} ファセット形成のメカニズム
(a) 原子1層目の固相成長とシード領域端における原子Aの残留 (b) {110} ファセットの形成 (c) {110} ファセットにおける2原子対の生成 (d) {110} ファセットにおける{110}原子層の形成 (e) 横方向成長時に観察される二つの{110} ファセットと横方向成長速度

基板側につきだした2本の結合手のうちの1本が SiO₂ と結合しているため、基板単結晶側と2本の歪みのない結合を組むことができない。これにより、格子位置に入れずに取り残される。図3(b)に示すように、第2層目の成長では、原子Aと結合を組むべき原子Bが格子位置に入れずに取り残される。原子Aが格子位置にないので、これとの結合が歪むためである。成長が進行するとともに、1原子層ごとに同じことが繰返され、{110} 面にのった非晶質/単結晶界面が現れる。このときにどの面方位になるかは、Siの結晶構造を SiO₂ 膜の端部がどういう方向で横切るかにより決まる。

ファセットができた後は、図3(c)、(d)に示すように、この{110} ファセットを出発点にした固相成長が進行する。{110} 面上では、まず、原子が2個(図3(c)中、Cで示す)、対になることで単結晶側と2本の正規の結合を組むことができる。そうするとつぎは、図3(d)に1, 2と示すように、この2原子対の側面と{110} 面とでできる凹部に原子が1個ずつ2本の結合を組んで入ってゆき、新しい{110} 面が形成される。矢印で示すように、[110] 方位の固相成長が進行してゆくわけである。

成長が SiO₂ 膜上を横方向に進み始めると、図3(a)、(b)に示す現象が SiO₂ 膜表面と固相成長の間で起き、図3(e)に示すように ($\bar{1}\bar{1}0$) ファセットができ、成長端

はくさび型になる。ファセット方位が $\langle 110 \rangle$ であるから、この図に示すように、真横 ([001] 方向) から試料を観察すれば、ファセットが膜表面となす角 θ は 45 度になる。

同様にして、面方位 (010) の基板上で、 $[\bar{1}01]$ 方向に SiO₂ 端を形成すれば、{111} ファセットができ、{111} 方位成長として固相成長が進行してゆく。この場合、側面の $[\bar{1}01]$ 方向から観察すれば、 $\theta = 55^\circ$ である。

なお、新しい原子層の形成に際し、{110} 面では2原子対の生成により出発できるのに対し、{111} 面では3原子対が必要になる。2原子が同時に格子位置に入る確率よりも、3原子が同時に格子位置に入る確率のほうが低い。このため、{111} ファセット成長のほうが、{110} ファセット成長より、成長速度は遅くなる^{13,14)}。

SiO₂ 端におけるファセットの形成はこのように明解に説明され、実験結果とも一致するが、ファセットに関する議論はこれだけでは閉じない。SiO₂ 端を [001] 方向に形成した試料では、図4に示すように、横方向成長の途中でもう一度、成長様式の変化が生じる。図4(b)に示すように、何らかの理由により成長端に {111} ファセットが生じ、それが大きくなって成長端をおおい、横方向成長を {111} ファセットでの成長に換えてしまう(図4(c))。{111} ファセット発生の原因として、不純物や結晶欠陥¹⁶⁾、次節で述べる非晶質中に発生した結晶核¹⁷⁾などが考えられている。いずれにしても、局所的に成長を阻害するものがあれば {111} ファセットが形成さ

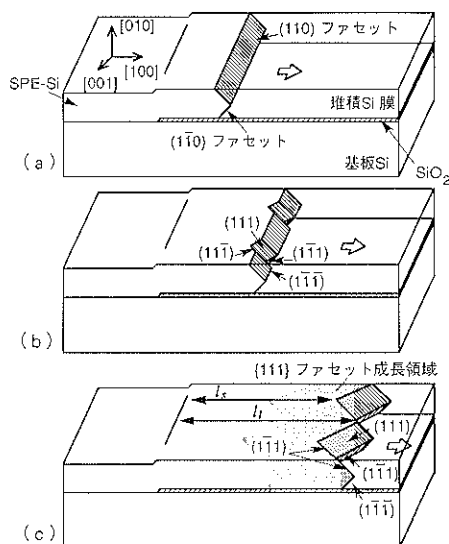


図4 横方向固相成長における成長モードの変化
(a) {110} ファセットによる横方向成長
(b) {111} ファセットの出現
(c) {111} ファセットによる横方向成長

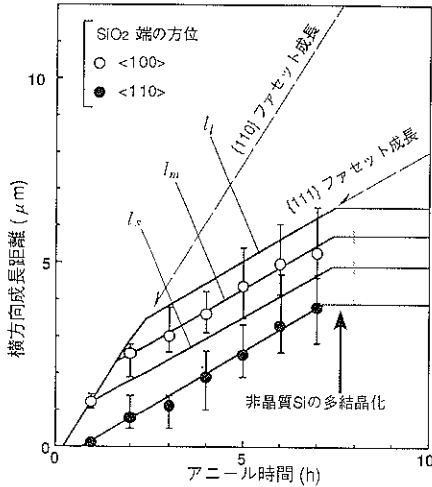


図 5 横方向成長距離のアニール時間依存性 (図 4 参照 l_i : 成長端凸部における横方向成長距離, l_e : 成長端凹部における横方向成長距離, l_m : 平均的な横方向成長距離)

れることは、D-W model により間違いない。

以上のようにファセットが形成され、また変化するので、{010} 基板においてシード端を $\langle 100 \rangle$, $\langle 110 \rangle$ 方向に形成すれば、横方向成長距離はアニール時間の増加に伴って、図 5 のように増加する。図中、 l_m は、試料内における平均的な横方向成長距離である。非晶質 Si の多結晶化により成長は数 μm で止まっているが、これについては次節で述べる。

3.2 多結晶化による成長の阻害

非晶質 Si 膜をアニールすれば、あるアニール時間の後に膜中に多数の結晶核が発生し、多結晶となる。多結晶 Si 膜は 600°C 程度の低温アニールでは単結晶化できない⁶⁾。それゆえ、固相エピタキシャル成長は、多結晶化時間までの限られた時間でのみ観察できる現象といえる。図 6 に、体積比率で膜の $1-1/e$ (0.632) が多結晶化する時間の逆数で多結晶化速度を定義し、比較のため固相エピタキシャル成長速度もあわせて、アレニウス・プロットした結果を示す¹⁸⁾。多結晶化現象の活性化エネルギーのほうが固相エピタキシャル成長のそれよりも大きい。エピタキシャル成長は「成長」のみからなるが、多結晶化現象は「核発生」とそれら発生した結晶核の「成長」からなる。したがって、この図は、核発生には、成長に比べ、より大きなエネルギーが要ることを示している。このことは、低温において、固相エピタキシャル成長が多結晶化に比べて有利なことを意味している。長い横方向成長を得るためにはアニール温度を低くすべきであることがわかる。ただし、低温になるほど結晶成長

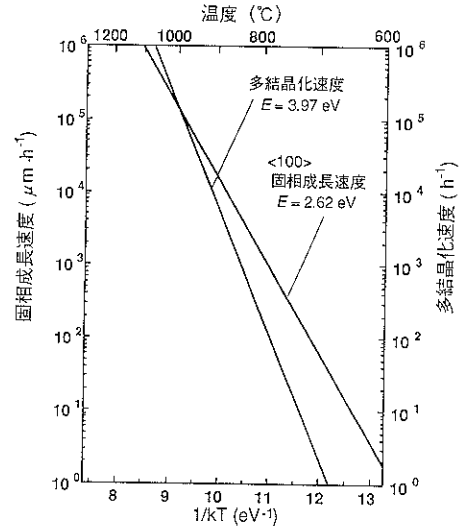


図 6 固相成長速度と多結晶化速度のアニール温度依存性 (E : 活性化エネルギー)

に時間がかかる⁶⁾。したがって、話は前後するが、この観点から現実的な選択として 600°C 前後のアニール温度が選択されている。

実際の応用を考えると、横方向成長距離は 10 μm 程度は確保したいところである。そこで、現実的な時間内で横方向成長距離を拡張するためのいくつかの試みがなされてきた¹⁹⁻²³⁾。次章ではそれらを紹介する。

4. 横方向成長距離の拡大

横方向エピタキシャル成長速度を v 、多結晶化現象の発生に要する時間を τ とすると、得られる横方向成長距離 l_{max} は、 $l_{\text{max}} = v \times \tau$ で表わされる。したがって、横方向成長距離を拡大するためには、 v もしくは τ を大きくすることが基本である。

ところで、P, B など、結晶 Si 中で電気的に活性となる不純物を非晶質 Si に添加 (ドーピング: Doping) すれば、固相エピタキシャル成長を増速できることが報告されている²⁹⁾。そこで、 v の増加による l_{max} の増加を期待して、P, B の不純物ドーピングが検討された^{19,20)}。図 7 に P をドーピングした場合の横方向成長特性を示す¹⁹⁾。図には、P をイオン打込み法で $3 \times 10^{20} \text{ cm}^{-3}$, $1 \times 10^{20} \text{ cm}^{-3}$ の濃度でドーピングした場合と、比較のためにドーピングなしの場合の結果もあわせて示す。P をドーピングすることで成長が加速され、長い成長距離が達成されることがわかる。この場合、一つの注目点は多結晶化時間 τ である。成長が加速できても τ が減少したのでは、その効果が相殺される。多結晶化現象が核発生と

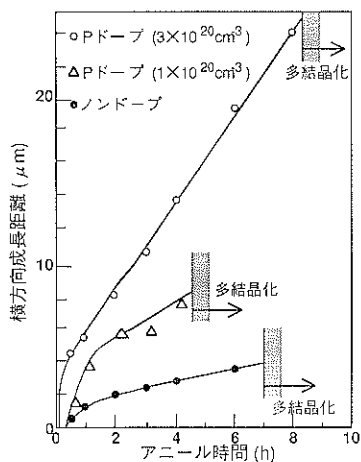


図7 不純物(P)ドーピングによる横方向成長の促進¹⁹⁾

成長の二つのプロセスで構成されていることから、「成長」を加速するとき「発生」を抑制できなければ、 τ は減少してしまう。実験の結果は、Pのドーピングで核発生速度は減少し、成長距離の増加に成功している。特に、 $3 \times 10^{20} \text{ cm}^{-3}$ のドーピングでは、核発生速度は約1/40にまで減少し、 τ はノンドーブの場合と同程度である。このため、横方向成長距離に速度の増加率がそのまま反映され、ノンドーブでの成長の約7倍の24 μm の成長が得られている。同様の実験がBについても行われたが、約8倍の成長速度の加速が得られたものの、多結晶化も促進されたため、距離の増加は2倍程度にとどまっている²⁰⁾。

これで、Pのドーピングが横方向成長距離の拡張に有効であることがわかった。しかし、必要な不純物濃度は $3 \times 10^{20} \text{ cm}^{-3}$ であり、トランジスタを作製するための結晶としては高すぎる。そこで、結晶成長を加速するためのドーピング領域を限定して素子を形成する領域はノンドーブのまま保存しようとする、局所ドーピング法が提案された²¹⁻²³⁾。その実験結果の一例を図8に示す。写真に示した試料は、欠陥・非晶質の選択エッチング³⁰⁾により結晶化領域を顕在化してある。Pドーピング領域で横方向成長が先行し、その両脇に翼を広げたような形で速い成長が観察されている。先行して結晶化したドーピング領域が、原子層形成の起点として振るまい、近傍のノンドーブ領域の固相成長を助けたものと考えられる。

一方、ノンドーブのままに横方向成長距離を拡張できることを示したのが、非晶質Si膜厚の効果に関する実験である²⁴⁾。図9にその結果の一例を示す。同じアニール条件でありながら、膜が厚くなるにつれて長い横方向成長が得られている。また、興味深いことに、図9

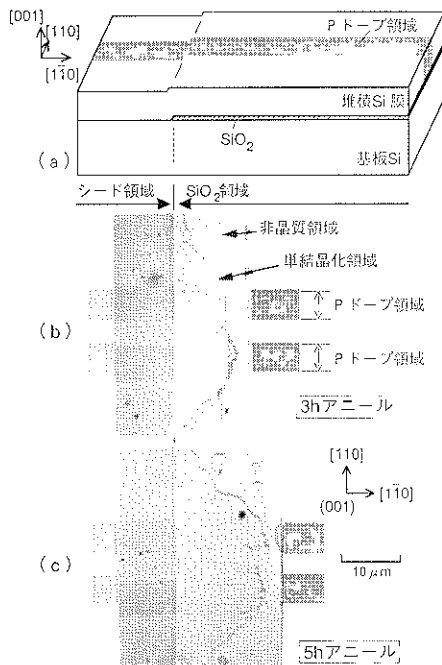


図8 局所ドーピングによる横方向成長の促進
(a) 試料構造 (鳥瞰図) (b) 600°C, 3時間アニール後の結晶成長の様子 (平面観察)
(c) 600°C, 5時間アニール後 (平面観察)

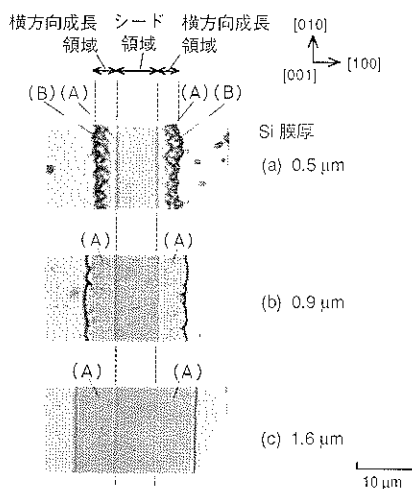


図9 横方向成長におけるSi膜厚の影響
(アニール条件: 600°C, 4時間。図中、(A); {110} フェセット成長領域, (B); {111} フェセット成長領域)
(a) Si膜厚; 0.5 μm (b) Si膜厚; 0.9 μm (c) Si膜厚; 1.6 μm

(a), (b), (c)の成長端の形状は、順に図4の(c), (b), (a)に対応している。膜厚増に伴い、{110} フェ

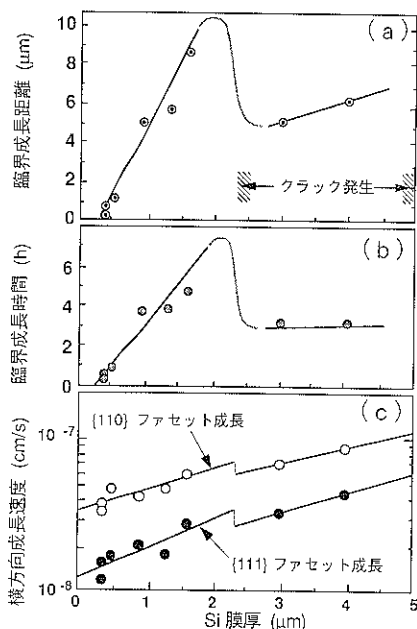


図 10 成長諸特性の Si 膜厚依存性
(a) 臨界成長距離 (図 4 (c) 中の l_c における [110] ファセット成長距離) の Si 膜厚依存性
(b) 臨界成長時間 ([111] ファセット出現に要するアニール時間) の Si 膜厚依存性
(c) 横方向成長速度の Si 膜厚依存性

セット成長の寿命が長くなっている。そこで、[110] ファセット成長距離、[110] ファセット成長時間、横方向成長速度を Si 膜厚の関数としてプロットし、その結果を順に図 10 (a), (b), (c) に示す。いずれも膜厚増に伴い増加の傾向にある。しかし、膜があまり厚くなるとクラックが発生し、以降、増加の効果は縮小する。厚膜でのクラック発生は膜厚増に伴う膜内応力の増加を示唆しており、クラックの発生により膜中応力が緩和されるものと思われる。図 10 よりわかるように、このような膜中応力の増減と成長諸特性の増減は定性的に対応している。このことから、結晶成長に膜中応力が関与していることが考えられる。

この膜厚増による成長の促進は、非晶質 Si 膜をいったん厚く堆積し、緻密化のための低温アニールの後に、エッチングで薄膜化してから固相成長を行っても維持される²⁵⁾。その様子を図 11 に示す。比較のため、薄膜化エッチングをしない固相成長のデータを黒丸で示す。白丸が HF:HNO₃=1:400 のエッチング液で薄膜化した場合の結果で、堆積膜厚 1.3 μm で得られる成長が薄膜化した試料においてもそのまま得られている。このことは、非晶質 Si 膜を厚く成膜することで膜質そのものが変化し、そのことが固相成長の促進につながったことを

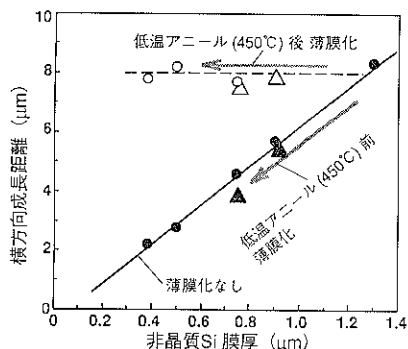


図 11 横方向成長距離における非晶質 Si 薄膜化の影響
(●: 薄膜化処理なし, ○: 低温アニール後にウェット・エッチングで非晶質 Si を薄膜化, △: 低温アニール後にスパッタ・エッチングで非晶質 Si を薄膜化, ▲: 低温アニール前にスパッタ・エッチングで非晶質 Si を薄膜化)

意味している。このときの膜質は緻密化のための低温アニールの際に決定されることが、アニールの前後で薄膜化を行って固相成長を調べた結果よりわかった²⁶⁾。この場合、低温アニール前の非晶質 Si 膜を大気に曝することができないので、超高真空中スパッタ・エッチングで薄膜化した。図 11 に三角形のデータ点で示したように、低温アニールの前に薄膜化すると、薄く堆積したときの成長距離しか得られない。これらの結果から、Si 堆積時に生ずる膜中応力が膜厚増に伴って増加し、これが低温アニールの際の膜質変化 (構造緩和・緻密化) に影響し、ひいては、固相成長の諸特性の向上につながったものと考えられる。

このほかにも、固相成長アニール時の雰囲気圧力を 2 GPa まで高めて圧縮応力下で固相成長を行うことにより、成長距離を数倍拡張できることが報告されている²⁷⁾。

5. 結晶の電気的特性

ラテラル固相エピタキシーで形成した SOI 構造を基板上に MOS 構造の電界効果トランジスタ (MOSFET) を作製し、その動作特性を調べた結果が報告されている^{31,32)}。作製した n 型 MOSFET の構造を図 12 に示

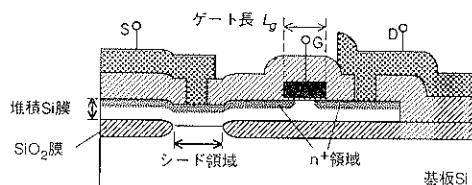


図 12 作製した n 型 MOSFET の断面構造

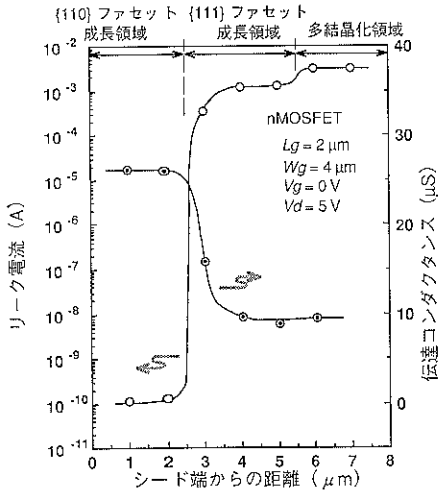


図 13 素子特性のシード端からの距離依存性 (L_g : ゲート長, W_g : ゲート幅, V_g : ゲート電圧, V_d : ドレイン電圧)

す。Si 膜の厚さは $0.5\mu\text{m}$ である。ゲート幅 $4\mu\text{m}$ の MOSFET の特性を、シード領域端からゲート中心までの距離の関数としてまとめ、図 13 に示す。シード端から $2\mu\text{m}$ の距離までは正常な特性が得られている。それから遠い領域では伝達コンダクタンスの値の減少、ソース・ドレイン間のリーク電流の増加など特性の劣化が見られる。図に示したように、この変化は、{110} ファセット成長領域、{111} ファセット領域成長、多結晶化領域に対応している。すなわち、{110} ファセット成長領域において良好な結晶性が得られ、素子適用を考える際、この領域が重要であることがわかる。

6. む す び

Si のラテラル固相エピタキシーについて、その原理および特徴について説明し、また、素子応用の観点から、エピタキシャル成長領域の拡張に関するさまざまな試みと、実際に作製した素子の特性を紹介し、{110} ファセット成長領域で良好な素子特性の得られることを示した。{110} ファセット成長は μm オーダーのサイズで得られているが、現在、これを拡張する研究がさらに進行しつつある^{33,34)}。一方、微細 MOSFET の研究の進展により、SOI でも特に Si 膜が $0.1\mu\text{m}$ 程度もしくはそれ以下の膜厚の構造が信頼性、性能の観点から求められており、これに応える研究開発の加速が急務である。今後、これらの課題が達成され、本技術が、電子情報技術における 21 世紀への架け橋として発展することを期待する。

文 献

- 1) 古川静二郎編著: “SOI 構造形成技術” (産業図書, 1987).
- 2) M. Tamura, H. Tamura and T. Tokuyama: Jpn. J. Appl. Phys. **38**, 389 (1980).
- 3) S. Saitoh, T. Sugii, H. Ishiwara and S. Furukawa: Jpn. J. Appl. Phys. **2**, L130 (1981).
- 4) W. Sinke, T. Warabisako, M. Miyao and T. Tokuyama: J. Non-Cryst. Solid. **99**, 308 (1988).
- 5) H. Ishiwara, H. Yamamoto and F. Furukawa: Appl. Phys. Lett. **43**, 1028 (1983).
- 6) M. Miyao, M. Moniwa, K. Kusukawa and W. Sinke: J. Appl. Phys. **64**, 3018 (1988).
- 7) Y. Ohmura, Y. Matsushita and M. Kashiwagi: Jpn. J. Appl. Phys. **21**, L152 (1982).
- 8) Y. Kunii, M. Tabe and K. Kajiyama: Jpn. J. Appl. Phys. **54**, 2847 (1983).
- 9) Y. Kunii, M. Tabe and K. Kajiyama: Jpn. J. Appl. Phys. **21**, 1431 (1982).
- 10) Y. Kunii, M. Tabe and Y. Sakakibara: Jpn. J. Appl. Phys. **26**, 1008 (1987).
- 11) M. Moniwa, T. Warabisako, M. Miyao, H. Sunami and T. Tokuyama: “16th Symp. Ion Implantation in Semiconductor and Submicron Fabrication” (The Institute of Physical and Chemical Research, Wako-shi Saitama, 351-01, Japan, 1985) p. 161.
- 12) H. Ishiwara, H. Yamamoto and S. Furukawa: Appl. Phys. Lett. **43**, 1028 (1983).
- 13) Drosd and Washburn: J. Appl. Phys. **53**, 397 (1982).
- 14) Y. Kunii, M. Tabe and K. Kajiyama: J. Appl. Phys. **56**, 279 (1984).
- 15) M. Murakami, M. Moniwa, K. Kusukawa and M. Miyao: J. Appl. Phys. **63**, 4975 (1988).
- 16) H. Yamamoto, H. Ishiwara and S. Furukawa: Jpn. J. Appl. Phys. **24**, 411 (1985).
- 17) T. Ueno, K. Kawai, T. Morisawa, T. Hatano, S. Imai, S. Kaneko and I. Ohdomari: Applied Surface Science **56-58**, 27 (1992).
- 18) J. A. Roth, Kokorowski, Hess and G. Olson: “Laser and Electron-Beam-Interactions with Solids” (ed. B. R. Appleton and G. K. Celler, North-Holland, New York, 1982) p. 169.
- 19) H. Yamamoto, H. Ishiwara and S. Furukawa: Appl. Phys. Lett. **46**, 268 (1985).
- 20) M. Tamba, H. Yamamoto, H. Ishiwara and S. Furukawa: “16th Symp. Ion Implantation in Semiconductor and Submicron Fabrication” (The Institute of Physical and Chemical Research, Wako-shi Saitama, 351-01, Japan, 1985) p. 101.
- 21) M. Moniwa, M. Miyao, T. Warabisako, K. Kusukawa and S. Shukuri: “Proceedings of the 1987 Symp. on VLSI Technology, Digest of

- Technical Papers" (IEEE Catalog No. 87 TH 0189-1, 1987) p. 89.
- 22) H. Ishiwara, H. Yamamoto and S. Furukawa: Appl. Phys. Lett. **49**, 1363 (1986).
 - 23) H. Ishiwara, T. Dan and K. Fukao: Jpn. J. Appl. Phys. **31**, 1695 (1992).
 - 24) M. Moniwa, K. Kusakawa, E. Murakami, T. Warabisako and M. Miyao: Appl. Phys. Lett. **52**, 1788 (1988).
 - 25) K. Kusakawa, M. Moniwa, M. Ohkura and E. Takeda: Appl. Phys. Lett. **56**, 560 (1990).
 - 26) M. Moniwa, K. Kusakawa, M. Ohkura and M. Miyao: "Extended Abstracts of the 8th International Workshop on FUTURE ELECTRON DEVICES FED-90, Kochi, 1990" (Research & Development Association for Future Electron Devices, Tokyo, 1990) p. 47.
 - 27) H. Ishiwara, H. Wakabayashi, K. Miyazaki, K. Fukao and A. Sawaoka: Jpn. J. Appl. Phys. **32**, Part 1, No. 1 B, 308 (1993).
 - 28) T. Kanayama, H. Tanoue and M. Komura: Jpn. J. Appl. Phys. **26**, L84 (1987).
 - 29) L. Csepregi, E. F. Kennedy, T. J. Gallagher, J. W. Mayer and T. W. Sigmon: J. Appl. Phys. **48**, 4234 (1977).
 - 30) M. W. Jenkins: J. Electrochem. Soc.: Solid-State Science and Technology **124**, 757 (1977).
 - 31) K. Kusakawa, M. Moniwa, D. Murakami, T. Warabisako and M. Miyao: Appl. Phys. Lett. **52**, 1681 (1988).
 - 32) N. Hirashita, T. Kato and H. Onoda: IEEE Trans. Electron Devices **ED-36**, 548 (1989).
 - 33) 神林 茂, 矢吹 宗, 網島祥隆, 恩賀伸二: "1993年春季第40回応用物理学関係連合講演会講演予稿集第2分冊" (応用物理学学会, 1993) 1aZS 8 p. 794.
 - 34) 小田信彦, 中西史郎, 山路敏文, 尾方秀謙, 森本佳宏, 米田 清: "1993年春季第40回応用物理学関係連合講演会講演予稿集第2分冊" (応用物理学学会, 1993) 1aZS 9 p. 795.