

新しい界面制御技術による化合物半導体の 表面パッシベーションとその量子構造への応用

長谷川英機・児玉 聡・橋詰 保

北海道大学量子界面エレクトロニクス研究センターおよび工学部電子情報工学専攻
〒060 札幌市北区北13条西8丁目

(1996年6月10日受理)

Surface Passivation of Compound Semiconductor by a Novel Interface Control Technology and Its Application to Quantum Structures

Hideki HASEGAWA, Satoshi KODAMA and Tamotsu HASHIZUME

Research Center for Interface Quantum Electronics, and Graduate School of Electronics
and Information Engineering, Hokkaido University
North 13, West 8, Sapporo 060

(Received June 10, 1996)

化合物半導体デバイス技術においては、その優れた電子輸送特性や光学的特性をさらに生かすため、実用デバイスのスケールダウンや、ナノスケールの薄膜多層構造や微細量子構造を用いた、量子力学的デバイスが開発されつつある。このように、微細化、薄膜化を押し進めると、相対的に表面・界面の占める割合が増大し、従来以上に表面・界面の理解とその工学的制御が重要となる。本稿では、化合物半導体表面のパッシベーション技術に関して、その重要性や界面制御の必要性やその新しい試みを述べる。ことに界面制御法の1つとして、筆者らが開発した「シリコン超薄膜界面制御層」を利用する新しいアプローチと、その量子構造への応用例を紹介する。まず、界面準位がデバイスに与える影響や界面準位の発生機構に関するモデルを説明する。次に、界面制御に基づく化合物半導体表面パッシベーションの最近の試みを概観する。最後に、筆者らが開発したシリコン界面制御層を利用した新しい界面制御技術について、その原理や具体的手法、界面の構造と電子物性について述べ、これを、表面近傍のGaAs量子井戸およびInGaAs量子細線に適用した例を議論している。

1. はじめに

半導体表面は、本質的に活性であり、種々の不安定性を生み出す要因となる。なぜなら、表面は半導体結晶のもつ周期性の破れるところであり、一般には、表面特有の表面準位が発生する。禁制帯内の表面準位は、バルク内の深い準位と同様に、それ自身の荷電やキャリアの捕獲、放出、再結合により、半導体内部に影響を及ぼす。さらに表面は、外部の原子、分子、イオンを吸着しやすく、また、その状況を反映して表面の電子状態が鋭敏に変化する。

そこで、絶縁体薄膜で半導体表面を覆い、半導体の表面ボンドを適切に終端して、禁制帯内に表面準位が発生

するのを抑制し、半導体表面の性質が外部雰囲気に対して不活性とする「表面パッシベーション（不活性化）技術」が必要となる。半導体デバイスや集積回路は、半導体の表面近傍を利用して製作されるので、表面パッシベーションはデバイスプロセス上必要不可欠な基本技術の1つである。

表面パッシベーション膜およびその形成技術には一般に、(1) 絶縁体-半導体 (I-S) 界面の界面準位密度が十分に低い、(2) 絶縁膜の電気抵抗および絶縁破壊電界強度が高い、(3) 緻密な構造で、外部不純物原子、イオンの侵入に対してバリア効果が高い、(4) 密着性が良い、(5) 熱的に安定である、(6) 化学的に安定である、(7) 界面に加わる応力が小さい、(8) 他のデバイスプロセス

技術と両立性がある, などの条件が要求される。

熱酸化シリコン膜がシリコンに対し, 上記の条件をすべて満たす非常に優れた不活性化膜となることが, シリコン集積回路を中心とするエレクトロニクスの隆盛を導いた。一方, 化合物半導体に対しても, 優れたパッシベーション膜を得るべく1970年代より多大の努力が払われ, 多くの酸化膜や堆積膜が検討された^{1, 2)}。しかし, 長い研究の歴史にもかかわらず, これまでシリコンに対する熱酸化膜に匹敵するものは見いだされていない。これは, 化合物半導体と絶縁体との界面には, 一般に高密度の界面準位が発生するからである。このため, 現在の化合物半導体実用デバイスでは, シリコン系の SiO_2 膜, Si_3N_4 膜や SiO_2N_x を表面パッシベーション膜として用い, デバイス構造やプロセス上で, できるだけ表面を遠ざけたり, また, 界面準位の効果が少なくなるような経験的工夫がなされている。

しかし, 化合物半導体実用デバイスもスケールダウンの方向にあり, また, それと同時に, 薄膜多層構造やナノスケールの微細量子構造を用いた, 新しい量子力学的動作原理に基づくデバイスが開発されつつある。このように, 薄膜化, 微細化を押し進めると, 当然, バルクに対して相対的に表面・界面の占める割合が増し, 従来以上に表面・界面の影響が大きくなり, 表面パッシベーションの重要性がより増大するものと考えられる。

本稿では, 化合物半導体表面のパッシベーション技術に関して, 界面制御の必要性や最近の新しい試みを述べ, さらに, その1つとして, 筆者らが開発した「シリコン超薄膜界面制御層」を利用する新しいアプローチと, その量子構造への応用例を紹介する。

2. 界面準位がデバイスに与える影響

絶縁体-半導体 (I-S) 界面に高密度の界面準位が存在すると, 半導体の伝導形やドーピング密度, MIS構造の金属の仕事関数, 外部電界などが変化しても, 界面でのフェルミ準位の位置が特定の位置あるいはその近傍に固定される。これは, 「フェルミ準位のピンニング現象」と呼ばれる。この現象は, 界面準位密度が高い状況でフェルミ準位位置が変化すると, 界面の荷電状態が大きく変化することから, フェルミ準位は界面近傍の総電荷が電気的に中性となる位置に固定されるものである。

ピンニングされたI-S界面における表面・界面準位は, デバイスの性能や信頼性に重大な影響を与える。その最も重大な帰結として, GaAsやその関連材料において, シリコンMOSFETのような表面反転を利用したnチャネルエンハンスメントMISFET (Metal-Insulator-Semiconductor Field Effect Transistor) やMISメモリが実現できない

ことがまずあげられる。また, InP系材料では, エンハンスメント形MISFETは実現できるが, 界面準位の充放電現象に基づくドレイン電流の不安定性により, 実用化には至っていない。

現在, 実用化されている化合物半導体デバイスに対する表面・界面準位の悪影響としては, (1) 表面空乏に起因するプレーナー形MESFETの高ソース抵抗³⁾, (2) MESFETの伝達コンダクタンスの周波数分散⁴⁾, (3) MESFET集積回路のサイドゲーティング現象⁵⁾, (4) 表面再結合に起因するHBTの利得減少⁶⁾, (5) 表面再結合に起因する光電子デバイスや太陽電池の量子効率の減少, (6) 表面でのキャリア発生に起因するフォトディテクターの暗電流, (7) 再結合により促進される界面反応に起因するレーザーの端面破壊 (COD), (8) 電子デバイスあるいは光電子デバイスにおける発生-再結合雑音, (9) 電子デバイス, 光電子デバイスの長時間ドリフトなどがあげられる。

しかし, GaAsMESFETのLSI化が⁷⁾, セルフアライン技術により, 表面空乏層の効果を低減することで可能となった⁸⁾ ことから明らかなように, 表面がデバイスに与える影響は極めて大きい。これらの影響は, 今後のスケールダウンでは増々大きくなり, また, 量子デバイスでは, 違う形となってさらに重大な影響を与えるものと考えられる。事実, その1例として, 後に述べるように, 量子構造を表面近傍に形成すると, 量子閉じ込め準位と表面準位に顕著な相互作用が発生することが見出されている。

3. 界面準位の起源

化合物半導体の表面パッシベーションについての長年にわたる研究は, 上述の界面準位に関わる現象を真に工学的に制御するためには, 単なる経験的なアプローチでは難しく, 界面準位の発生機構にさかのぼって考える必要があることを示唆している。

これまでの基礎的研究によれば, フェルミ準位のピンニングは絶縁体-半導体界面特有の現象ではなく, 半導体のつくる種々の表面・界面に共通に起こり得る現象であり, しかも, そのピンニング位置に相互に強い相関が存在することが認識されている。例えば, GaAs表面では, フェルミ準位は, 自由表面, I-S表面, ショットキー表面, 再成長ヘテロ界面などで, いずれもミッドギャップ近傍にピンニングされる。

これに基づき, 界面準位の起源に関し, いくつかのモデルが提案されている。主要なモデルとして, 統一欠陥モデル (UDM)^{9, 10)}, MIGS (Metal-Induced Gap State) モデル^{9, 10)}, 統一DIGS (Disorder-Induced Gap State) モデル^{11, 12)},

表1 フェルミ準位ピンニングに関するモデル

モデル	ピンニングの 起源	界面準位密度 分布とピンニ ング位置	適用される 界面	ピンニング の性質	文献
統一 欠陥 モデル (UDM)	ストイキオメ トリに関連し た深い準位、 ことにAsGa		V-S, S-S, I-S, M-S	・ 外因性	7, 8)
MIGS モデル	金属の波動関 数の半導体中 へのしみこみ		M-S	本質的	9, 10)
DIGS モデル	界面でのボン ドの乱れに起 因した2次元 周期性の喪失		V-S, S-S, I-S, M-S	外因性	11, 12)
実効仕事 関数 (EWF) モデル	界面における As ₂ Pのクラス ターの析出	金属クラス ターのE _F の位置	V-S, S-S, I-S, M-S LT-GaAs バルク	外因性	13)
ダイマー 消失構造 のキンク 欠陥 モデル	(2x4)ダイマ ー列のキンクに 起因するアク セプター		n-GaAs V-S	外因性 (Siドーブ)	17, 18)

V-S: 真空-半導体界面
S-S: 半導体-半導体界面
I-S: 絶縁体-半導体界面
M-S: 金属-半導体界面

実効仕事関数 (EWF) モデル¹³⁾ があげられる。EWF モデルは、低温成長MBEGaAs層の半絶縁化の機構の説明にも用いられている¹⁴⁾。表1にこれらのモデルの概要をまとめて示した。なお、これらのモデルの詳細や相互比較については、文献15, 16) に述べられているので参照されたい。

現時点では、これらのうちの特定のモデルが最も妥当であると一般的に受け入れられるには至っていない。この原因として、モデルはいずれも現象論的で、きちんとした理論計算でその妥当性が確認されていないこと、および、実験的立場からは、各モデルでピンニングの原因とされるミクロ構造の界面における存在やそれと界面準位との関連が十分に立証できていないことがあげられる。この背景には、最近の走査トンネル顕微鏡 (STM) やそれを用いたスペクトロスコピー (STS) の進歩は著しく、表面構造の理解が格段に進歩したものの、「埋もれた界面」にはこれらが適用できないという事情がある。

これに関連して、最近STM観察に基づき、GaAsのミッドギャップピンニングの機構を具体的にミクロ構造か

ら説明するモデルが提案されている^{17, 18)}。これは、MBE GaAs表面の(2×4)ダイマー消失構造では、Siドーピングによりキンクが発生し、深いアクセプターとして働く結果、ピンニングが起こるとするものである。このモデルの概要も表1の最下段に示されている。これは、ピンニングのメカニズムをミクロ構造から直接説明するものとして、大変説得力がある。しかし、これが、本当にそのようなのか、また、GaAs以外の材料表面や他のI-S界面、ショットキー界面、ヘテロ界面に適用できるのかは、現時点では、あまり明らかなではない。図1に筆者らのグループが観察したSiドーブ ($1 \times 10^{19} \text{ cm}^{-3}$) n-GaAsとn-InP MBE表面の超高真空STM像の例を示した。n-GaAsでは、図1(a)のように、Siドーブによりキンクが発生し、しかもドーブ量とキンク密度に強い相関が確認されたが、n-InPでは、表面のフェルミ準位はピンニングされているにもかかわらず、キンク密度とドーブ量の相関はまったく認められなかった¹⁹⁾。この例は、キンクモデルが一般的にピンニングを説明できるモデルではないことを示唆している。

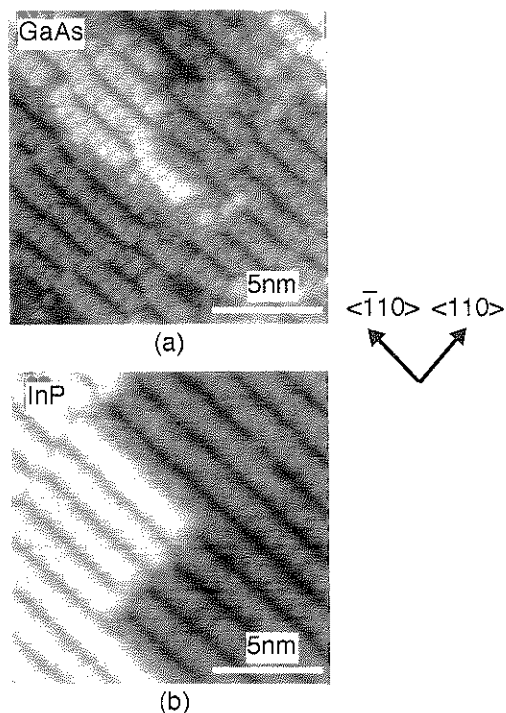


図1 Siを高濃度にドーピングしたn-GaAsとn-InPのMBE表面の超高真空STM像

4. 化合物半導体表面パッシベーションの最近の新しい試み

過去の膨大な研究は、化合物半導体上に、酸化ないし種々の堆積法により絶縁膜を直接形成する「伝統的な」表面パッシベーションのアプローチでは、形成方法や条件を広範囲に変化させ工夫しても、フェルミ準位のピンニングを除去あるいは十分に緩和することは困難であることを示している。そこで、最近では、前節で述べた界面準位の起源に関するモデルを指導原理として、表面・界面の構造・組成を工学的に制御して、パッシベーションを達成する、新しい立場からの化合物半導体表面に対する種々の界面制御が試みられてきている。その代表的なものについて、以下に簡単に述べる。

i) 光化学処理²⁰⁾ : EWFモデルの立場から、界面のAs析出物を除こうとするもので、具体的には、流水(脱イオン水)中でレーザー照射を行い、GaAs表面を光化学酸化する。するとGaAs表面に残存するAsあるいはAs酸化物が溶解され、ほぼGa₂O₃からなる膜が形成される。フェルミ準位ピンニングの緩和が報告されているが、これには疑問を示すデータもあり²¹⁾、また、不活性化表面の安定性は短時間で失われる。

ii) 硫化、セレン化処理^{22~26)} : 硫黄(S)やセレン(Se)によって、GaAsなどの表面ボンドを直接終端しようとするもので、具体的には、ウェットプロセスあるいはドライプロセスによって、表面に薄い硫化膜あるいはセレン化膜を形成する。この処理により、例えばGaAsでは表面酸化物が効率よく除去され、真空中で熱処理すると再構成構造が得られ、STMでそのマイクロ構造も観察されている。また、表面フォトルミネセンス強度が増し、かつフェルミ準位ピンニングの緩和が報告されている。ただし、そのままでは大気中で不安定であり、その後どのように安定なパッシベーションとするかが課題である。この方法については、本号の他の解説に詳しい²⁷⁾。

iii) Si超薄膜界面制御層の形成²⁸⁾ : DIGSモデルに基づき、化合物半導体表面のボンドをSi超薄膜で終端したうえで、その上に、Si系絶縁膜を形成することにより、界面のボンドの乱れを除去しようとする筆者らのアプローチ。同年に他の著者らも同様な手法を提案している^{29, 30)}。良好な界面特性が得られており、次節以降で、より詳しく述べる。

iv) フッ化物絶縁薄膜の形成^{31, 32)} : 真空蒸着法あるいは分子線エビタキシー(MBE)法によって、CaF₂、Ca₂Sr_{1-x}F₂等のフッ化物絶縁膜をエビタキシャル成長する。フェルミレベルピンニングの緩和にともなうMIS C-V特性の改善が報告されているが、膜中のイオンによるドリフト不安定性が存在する。

v) InP, GaP超薄膜の形成^{33, 34)} : UDMモデルに基づき、界面のAsを除くアプローチで、具体的には、MOVPE法により、GaAs表面に1原子層程度のInPあるいはGaPをエビタキシャル成長する。フォトルミネセンス発光強度の増大が観測されている。今後は、この上に、界面準位を発生させることなく実用的厚さのパッシベーション膜をいかに形成するかが課題と考えられる。現状では、MIS構造におけるC-V特性の改善が報告されているが、大きなC-Vヒステリシスが残存している。

vi) 水素イオン処理³⁵⁾ : UDMモデルに基づきAlGaAs/GaAs量子井戸表面と自然酸化膜界面のストイキオメトリを、100 eV程度に加速した水素イオンを表面に照射し、制御する。As酸化物の減少と、フェルミレベルピンニングの緩和が報告されている。表面近傍に形成した量子井戸からの、フォトルミネセンス発光の回復に効果があるとされる。この効果を保ちつつ、この上に、界面準位を発生させることなく実用的厚さのパッシベーション膜をいかに形成するかが今後の課題である。

vii) Ga₂O₃膜の堆積^{36, 37)} : UDMモデルに基づき、Asを含まない酸化膜を堆積するため、高純度Gd₂Ga₂O₇単結晶をソースとして、Ga₂O₃をGaAs上に電子ビーム蒸着

する。フォトルミネセンス発光強度の増大やMIS構造におけるC-V特性の改善がごく最近報告されているが、その詳細はあまり明らかではない。

5. シリコン界面制御層を用いた化合物半導体表面のパッシベーション

5.1 基本構造と形成プロセス

図2に界面制御層の基本概念を示した。化合物半導体表面に絶縁体を直接形成すると、ボンドの不整合、選択的化学反应、ストイキオメトリーの変化、プロセス損傷等により、図2(a)に示すように、ボンドの乱れに基づくDIGS準位が形成される。DIGS準位は、空間的にもエネルギー的にも連続的な準位密度分布を示し、特有の電荷中性点をもつ¹²⁾。そこで、図2(b)に示すように、適切な界面制御層 (Interface Control Layer: ICL) を導入することにより、半導体のボンドを終端するとともに、絶縁体のボンドへのボンドの遷移を円滑にし、界面近傍のボンドの乱れを除去するのが、ICLによる界面制御の基本となる概念である。界面制御層に求められる条件は以下のようになる。

- 1) 化合物半導体に疑似格子整合する程度に薄い。
- 2) 絶縁膜堆積時に生成される反応種がこの層を通過し、化合物半導体と直接化学反応するのを防止できる程度に厚い。
- 3) 良好な絶縁体-ICL界面が達成できる。

このような条件をみたすICLとして、筆者らは、前節のiii)で述べたように、シリコン超薄膜を用いることを提案し²⁸⁾、詳細な検討を行ってきている^{38~42)}。シリコン

を用いる主な理由として、上の条件3)が重視された。

このシリコン界面制御層 (Si ICL) によるパッシベーションの基本構造を図3(a)に示す。また、さらにその具体的実現例として、図3(b)に我々が現在最も優れていると考えている構造⁴²⁾を示した。すなわち、当初は、シリコン系絶縁膜として、ArFレーザー励起の光CVD法による SiO_2 単層膜を検討したが^{38, 39)}、この場合、 SiO_2 堆積時に生成される光励起酸素ラジカルが、Si ICLを通り抜け、化合物半導体を直接酸化する反応を防ぐことが困難であることが判明した。これに対して、超薄膜 Si_3N_4 膜を挿入すると、この反応に対するバリアとして有効に働くことが判明したものである。この問題を解決する別なアプローチとして、シリコンを少しずつ堆積し熱酸化するアプローチも検討され、ある程度有望な結果を得たが、プロセスの再現性に乏しいという欠点がある⁴⁰⁾。

図3(b)のパッシベーション構造は、次のようにして形成される。(1) MBE成長した化合物半導体上に、Si

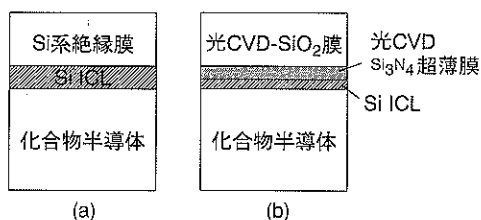


図3 Si ICLを用いたパッシベーションの基本構造

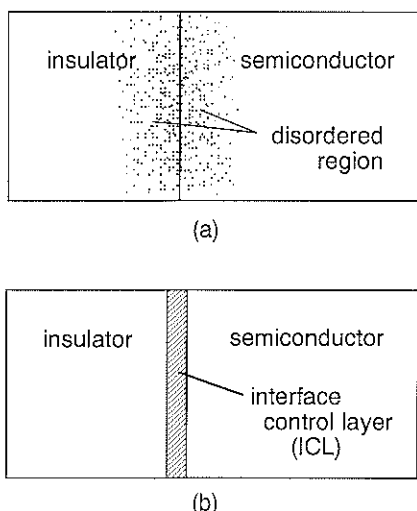


図2 DIGSモデルに基づく界面制御層の概念

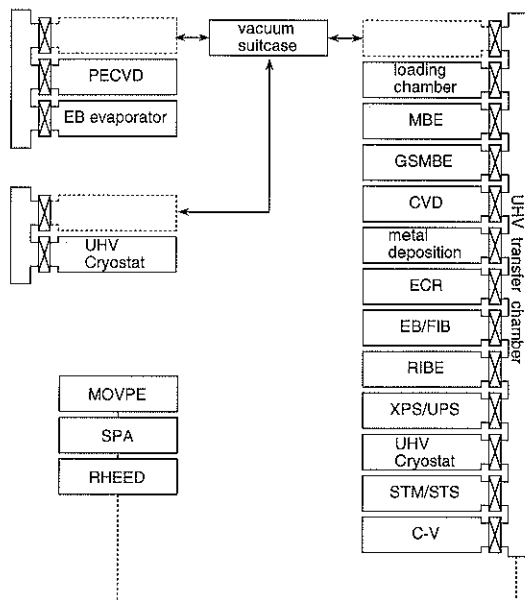


図4 超高真空一貫界面形成加工評価システム

ICLをMBE法を用いて、基板温度250℃で形成する。(2) SiH_4 , NH_3 , Ar, N_2 ガスと平行照射ArFエキシマレーザー(193 nm)を用いて、超薄膜 Si_3N_4 膜を、光CVD法により、基板温度250℃で堆積する。(3) SiH_4 , N_2O , Arガスを用いて、光CVD法により SiO_2 膜を基板温度250℃で堆積する。

具体的には、北海道大学量子界面エレクトロニクス研究センターに設置された、図4に示すような、「超高真空一貫界面形成加工評価システム」を用い、パッシベーション構造の形成と評価を真空を破ることなく一貫して行い、構造およびプロセスの最適化に努めてきている。

5.2 界面の構造と電子物性

化合物半導体上にSi ICLを成長した場合、Si ICLの臨界膜厚までは、RHEEDパターンは明確な表面再構成パターンを示し、結晶性の膜が成長するが、その後、ミスフィット転移の発生に伴い、パターンは急速にハローとなる。例えば、GaAs(100)上の (2×4) 表面に成長した場合では、成長条件により、 (2×1) , (3×1) , (3×3) パターンが認められ、それは、膜厚が10–15 Åを過ぎると、ハローとなる。また、表面再構成パターンが見える範囲では、GaAsのXPS強度は、指数関数的に減衰し³⁹⁾、2次元成長が行われていることが示唆される。

GaAs上のSi薄膜の成長の基礎過程については、Averyらが、STMとRHEEDを用い詳細な検討を行い、マイクロ構造とRHEEDパターンの関係を明らかにしている⁴⁰⁾。これによれば、成長の初期は種々の不均一性が認められるが、数モノレイヤーの成長後は、完全に表面はシリコンに覆われ、シリコンのエピタキシャル成長に類似した成長が生じることが確認されている。

しかし、Si ICLを成長しただけでは、表面のフェルミ準位のピンニングは除去されない^{40, 44)}。これは、Si ICL表面のマイクロ構造に起因するものと思われる。フェルミ準位ピンニングの除去は、Si ICL上にSi系の絶縁膜を堆積し、さらに、全体をアニールすることによって、達成される。

これまでに、InPに格子整合する $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ において、最も優れた効果が得られている。その例として、図5に種々のInGaAs MIS構造のC-V測定にもとづく界面単位密度分布(N_{ss})を示す。金属電極にはアルミニウムを用い、試料を水素雰囲気中で350℃、1時間アニールした。また、界面単位密度(N_{ss})分布は、1MHzのC-V曲線から求めている。 $\text{SiO}_2/\text{Si ICL}/\text{InGaAs}$ 構造のSi ICL膜厚は10 Å、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{Si}/\text{InGaAs}$ のそれは5 Åであり、これらは各々の構造の最適値である。また、これらの膜厚は、絶縁膜堆積前の値で、絶縁膜形成後は、界面反応で膜厚が減少するが、しかし、数原子層は残存することが確認

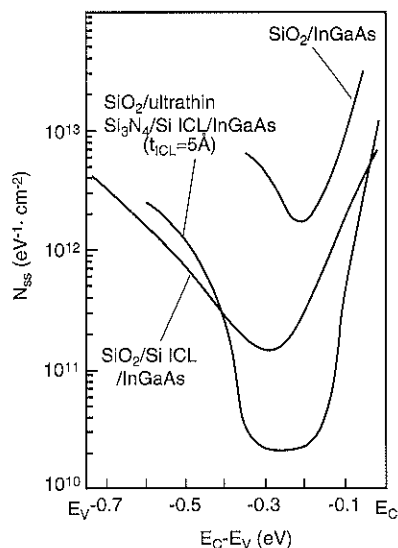


図5 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{Si}/\text{InGaAs}$ MIS構造の300 KにおけるC-V測定結果。ゲート電圧掃引速度は23 mV/s

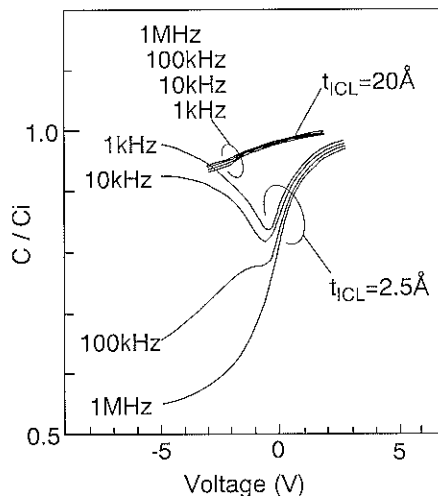


図6 InGaAs MIS構造の界面単位密度分布

されている⁴²⁾。どの曲線も連続的なU字形の N_{ss} 分布を示すが、最適構造・最適条件によって不活性化した構造の N_{ss} 分布は、 SiO_2 膜を直接堆積した場合のそれに対して大幅に低減され、フェルミ準位のピンニングが完全に除去されて、 $10^{-10}\text{cm}^{-2}\text{eV}^{-1}$ に入るSiMOS構造に匹敵するような低い N_{ss} の値が実現されていることがわかる。また、図6に、C-V特性がSi ICLの膜厚に強く依存する測定例を示す。ICLの膜厚が2.5 Åの場合、理論から期待される特性に近くなるのに対し、ICLの膜厚が20 Åの場合には、C-V特性は周波数に依存せず、また、バイアスに

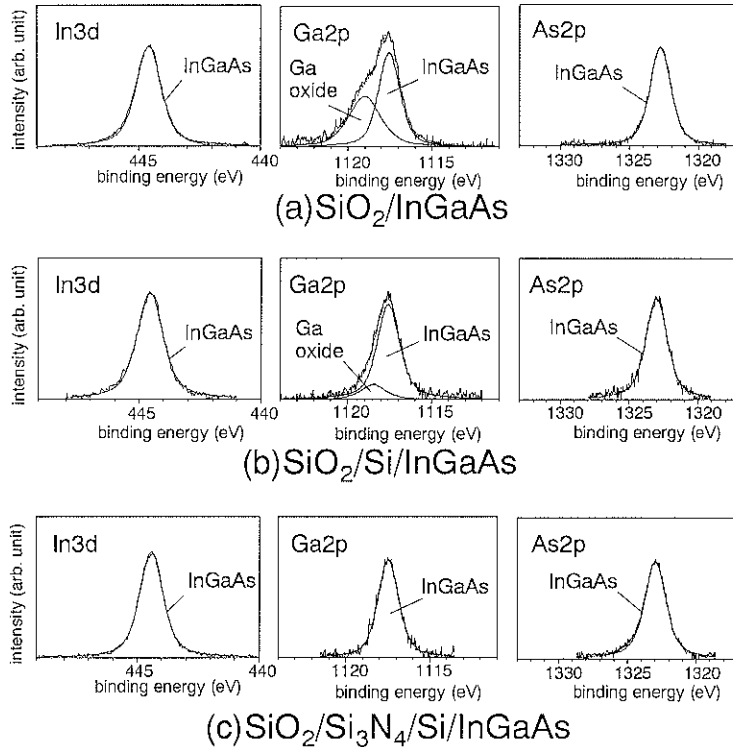


図7 (a) SiO_2 を直接堆積したInGaAs界面、(b) $\text{SiO}_2/\text{Si}/\text{InGaAs}$ 界面および
(c) $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{Si}/\text{InGaAs}$ 界面のXPS測定結果

対する容量の変化もほとんど見られない。これは、半導体表面でフェルミレベルが強くピンニングされていることを示している。Si ICLが厚い場合の N_s の増大は、SiとInGaAsの格子不整合によるミスフィット転位の発生が原因である。

さらに、これらの界面の電子物性と、界面の構造とには明確な対応関係があることが判明した。その例として、図5に N_s 分布を示したパッシベーション構造の界面を、XPS法でその場観察した結果を図7に示した。観察のためには、絶縁膜中を通しての光電子の脱出を考慮し、InGaAs上に Si_3N_4 膜および SiO_2 膜をそれぞれ15Å堆積している。図中の点線はInGaAsMBE清浄表面から得られたスペクトルである。図7からわかるように、 SiO_2 膜を直接堆積した場合には、InGaAs表面でガリウムの選択的酸化が生じる。また、 Si_3N_4 膜を挿入しない場合も、InGaAs表面でGaの選択的酸化が進行し、これは、 SiO_2 膜堆積中の酸素ラジカルの侵入によるものと考えられる。一方、図3(b)に示した最適構造では、InGaAs表面の窒化および酸化は完全に避けられている。

以上述べたように、超高真空一貫システムを用いSi界面制御技術に基づく最適な構造を最適条件下で形成する

と、フェルミ準位ピンニングが完全に除去された、ないし大幅に緩和されたI-S界面が実現できる。一方、デバイス応用の自由度を増すためには、この技術が、大気にさらされた表面に適用できることが望ましい。これについては、GaAs、InGaAsの場合、表面のふっ酸処理⁴⁰⁾、また、AlGaAsの場合表面の塩酸処理⁴⁵⁾がきわめて有効であることが示されている。

さらにこの技術は、我々のグループや、他のグループにより、GaAsMIS構造^{38, 39, 46)}、GaAs光伝導光検出器⁴⁷⁾、InGaAs MISFET^{48, 49)}、InP MIS構造およびMISFET^{50, 51)}、絶縁ゲートHEMT⁵²⁾に適用され、有望な結果が得られている。

6. シリコン界面制御層技術の量子構造への応用

すでに述べたように、量子構造では、表面および界面の果たす役割が現在のデバイスよりも重要となるために、化合物半導体の量子デバイスや集積回路においては、パッシベーション技術がその成否を支配するキーテクノロジーとなる可能性がある。それを示唆する例として、最近、表面近傍に形成した量子井戸(QW)からのフォ

トルミネッセンス強度が、量子井戸準位と表面準位との相互作用により大幅に減少することが、いくつかの機関から報告されている^{53~55)}。

図8に、筆者らのグループが観測した例を、AlGaAs/GaAs量子井戸について示す。図8から明らかに、量子井戸が表面より10 nm以内に近づくと、量子井戸からの発光が指数関数的に減少する。これは、量子井戸中のキャリアが、表面準位にトンネル効果で遷移し、非発光再結合して消滅することで説明できる^{56, 57)}。このことは、例えば、量子井戸の代わりに量子ドットを用いて、単電子デバイスを構成し、表面からキャリアをトンネルにより、やりとりする場合に重大な障害となるのは明白である。そこで本節では、表面近傍に形成したAl_{0.3}Ga_{0.7}As/GaAs/Al_{0.3}Ga_{0.7}As量子井戸構造およびInGaAsリッジ量子細線構造に、前節で述べたシリコン界面制御層技術を適用し、その表面パッシベーションに成功した例を紹介する。

図9に、表面パッシベーションされた量子井戸試料の

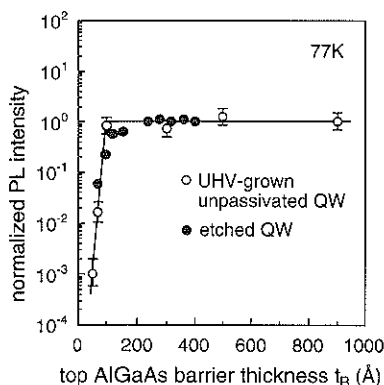


図8 表面近傍に形成した量子井戸QW1からのPL強度と表面AlGaAsバリア層厚 t_B との関係。黒丸は、AlGaAsバリア層を400 Å成長した後、化学エッチングにより t_B を変化させた場合

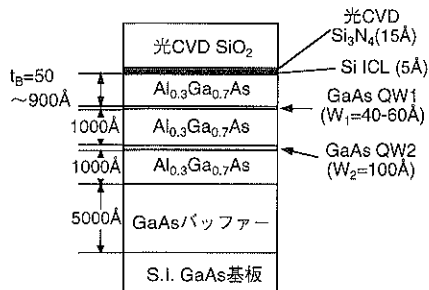


図9 表面近傍に形成した量子井戸のSi界面制御層による表面パッシベーション

構造を示す^{56, 57)}。比較のため、パッシベーションをせずAlGaAsを空気にさらした試料や、Si ICLなしに、SiO₂やSiO₂/Si₃N₄膜のみでパッシベーションした試料も用意した。Al_{0.3}Ga_{0.7}As/GaAs QW構造は、半絶縁性GaAs(100)基板上にMBE法で成長し、各成長層は、すべてアンドープである。表面近傍のQW(QW1)に加えて、深い部分にもう一つのQW(QW2)を形成し、これをフォトルミネッセンス強度を規格化するための参照用井戸とした。PL測定は、77 Kで行い、励起光にはAr⁺レーザー(514.5 nm)を用い、励起光強度は1 W/cm²である。

図10に各試料の量子井戸QW1からのPL強度の表面と井戸との距離、すなわち表面側のAlGaAs障壁層の厚さ t_B に対する依存性の測定結果を示す。これからわかるように、最適Si ICL構造を用いてパッシベーションした試料では、 t_B が十分に厚い場合のPL強度と同じPL強度が得られており、表面量子井戸からのPL強度が完全に回復する一方、それ以外の試料では、図8と同様な指数関数的減衰を示している。 t_B が50 Åの場合、PL強度の回復率は1000倍以上である。これは、半導体表面の表面準位が本質的に取り除かれ、非発光表面再結合速度が大幅に減少したことに起因すると考えられる。

次にこのパッシベーション技術を、InGaAsリッジ量子細線に適用した。InGaAsリッジ量子細線^{56, 57)}の断面走査電子顕微鏡(SEM)写真とその模式図を図11に示す。量子細線は、フォトリソグラフィとウェット化学エッチングを用いて製作したInP(001)加工基板上に成長した。この量子細線が顕著な発光を示すことは、図10(b)に示す、スポット励起の断面カソードルミネッセンス(CL)像により確かめられている^{56, 57)}。

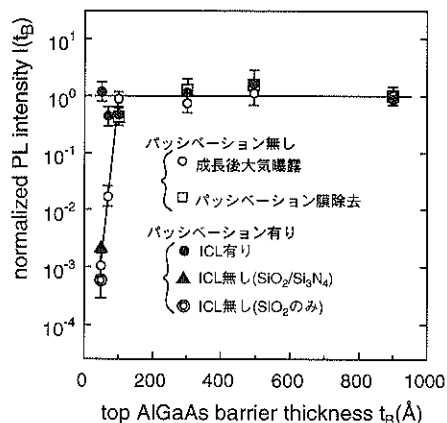


図10 種々の表面パッシベーションを施した場合の量子井戸QW1からのPL強度と、表面AlGaAsバリア層厚 t_B との関係。比較のため、図8の白丸のデータもプロットしている

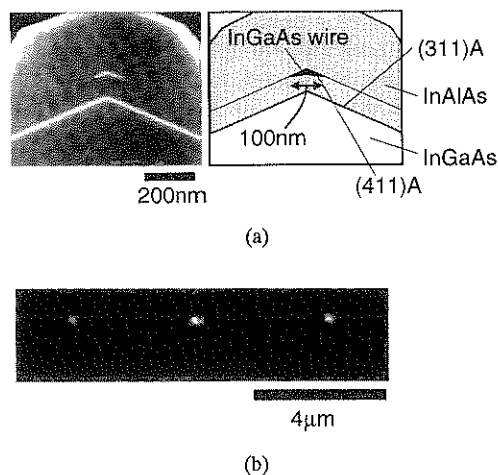


図11 (a) InGaAs リッジ量子細線の断面SEM写真とその模式図
(b) InGaAs 量子細線の断面CL像

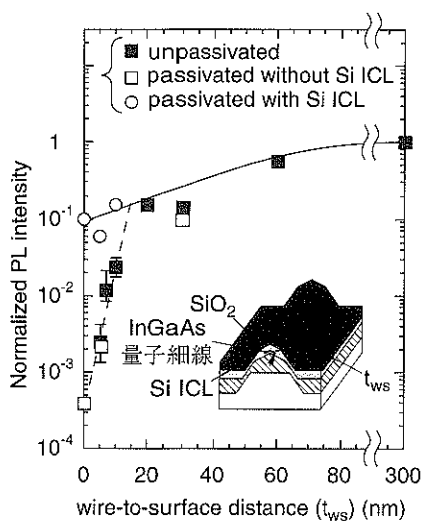


図12 InGaAs リッジ量子細線のPLスペクトル

InGaAs リッジ量子細線構造に、図12の挿入図のようなパッシベーションを施し、20KにてPL測定を行った⁵⁰⁾。結果が図12に、表面と細線間の距離 t_{ws} の関数として示されている。比較のため、パッシベーションしない場合、通常のSi ICLなしのパッシベーションを施した場合の結果も示されている。

Si ICLによって界面制御をした試料では、InAlAs障壁が無いという最も厳しい条件下でも、InGaAs量子細線からの発光が認められるが、Si ICLなしのパッシベーションでは、その強度は1/400となる。このように、シリコン界面制御層技術は、量子細線の表面パッシベーション

にも有効であることが判明した。なお、図12で、パッシベーションした試料で、量子細線からのPL発光強度が、 t_{ws} の減少とともに減少する理由は、上部障壁層で光励起され細線部に供給されるキャリアが、 t_{ws} とともに次第に減少するためである。

7. おわりに

化合物半導体表面のパッシベーション技術に関して、パッシベーションの今後の重要性を指摘し、界面制御の必要性や最近の新しい試みを概観し、さらに、筆者らが開発した「シリコン超薄膜界面制御層」を利用する新しいアプローチを述べ、その量子構造への適用例を紹介した。ここで紹介した新しいパッシベーション技術が、量子ドットにも適用可能であることを示唆しており、化合物半導体を用いた単電子デバイスの実現やその大規模集積化に明るい展望を与えるものである。

表面科学の立場から今後望まれることとして、化合物半導体の界面のフェルミ準位ピンニングに関する理論の新展開や、埋もれた界面の構造やエネルギースペクトルを原子レベルで探るBEEM法などの新展開が望まれる。また、応用表面科学の立場からは、深い基礎的な理解に基づく新しい界面制御法の発掘やその先端デバイス、量子デバイスへの応用が望まれる。この拙い解説を読まれた読者の中から、この困難な課題に、果敢に挑戦される若い研究者の方々が出てこれるとすると、筆者の望外の喜びである。

文 献

- 1) 長谷川英機: 応用物理 **47**, 441 (1978).
- 2) 長谷川英機, 澤田孝幸: 応用物理 **50**, 1289 (1981).
- 3) N. Yokoyama, T. Ohnishi, H. Onodera and M. Abe: Tech. Digest Int. Electron Device Meeting (1981) p. 80.
- 4) J. Graffeuil, Z. Hadjoub, J.P. Fortea and M. Pouysegur: Solid-State Electron. **29**, 1087 (1986).
- 5) H. Hasegawa, T. Kitagawa, T. Sawada and H. Ohno: Inst. Phys. Conf. Ser. no.74, 521 (1984).
- 6) C.J. Sandroff, R.N. Nottenburg, J.C. Bischoff and R. Bhat: Appl. Phys. Lett. **51**, 33 (1987).
- 7) W.E. Spicer, I. Lindau, P. Skeath and C.Y. Su: J. Vac. Sci. Technol. **17**, 1019 (1980).
- 8) W.E. Spicer, T. Kendelewicz, N. Newman, R. Cao, C. McCanis, K. Miyano, I. Lindau, Z. Liliental-Weber and E.R. Weber: Appl. Surf. Sci. **33/34**, 1009 (1988).
- 9) V. Heine: Phys. Rev. **138**, 1689 (1965).
- 10) J. Tersoff: Phys. Rev. Lett. **52**, 465 (1984).
- 11) H. Hasegawa and T. Sawada: Thin Solid Films **103**, 119 (1983).
- 12) H. Hasegawa and H. Ohno: J. Vac. Sci. Technol. **B4**, 1130 (1986).

- 13) J.M. Woodall and J.F. Freeouf: *J. Vac. Sci. Technol.* **19**, 794 (1981).
- 14) J.F. Freeouf and J.M. Woodall: *Surf. Sci.* **168**, 518 (1986).
- 15) 長谷川英機: *表面科学* **10**, 222 (1989).
- 16) H. Hasegawa: *Material Science Forum* **185-188**, 23 (1995).
- 17) M.D. Pashley and K.W. Haberern: *Phys. Rev. Lett.* **67**, 2697 (1991).
- 18) M.D. Pashley, K.W. Haberern, R.M. Feenstra and P.D. Kirchner: *Phys. Rev.* **B48**, 4612 (1993).
- 19) Y. Ishikawa, T. Fukui and H. Hasegawa: Extended Abstracts of the 1996 International Conference on Solid State Devices and Materials, Yokohama, 1996, C-4-5.
- 20) J.L. Freeouf and J.M. Woodall: *Surf. Sci.* **168**, 518 (1986).
- 21) T. Sawada and H. Hasegawa and H. Ohno: *Jpn. J. Appl. Phys.* **26**, L1871 (1987).
- 22) E. Yablonovitch, C.J. Sandroff, R. Bhat and T.G. Gmitter: *Appl. Phys. Lett.* **51**, 439 (1987).
- 23) Y. Nannichi, J.-F. Fan, H. Oigawa and A. Koma: *Jpn. J. Appl. Phys.* **27**, L2367 (1988).
- 24) H. Oigawa, J.-F. Fan, Y. Nannichi, K. Ando, K. Saiki and A. Koma: *Jpn. J. Appl. Phys.* **28**, L340 (1989).
- 25) C.J. Sandroff, M.S. Hedge, L.A. Farrow, R. Bhat, J.P. Harbison and C.C. Chang: *J. Appl. Phys.* **51**, 586 (1990).
- 26) T. Kikawa, S. Takatani and Y. Tezen: *Appl. Phys. Lett.* **60**, 2785 (1992).
- 27) 南日康夫: *表面科学* **17**, 523 (1996).
- 28) H. Hasegawa, M. Akazawa, K. Matsuzaki, H. Ishii, H. Ohno: *Jpn. J. Appl. Phys.* **27**, L2265 (1988).
- 29) S. Tiwari, S.L. Wright and J. Batey: *IEEE Electron Device Lett.* **9**, 488 (1988).
- 30) G.G. Fountain, S.V. Hattangady, D.J. Vikavage, R.A. Rudder and R.J. Markunas: *Electron. Lett.* **24**, 1135 (1988).
- 31) H. Ishiware, K.H. Kim, K. Tsutsui, T. Asano and S. Furukawa: "Dielectric Films on Compound Semiconductors", ed. by V.J. Kapoor, **88-15**, (The Electrochemical Society, USA, 1988) p. 278.
- 32) T. Waho and F. Yanagawa: *IEEE Electron Device Lett.* **EDL-9**, 548 (1988).
- 33) Y. Wada and K. Wada: *J. Vac. Sci. Technol.* **B11**, 1589 (1993).
- 34) Y. Wada and K. Wada: *Control of Semiconductor Interfaces*, (Elsevier, Amsterdam, 1994) p. 305.
- 35) Y.-L. Chang, I.-H. Tan, Y.-H. Zhang, J. Merz, E. Hu, A. Forva and V. Emiliani: *Appl. Phys. Lett.* **62**, 1723 (1993).
- 36) M. Passlack, E.F. Schubert, W.S. Hobson, M. Hong, N. Moriya, S.N.G. Chu, K. Konstadinidis, J.P. Mannaerts, M.L. Schnoes and G.J. Zydzik: *J. Appl. Phys.* **77**, 686 (1995).
- 37) M. Passlack, M. Hong and J.P. Mannaerts: *Appl. Phys. Lett.* **68**, 1099 (1996).
- 38) H. Hasegawa, M. Akazawa, H. Ishii and K. Matsuzaki: *J. Vac. Sci. Technol.* **B7**, 870 (1989).
- 39) H. Hasegawa, M. Akazawa, H. Ishii, A. Uraie, H. Iwade and E. Ohue: *J. Vac. Sci. Technol.* **B8**, 867 (1990).
- 40) M. Akazawa, H. Ishii and H. Hasegawa: *Jpn. J. Appl. Phys.* **30**, 3744 (1991).
- 41) S. Kodama, M. Akazawa, H. Fujikura and H. Hasegawa: *J. Electron. Mater.* **22**, 289 (1993).
- 42) S. Kodama, S. Koyanagi, T. Hashizume and H. Hasegawa: *Jpn. J. Appl. Phys.* **34**, 1143 (1995).
- 43) A.R. Avery, J.L. Sudijono, T.S. Jones, B.A. Joyce: *Surf. Sci.* **340**, 57 (1995).
- 44) J.A. Silberman, T.J. de Lyon and M. Woodall: *Appl. Phys. Lett.* **59**, 3300 (1991).
- 45) K. Ikeya, S. Kodama, T. Hashizume and H. Hasegawa: Extended Abstracts of the 1996 International Conference on Solid State Devices and Materials, Yokohama, 1996, Sympo. IV-12.
- 46) Z. Wang, M.E. Lin, D. Biswas, B. Mazhari, N. Teraguchi, Z. Fan, X. Gui and H. Morkoc: *Appl. Phys. Lett.* **62**, 2977 (1993).
- 47) K. Iizuka, J. Akasaka, T. Tsubata and H. Hasegawa: *Proc. of 1989 Int. Symp. GaAs and Related Comp.*, Karuizawa (IOP publishing Ltd., Bristol, 1990).
- 48) M. Akazawa, H. Hasegawa and E. Ohue: *Jpn. J. Appl. Phys.* **28**, L2095 (1991).
- 49) S. Suzuki, S. Kodama and H. Hasegawa: *Solid-State Electron.* **38**, 1679 (1995).
- 50) M. Shokrani and V.J. Kapoor: *J. Electrochem. Soc.* **138**, 1788 (1991).
- 51) R.W.M. Kwpk, W.M. Lau, S. Ingrey and D. Landheer: *J. Vac. Sci. Technol.* **A10**, 754 (1992).
- 52) S. Suzuki, S. Kodama, H. Tomozawa and H. Hasegawa: *J. Electron. Mater.* **25**, 649 (1996).
- 53) J. Moisson, K. Elcess, F. Houzay, J.Y. Marzin, J.M. Gerard, F. Barthe and M. Bensoussan: *Phys. Rev. B* **41**, 12945 (1990).
- 54) Y.L. Chang, I.H. Tan, Y.H. Zhang, D. Bimberg, J. Merz, E. Hu, A. Forva and V. Emiliani: *J. Appl. Phys.* **74**, 5144 (1993).
- 55) Z. Sobiesierski, D.I. Westwood, D.A. Woolf, T. Fukui and H. Hasegawa: *J. Vac. Sci. Technol.* **B11**, 1723 (1993).
- 56) H. Hasegawa, S. Kodama, S. Koyanagi and T. Hashizume: *Jpn. J. Appl. Phys.* **34**, L495 (1995).
- 57) S. Kodama, S. Koyanagi, T. Hashizume, H. Hasegawa: *J. Vac. Sci. Technol.* **B13**, 1794 (1995).
- 58) H. Fujikura, S. Kodama, T. Hashizume and H. Hasegawa: accepted for publication in *J. Vac. Sci. Technol.* **14**, no. 4 (July/August issue) (1996).