

FPGA を用いた画像処理プロセッサの開発

堀場隆広^{*1}、浅井 徹^{*2}

Development of Image Processor Using FPGA

Takahiro HORIBA^{*1} and Tohru ASAI^{*2}Industrial Technology Division, AITEC^{*1}Department of Industry and Labor^{*2}

本研究では小型の画像応用機器を試作するために FPGA(Field Programmable Gate Array)を用いた画像処理用システム LSI を試作した。このシステム LSI は画像入力回路、画像処理回路、画像表示回路からなり、画像データを転送することによって、画像処理する構造になっている。各回路はハードウェア記述言語(HDL)で記述した。これをコンフィグレーションデータに落とし、FPGA に転送して画像処理回路を構成した。実験では、FPGA に小型のカメラと画像表示装置としてパソコンを接続し、画像の空間微分(画像の横方向の微分)を実行した。実験の結果、画像中の物体の輪郭が抽出され、FPGA を用いたハードウェアで画像の微分処理ができることを確認した。

1. はじめに

プログラムによって画像処理した場合、プロセッサが命令を逐次読み取りながら実行するため、画像の前処理のような多くのデータを処理するとき、プロセッサのバスがボトルネックになり、高速化できないという問題があった。一方、ハードウェア(デジタル回路)で前処理をした場合、処理は高速になるが、処理の変更にデジタル回路の変更を要するため、ハードウェアの設計や製作コストがかかるといった問題があった。本研究では画像処理の高速化とハードウェアの変更を容易に実現できる FPGA による画像処理用のシステム LSI を試作した。また、その処理効果を確認するために、小型カメラから画像の入力、画像の微分、画像の表示を試みたので報告する。

2. 実験方法

2.1 画像処理システム LSI

試作した画像処理システム LSI を図 1 に、使用した FPGA 基板を写真 1 に示す。このシステム LSI は画像の入力回路、画像の処理回路(微分回路)、画像の出力回路からなり、全てハードウェアで処理する構成である。このシステム LSI の特徴として画像の転送から画像処理までパイプライン式に同時処理する構造になっている。

2.2 小型カメラ

画像の入力に用いた小型カメラを写真 2 (a) に示した。カメラは 3.3V の電源、画像データ出力、クロック入力、

GND の 4 本の端子からなる。このカメラの端子の波形

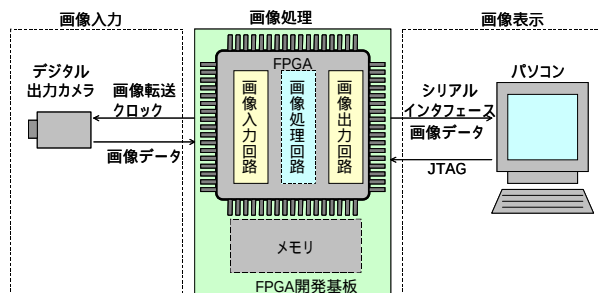


図 1 画像処理システム LSI



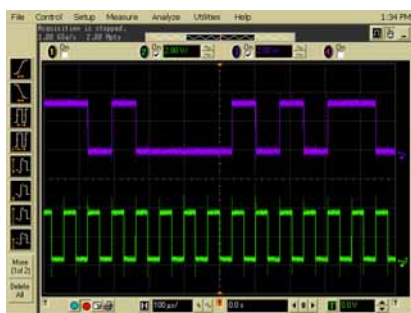
写真 1 FPGA 基板

をオシロスコープで表示したときの波形を写真 2 (b) に示した。オシロスコープの上部の波形はカメラの出力端子から出力される画像データの波形であり、下部の波形はカメラのクロック入力に与えたパルス波形である。このカメラの画像データの出力速度はクロック入力の端子

に入力されるパルスの周波数に比例して画像の取り込み速度が変えられるようになっている。カメラの画像データはシリアルで、1 ピクセルが 8bit の 256 階調で出力される。モノクロ画像としては 96×72 ピクセル、カラー画像としては 48×72 ピクセルの解像度である。出力される画像データのフォーマットは大きく分けて画像ヘッダと画像データからなる。画像ヘッダはこれから出力される画像データの情報が入っており、画像データは画像ヘッダの画像情報に従って、画像データを出力する構造になっている。



(a) カメラ



(b)カメラの出力波形

写真2 小型カメラ

2.3 画像入力回路

画像入力回路は図2で示したように、カメラのクロックを生成する回路と画像データを受け取る 16 ビットのシフトレジスタからなる。カメラから出力される画像データをシフトレジスタで受け取り、パラレルの画像データに変換する。シフトレジスタは 16bit で構成されており、上位 8bit と下位 8bit のパラレルのデータを出力する構造になっている。画像データは 1 ピクセル 8bit であるが、画像ヘッダのデータが 8bit または 16bit で構成されているので、16bit のシフトレジスタで構成した。カメラから送られてくる画像の始まりを見つけるときはカメラからのシリアルデータを 1bit ずつシフトレジスタでデータを受け取り、上位 8bit と下位 8bit の内容から、それが画像の開始のヘッダであるか調べる。もし、画像ヘ

ッダであれば、次からは下位 8bit のシフトレジスタを

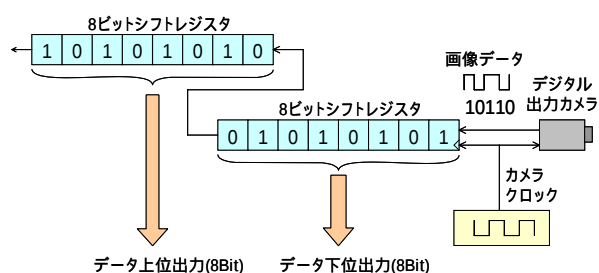


図2 画像入力回路の原理

用いて 8bit ずつデータを取り込む。同様に、画像データもヘッダを判定してからデータを 8bit ずつ取り込むようになっている。そして、得られた画像データを画像処理回路に送り、処理をする。画像入力回路のコントローラは図3の有限ステートマシン(FSM)を基に回路を設計した。

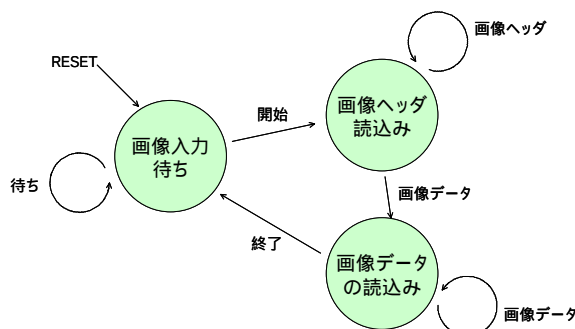


図3 画像入力の有限ステートマシン(FSM)

2.4 画像処理回路

プログラムによって対象物の輪郭抽出や傷や欠陥の検出などに用いられる画像の空間微分は良く用いられる処理である。微分は 3×3 のオペレータで、PrewittやSobelなどがよく使われるが¹⁾、このような処理をハードウェア化するには、画像 3 ラインを記憶するための高速メモリ(96×3 バイト)と乗算器、除算器を必要とし、FPGAの論理エレメントの消費や外部メモリを必要とする。そこで、ここでは乗算器、除算器とメモリを使わない画像の横方向の微分をハードウェア化した。

入力画像を $f(x,y)$ として表すと画像 $f(x,y)$ の横方向の微分 $f'(x,y)$ は式(1)になる。

$$f'(x,y) = \{f(x+\Delta x,y) - f(x-\Delta x,y)\} / 2\Delta x \quad (1)$$

(1)式は、除算を必要とするので、ピクセル間の距離 Δx を距離 1 ($\Delta x=1$) として、両辺を 2 倍すると(2)式が得られる。

$$2f'(x,y) = f(x+1,y) - f(x-1,y) \quad (2)$$

この(2)式は画像の微分値が 2 倍になるが、画像のエッジの輝度が 2 倍に強調されて、見やすいので、このまま扱

うことにした。画像表示のパソコンでは負の微分値が表示できないので、(2)式の絶対値をとった。

$$|2f'(x,y)| = |f(x+1,y) - f(x-1,y)| \quad (3)$$

この式を利用して試作した回路を図4に示す。回路は入力された画像データの転送時に処理するためにコントローラのない回路にした。設計した回路は画像入力回路の一部を兼ねている三つの8bitのシフトレジスタからなる。この三つの上位、中位、下位のシフトレジスタは走査した順の隣あった3ピクセルにあたる。このシフトレジスタにデータを取り込み、上位のシフトレジスタ(ピクセル)と下位のシフトレジスタ(ピクセル)の出力を取り出し、絶対値回路にデータを渡す。絶対値回路は数値比較回路と数値交換回路から構成されており、数値比較回路はピクセルの輝度の値を比較して、その大小結果により、数値交換回路で上位と下位のピクセルを交換する。数値交換回路から出力されるピクセルを引算器に入力し、ピクセルの輝度の大きい値から小さい値を引き、これを画像の横方向の微分値として出力する構造になっている。

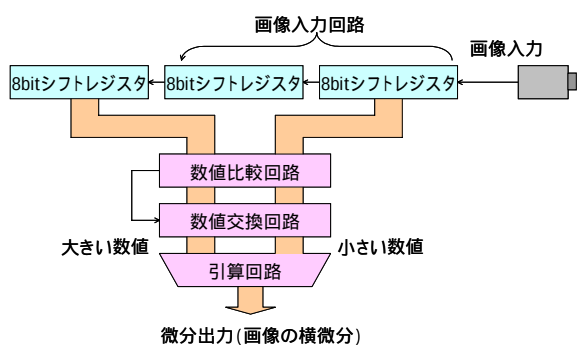


図4 画像の横微分回路

2.5 画像出力回路

画像の表示は画像出力回路とパソコン間をRS-232Cで接続して画像を表示した。画像の出力回路は図5で示したように、11ビットのシフトレジスタと8ビットのレジスタで構成した。画像処理回路(微分回路)から送られてくる1ピクセルのデータを8ビットのレジスタでいったん記憶して、そのデータを11ビットのシフトレジスタに転送する。そして、シフトレジスタの最下位2ビットにデータのマーク(数値の1)とスタートビット(数値の0)とシフトレジスタの最上位にストップビット(数値の1)を加え、パソコンの通信転送レートに合わせた転送クロックで、1ピクセルのデータをシリアル(RS-232C)で転送できるようにした。これをパソコンのプログラムで受信して画像表示する構成をとった。

画像出力回路のコントローラは図6で示した2状態の

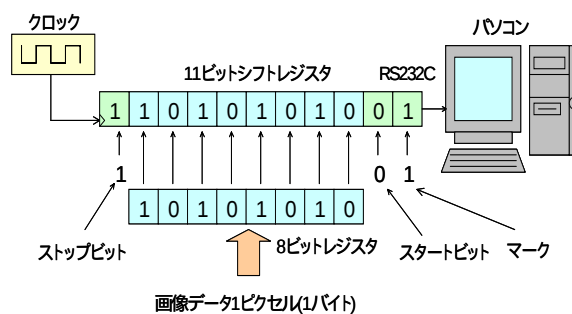


図5 画像出力回路

有限ステートマシン(FSM)で構成した。画像出力回路のコントローラはリセットがかかると1ピクセル(1バイト)の画像データの待ちに入り、8bitのデータがレジスタに送られると画像データの待ちから画像データの送出的状態に遷移して、画像データの1ピクセルを1ビットずつ転送する。画像データ1ピクセルの転送が完了すると、再び、画像データの待ちになる。これを繰り返す構造になっている。

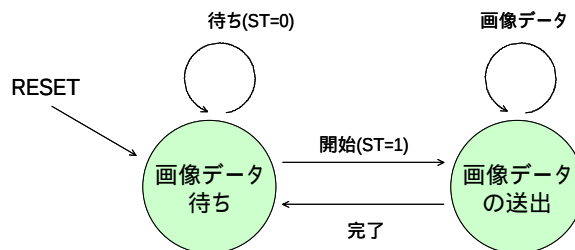


図6 画像出力回路の有限ステートマシン(FSM)

画像はパソコンに作成した画像の表示プログラムで表示した。そのプログラムのフローを図7に示した。プログラムは最初にウィンドウを開き、それから画像の取り込みと画像の表示を交互に実行するループにした。

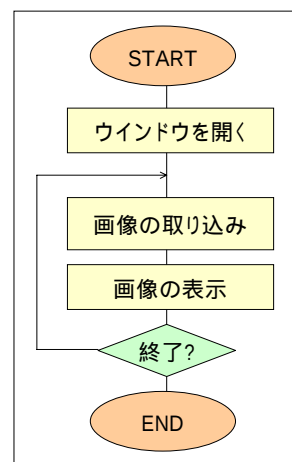


図7 画像表示プログラム

2.6 画像処理システム LSI

試作した画像処理のシステム LSI を図 8 に示した。試作したシステム LSI は 50MHz のクロックを用いた。これを PLL(Phase Locked Loop)に入力して、25MHz に周波数を変換し、その出力をバイナリカウンタで分周して、カメラのクロックと画像を受け取るシフトレジスタのクロックとして用いた。この試作したシステム LSI を用いて画像処理の実験をした。

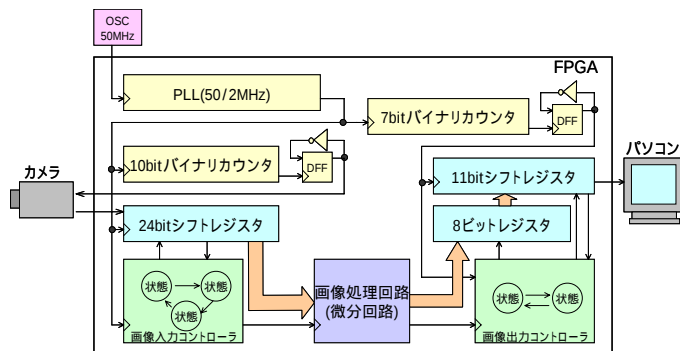


図 8 画像処理システム LSI

3 . 実験結果及び考察

試作した微分回路を使い画像処理をした。実験はモノクロ画像でカメラのクロックは 12kHz を用いて、1 フレームの入力間隔を約 4 秒に設定して画像の入力、画像処理、処理結果の表示を繰り返した。そのとき用いた実験システムを写真 3 に示した。



写真 3 実験システム

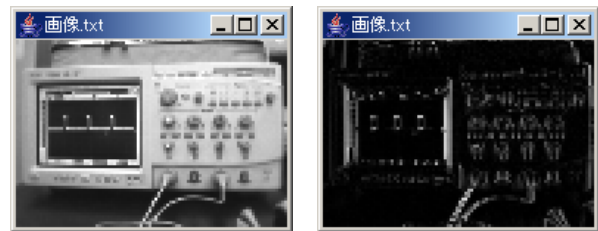
実験として、手を小型カメラで撮影し、その処理結果を写真 4 に示した。また、オシロスコープの入力画像と微分の処理結果を写真 5 に示した。処理画像から横方向



(a)入力画像

(b)処理画像

写真 4 手の画像の微分処理



(a)入力画像

(b)処理画像

写真 5 オシロスコープの画像の微分処理

の微分により、縦方向の輪郭が強調されていることが分かる。手の入力画像と処理結果の画像が少し異なるのは、パソコンに入力画像と処理画像を同時に取り込む機能がないので、別々に撮影して取り込んだからこのような結果になった。

4 . 結び

画像の入出力回路と画像の横方向の空間微分回路を設計し、HDL で記述した。そして、小型カメラとパソコンを FPGA に接続して、実際にデジタル回路を使って画像処理をした。その結果、微分画像を得ることができた。これによって、HDL で記述した微分回路が正しく動作していることが確認できた。

今後の課題として、現在、画像処理回路は横方向の空間微分だけであるが、FPGA に外部メモリを取り付け、さらに画像処理機能(回路)を増やし、これら処理回路を組み合わせた画像応用機器向けシステム LSI を試作することが必要である。

文献

- 1) 高木幹雄、下田陽久：画像処理ハンドブック、東京大学出版会、P553(1991)

