

極薄ゲート酸化膜 poly-Si TFT の作製・評価

磯邊 康孝^{*1} 佐藤 利文^{*2} 丹呉 浩侑^{*3}

Fabrication and evaluation of ultra-thin gate oxide poly-Si TFTs

Yasutaka Isobe^{*1}, Toshifumi Satoh^{*2}, and Hiroyuki Tango^{*3}

Abstract

High-temperature poly-Si TFTs with plasma-CVD thin gate oxide down to 9nm have been fabricated and evaluated. Poly-Si TFTs with 9nm gate oxide showed high performance TFT characteristics: threshold voltage of 1.0V, subthreshold slope of 0.22V/dec, field effect mobility of 38 cm²/V·sec and maximum transconductance of 16.5×10⁻⁷S for W/L=10μm/10μm devices. It is found by analyzing the physical parameter of poly-Si TFTs using two-dimensional device simulator, that density of trap states in poly-Si of high-temperature poly-Si TFTs such as shallow and deep acceptor type and deep donor type trap states, is much higher in comparison with those of low-temperature poly-Si TFTs fabricated on laser re-crystallized poly-Si films, which is considered to cause lower channel mobility of high-temperature poly-Si TFTs.

1. はじめに

リアプロジェクション型液晶ディスプレイには、高融点の石英基板を用いた高温 poly-Si TFT が用いられている[1]。これは、通常の半導体プロセスと同様の高温プロセス（600℃以上のプロセス）により poly-Si(多結晶シリコン)TFT(薄膜トランジスタ：Thin Film Transistor)を作製するものである。一方、低温 poly-Si TFT は、安価な低軟化点ガラス基板を用い、600℃より低い低温プロセスにより poly-Si TFT を作製するものである。これはレーザアニールにより a-Si(アモルファスシリコン)膜を再結晶化した poly-Si 膜を用いるもので、移動度が a-Si 膜に比べて 2 桁大きいために、携帯電話、パソコンなどの高速、高精細液晶ディスプレイに使用され始めており、さらに、ディスプレイと各種機能デバイスを同一基板に搭載するシステムオンガラス(System on Glass: SOG)デバイスを目指して開発が進められている[2]。

液晶ディスプレイの高精細化、高機能化、高速化

を目指して poly-Si TFT の微細化、高性能化の技術開発が進められているが、高温 poly-Si TFT については、スパッタ法によりゲート酸化膜を薄膜化した場合の poly-Si TFT の特性について報告され始めている[3-4]。

本報告では、高温 poly-Si TFT の微細化、高性能化を目指して、大型基板化が容易と考えられるプラズマ CVD (Chemical Vapor Deposition) 法により 9nm 程度まで極く薄くしたゲート酸化膜をもつ poly-Si TFT を作製し、電気的特性を評価した結果とともに、二次元デバイスシミュレーション[5]を用いて高温 poly-Si TFT と低温 poly-Si TFT の poly-Si 膜中のトラップ密度の相違を予測した結果について報告する。

2. 試料の作製

poly-Si TFT を作製するために、まずパソコン版レイアウト CAD である MASCAT(凸版印刷製)を用いて、種々の形状を持つ TFT、および不純物拡散層のシート抵抗などのプロセスを調べる素子からなる

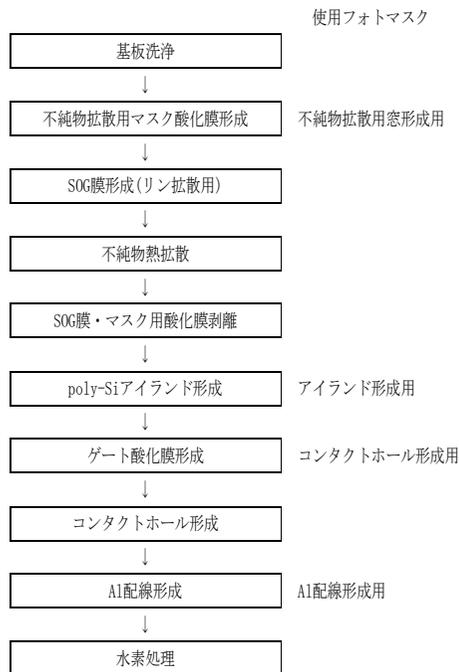
^{*1}東京工芸大学 大学院。現在 新日本無線(株)

^{*2}東京工芸大学 工学部メディア画像学科助教授

2006年10月6日 受理

^{*3}東京工芸大学 工学部システム電子情報学科教授

表1 poly-Si TFT 作製プロセスの概略



TEG(Test Engineering Group)を設計し、フォトマスクを揃えた。これらのうち4枚のフォトマスクを使用しAl(アルミニウム)ゲート構造 n-チャンネル高温 poly-Si TFT を作製した。チップサイズは3.45mm \square である。TFT 作製に用いた基板は、poly-Si 膜(膜厚100nm)/熱酸化膜(820nm)/Si 構造の SOI(Silicon on Insulator)型構造で、大きさは3cm \square である。この基板1枚に、上記チップ約30個を作製できる。

表1に poly-Si TFT 作製プロセスの概略と使用したフォトマスク(4層)を示す。以下に、各プロセスの詳細について説明する[8]。

まず、基板の作製であるが、熱酸化膜上にLP-CVD(Low-Pressure Chemical Vapor Deposition)により poly-Si 膜を成膜した(成膜条件:ガス流量:SiH₄ 100sccm、成膜温度:620 $^{\circ}$ C、成膜圧力:13.3Pa)。poly-Si 膜の結晶粒径は数十 nm である。以下の各工程を含めて基板の洗浄には、RCA 洗浄を用いた。

この基板の poly-Si 膜上に不純物拡散マスク用にプラズマ CVD 酸化膜(到達真空度:3.20 $\times 10^{-5}$ Torr, RF パワー: 30W, 基板温度:300 $^{\circ}$ C, ガス流量:

100sccm(SiH₄)/200sccm(N₂O), 膜厚:220nm)を形成した。厚さ 100nm 以上の厚い酸化膜厚測定には、エリブソメトリと触針差差計を使用し、両者の測定値が一致することを確認した。以下に述べるような、100nm 以下の酸化膜厚測定にはエリブソメトリを使用した。

ついで、フォトリソグラフィーによりソース・ドレイン領域形成用窓のマスクパターンを基板に転写した。フォトリソグラフィーには、ポジ型フォトレジスト(OFPR-800(30CP): 東京応化製)をスピコート後、プリバーク(120 $^{\circ}$ C, 50sec)をし、露光した(露光装置: ミカサ:MA-20 型、露光時間 10.5sec)。フォトレジストの現像(現像液:NMD-3(東京応化製))後、ポストバーク(120 $^{\circ}$ C, 5min)を行い、フッ化アンモニウム・フッ酸混合液(エッチング液: NH₄F:HF=6:1)により CVD 酸化膜をエッチング(エッチング時間 3min)し、ソース・ドレイン不純物拡散用窓を形成した。その後、フォトレジストの剥離を行った。この工程の内容は、残留エッチング液のエタノールによる置換(30sec \times 2回)、フォトレジスト剥離(剥離液:106(東京応化製)、剥離時間 3min)、エタノール置換(30sec \times 2回)である。

ソース・ドレイン領域形成用の不純物ドーピングには、プロセスが簡便な SOG(Spin on Glass)による固相拡散法を用いた。固相拡散によりリンを拡散するために SOG 溶液(p-59250(リン濃度 5%)(東京応化製))をスピコート(塗布条件: 600rpm 3sec + 2800rpm 30sec の2回塗布)し、ホットプレート上でプリバーク(200 $^{\circ}$ C, 10min)した後、不純物拡散用電気炉中でポストバーク(N₂ 雰囲気中 500 $^{\circ}$ C, 30min)を行った。その後、電気炉を昇温し poly-Si 膜にリン拡散(N₂ 雰囲気中 950 $^{\circ}$ C, 120min)を行った。拡散後の poly-Si 膜のシート抵抗は 170 Ω/\square と小さな値であった。また、比較のために、ソース・ドレインへの不純物拡散温度 850 $^{\circ}$ C、拡散時間 80min の場合も実験し素子を作製した。この場合の poly-Si 膜のシート抵抗は 1.2 $\times 10^4\Omega/\square$ と大きな値を示した。

つぎに、SOG 膜、および拡散用酸化膜マスク層を希釈フッ酸(H₂O:HF=10:1)でエッチング除去し、フォトリソグラフィーにより島状 poly-Si 膜を形成した。Poly-Si 膜のエッチングには、希釈 KOH 液(H₂O:KOH=150cc:0.3g、エッチング温度 65 $^{\circ}$ C)を使用した。エッチング後、フォトレジストの剥離(剥離

液：106(東京応化製)を行った。

続いて、プラズマ CVD により 4 種類のゲート酸化膜(膜厚(d_{ox}):55nm, 33nm, 13nm, 9nm)をもつ基板を作製した。成膜条件は、不純物拡散マスクに用いたプラズマ CVD 膜の場合と同様である。これらの薄い酸化膜厚の測定にはエリブソメトリを用いた。その後、ソース、ドレイン電極用のコンタクトホールを形成するために、フォトリソグラフィーによりゲート酸化膜を、前述のフッ化アンモニウム・フッ酸混合液によりエッチング除去し、コンタクトホールを開孔した。

つぎに、真空蒸着により基板全面に配線用の Al 膜(膜厚:900nm)を成膜し、フォトリソグラフィーにより Al 膜をエッチング(エッチング液： $H_3PO_4:HNO_3:CH_3COOH:H_2O=4:1:4:1$, エッチング温度: $25 \pm 1^\circ C$)後、フォトレジストを剥離(剥離液:Al 用 104(東京応化製))した。

最後に、MOS 構造の界面準位を低減するために水素処理用電気炉で水素処理(ガス雰囲気： $N_2/H_2(10\%)$, 処理条件： $450^\circ C, 30min$)を行った。

また、比較のために用いた低温 poly-Si TFT(企業からの提供試料)は、本研究で作製した高温 poly-Si TFT と同様、平面構造である。低温 poly-Si TFT 作製に用いられた poly-Si 膜は、ガラス基板上に堆積した a-Si 膜をゼノンクロライド(XeCl)エキシマレーザによりアニールすることにより再結晶化し多結晶 Si 化したもので、厚さ 50nm である。ゲート酸化膜はプラズマ CVD 法によるもので厚さ 140nm である。使用したすべてのプロセス温度は $600^\circ C$ 以下である。素子形状は高温 poly-Si TFT と同様の W(チャネル長)/L(チャネル長)= $10\mu m/10\mu m$ である。

これらの poly-Si TFT の電気的特性の測定は、周囲の光を遮断したシールドボックス内でプローバによりウェーハ状態で行い、測定システムとして半導体パラメータアナライザ 4156B(HP 社製)を使用した。

3. 実験結果および討論

3. 1 電気的特性

3. 1. 1 電流 - 電圧特性

図 1 に、作製したゲート酸化膜厚 d_{ox} が 13nm の高温 poly-Si TFT の典型的な V_d (ドレイン電圧)- I_d

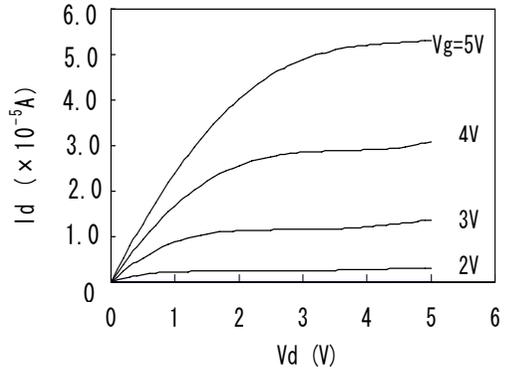


図 1 作製した高温 poly-Si TFT の典型的な V_d - I_d 特性、 $d_{ox}=13nm$, $W/L=10\mu m/10\mu m$

(ドレイン電流)特性を示す。 $W/L=10\mu m/10\mu m$ である。ドレイン電流の飽和特性がよく現れていることがわかる。

図 2 に d_{ox} が 9nm, 13nm, 33nm, および 55nm の場合の V_g (ゲート電圧) - I_d 特性をそれぞれ示す。図 2 からゲート酸化膜厚が薄くなるにしたがって、サブスレッショルド特性の傾きが急峻に、すなわちサブスレッショルド係数(S 係数)が小さくなり、相互コンダクタンス (G_m) は増大することがわかる。また、ドレインリーク電流は $10^{-13} \sim 10^{-12} A$ 台で、ドレイン電流の ON/OFF 比は 6 桁得られており、液晶

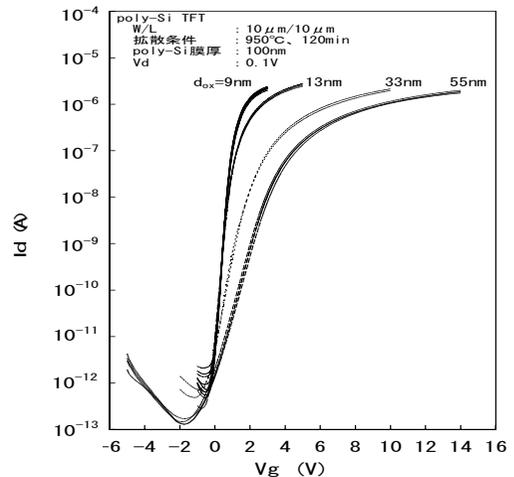


図 2 ゲート酸化膜厚を変化させた場合の V_g - I_d 特性($d_{ox}=9nm, 13nm, 33nm, 55nm$)

ディスプレイ用素子として必要な特性を満たしている。

3. 1. 2 相互コンダクタンス

次に相互コンダクタンス Gm について述べる。ゲート酸化膜厚 d_{ox} を薄くすると、Gm は増大するものの電界効果移動度は変わらず、その値は、 $32 \sim 38 \text{cm}^2/\text{V}\cdot\text{sec}$ であった。これは、電界効果移動度がゲート酸化膜厚では変わらず、ゲート酸化膜/poly-Si 膜界面のチャンネルの縦方向(チャンネルに垂直方向)電界強度のみで決まることを示している。

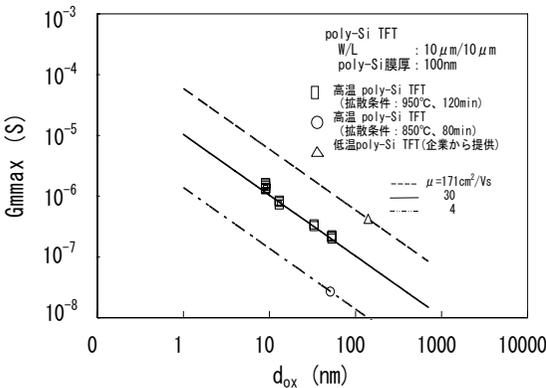


図3 種々の poly-Si TFT の Gmmax のゲート酸化膜厚による変化

□印：高温 poly-Si TFT の実験値(ソース・ドレイン領域の不純物拡散温度 950°C)、○印：高温 poly-Si TFT の実験値(ソース・ドレイン領域の不純物拡散温度 850°C)、△印：低温 poly-Si TFT の実験値、各線はそれぞれの TFT の移動度を用いた(1)式による Gmmax の計算値

Gm(あるいは、Gm の最大値)は TFT の 1 次元モデルにより、電流非飽和領域で次式により表される。

$$Gm(\text{あるいは、} Gm_{max}) = \mu \cdot C_{ox} \cdot (W/L) \cdot Vd$$

$$= \mu \cdot \epsilon_0 \cdot \epsilon_{ox} \cdot (W/L) \cdot Vd / d_{ox} \quad (1)$$

ここで、 μ は電界移動度であり、 C_{ox} は単位面積当たりのゲート容量で、真空の誘電率を ϵ_0 、酸化膜の

比誘電率を ϵ_{ox} とすると、 $C_{ox} = \epsilon_0 \cdot \epsilon_{ox} / d_{ox}$ で表される。(1)式は、Gm(あるいは Gmmax)は d_{ox} に反比例して増加することを示している。

図3に種々の poly-Si TFT のゲート酸化膜厚を変えた場合の Gmmax を示す。図3の□印は、ソース・ドレイン領域の不純物拡散条件が 950°C、120min(前述のように拡散後の poly-Si 膜のシート抵抗は 170Ω/□) の場合の Gmmax の実験値を示し、実線は $\mu = 30 \text{cm}^2/\text{V}\cdot\text{sec}$ として(1)式により求めた Gmmax の計算値を示す。これから、Gmmax のゲート酸化膜厚依存性は、作製したゲート酸化膜厚の範囲で(1)式で表されることがわかる。

図3の○印は、ソース・ドレイン領域の不純物拡散温度を 850°C(拡散時間 80min)と低くして(前述のように、この場合のリン拡散後の n^+ poly-Si 膜のシート抵抗は $1.2 \times 10^4 \Omega/\square$)作製した TFT の Gmmax の実験値であり、 $\mu = 4 \text{cm}^2/\text{V}\cdot\text{sec}$ とした場合の Gmmax の計算値を一点鎖線で示している。この低い拡散温度(850°C、80min)で作製した poly-Si TFT の Gmmax は、高い拡散温度(950°C、120min)の TFT に比べて、約 1/10 である。この理由は、前者の場合、リン拡散後のシート抵抗が大きいためにソース・ドレイン領域の寄生直列抵抗が大きくなり、Gm を減少させていると考えられる。また、△印は低温 poly-Si TFT (企業からの提供試料) の Gmmax の実験値であり、 $\mu = 171 \text{cm}^2/\text{V}\cdot\text{sec}$ とした場合の Gmmax の計算値を点線で示している。このような低温 poly-Si TFT の移動度は、高温 poly-Si TFT に比べて約 5 倍である。

3. 1. 3 S 係数

サブスレッショルド特性の傾きである S 係数は、次式で与えられる。

$$S \sim 2.3(kT/q) \cdot (1 + (C_D + C_{it})/C_{ox}) \quad (2)$$

ここで、k はボルツマン定数、T は絶対温度、q は電子の電荷、 C_D は空乏層容量、 C_{it} はゲート酸化膜/Si 界面の界面準位の等価容量である。

図4に本実験で得られた S 係数のゲート酸化膜厚依存性を示す。図4から、S 係数はゲート酸化膜の薄膜化とともに、ほぼ直線的に小さくなり、良好なサブスレッショルド特性が得られるようになることがわかる。ゲート酸化膜厚が 9nm の場合、S 係数

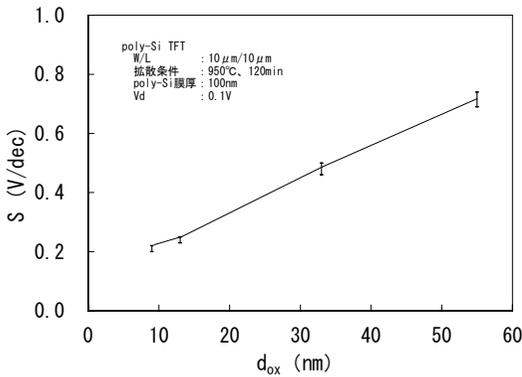


図4 S係数のゲート酸化膜厚による変化

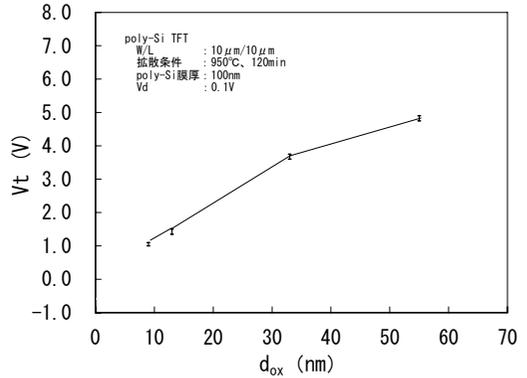


図5 しきい値電圧のゲート酸化膜厚による変化

は 0.22V/dec で、スパッタ法により得られている値 [4]と同等か、むしろ小さい値である。

3. 1. 4 しきい値電圧

しきい値電圧 V_t は、

$$V_t = 2\phi_F + q \cdot N_A \cdot I_{Dmax} / C_{ox} + \phi_{MS} + (Q_{SS} / C_{ox}) \quad (3)$$

で与えられる。ここで、 $I_{Dmax} = ((4\epsilon_0 \cdot \epsilon_{Si} \cdot \phi_F / (q \cdot N_A))^{1/2}$ で、これは最大空乏層幅をあらわす。 ϵ_{Si} は Si の比誘電率、 ϕ_F はバンドギャップ中央からフェルミ準位までのエネルギー、 N_A はチャンネル中の不純物濃度である。また Q_{SS} は界面準位電荷、 ϕ_{MS} は金属と半導体のフェルミ準位の差 ($\phi_{MS} = \phi_M - \phi_S$) で、 ϕ_M はゲート金属のフェルミ準位、 ϕ_S は半導体のフェルミ準位である。

図5に、しきい値電圧 V_t のゲート酸化膜厚依存性を示す。 V_t は、 V_g - I_d 特性上で最大の傾きを示す直線とゲート電圧軸との交点で定義している。 d_{ox} を薄くするにしたがって、 V_t は浅くなることわかる。ゲート酸化膜厚が 9nm の場合、 V_t は 1.0 V で、この場合もスパッタ法による値 [4] と同等である。

3. 1. 5 ゲート酸化膜の絶縁耐圧

図6にゲート酸化膜の絶縁耐圧のゲート酸化膜厚依存性を示す。ゲート酸化膜厚が 9nm の場合、絶縁耐圧は 6V と低下するが、使用電源電圧 5V を想定すると、しきい値電圧が 1.0V であることと合わ

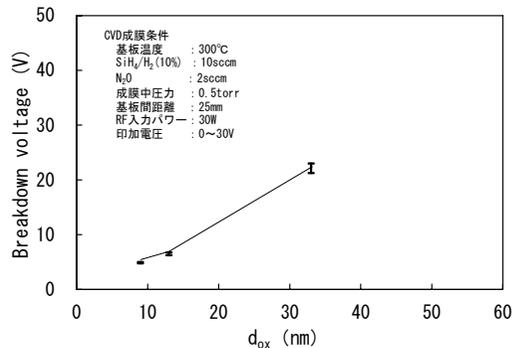


図6 ゲート破壊電圧のゲート酸化膜厚による変化

表2 ゲート酸化膜厚を変えた場合のデバイスパラメータの値

d_{ox} (nm)	S 値 (V/dec)	V_t (V)	μ (cm^2/Vs)	G_{mmax} ($\times 10^{-3}S$)
55	0.74	4.9	36	2.3
33	0.50	3.7	33	3.4
13	0.23	1.4	32	8.5
9	0.22	1.0	38	16.5

せ使用できる可能性のある値である。

表2に作製した poly-Si TFT の主なデバイスパラメータのゲート酸化膜厚依存性をまとめて示す。ゲート酸化膜厚を薄くすることにより、S 係数、 V_t 、 G_{mmax} ともに改善され、TFT の性能が向上することがわかる。

3. 2 二次元デバイスシミュレーションによる poly-Si TFT のトラップ密度の解析

3. 2. 1 Poly-Si TFT のモデリング

Poly-Si 膜には多くのトラップが存在する。これらのトラップは主に結晶粒界に存在し、バンドギャップ中に準位を形成し、poly-Si TFT の電気的特性に影響を与える。ここでは、Poly-Si TFT 用 2 次元デバイスデバイスシミュレーションソフト(ATLAS)[5]を用いて、作製した高温 poly-Si TFT のトラップ密度(DOS: Density of States)を、低温 poly-Si TFT の場合と比較して解析した結果について述べる。

この 2 次元デバイスデバイスシミュレータは、poly-Si TFT 中の電子、正孔の二つのキャリアを扱い、物理方程式であるポアソンの方程式、電子、正孔に対するドリフト電流、および拡散電流を含むドリフト・拡散モデルによる電流密度方程式、および生成・再結合電流を含む電流連続方程式の合計五つの方程式を連立させて数値解を求めるもので、TFT 中の電位、電界、キャリア密度などの二次元分布、TFT の電流-電圧特性などを求めることができ、また poly-Si 膜中のトラップ密度もモデル化することができるものである。使用したパソコンは、Precision 360(Dell 社)で、OS(Operating System)は Red Hat Linux 9.0 である。

DOS については、poly-Si 膜中に均一に存在するとする「均一トラップモデル」を使用した。トラップはアクセプタ型、ドナー型両者について、それぞれバンドギャップ中の浅いトラップ、深いトラップを考慮した[5-7]。

n-チャンネル TFT の場合、Vg-Id 特性は主にアクセプタ型トラップにより大きく変化する。正のゲート電圧印加により poly-Si 膜表面のバンドが曲がるため、バンド中央とフェルミ準位間のアクセプタ型トラップが電子で満たされ負電荷を持つことになる。ゲート電圧が浅い場合には、表面のバンドの曲がり小さく、バンド中央付近の深いアクセプタ型トラップのみに電子がトラップされ、Vg-Id 特性のゲート電圧の浅いサブスレッショルド領域の傾きを小さくすることになる。一方、ゲート電圧が深い場合には、バンドの曲がり大きくなり、バンド中央付近の深いアクセプタ型トラップとともに、伝導帯に近い浅いアクセプタ型トラップも電子をトラップし、負に帯電することになり、サブスレッショ

ルド特性とゲート電圧の深い領域のドレイン電流を低下させることになる[6]。

解析に用いた高温 poly-Si TFT は、ゲート酸化膜厚 51nm、ソース・ドレイン領域形成に 850°C、80min の不純物拡散を行ったものである。まず、浅いアクセプタ型トラップ、深いアクセプタ型トラップ、移動度を、実験値であるドレイン電圧の小さい領域 (Vd=0.1V) の Vg-Id 特性に合せ込み、つぎにドレイン電圧の大きな Vd-Id 特性で現れるキャリアのインパクトイオン化に起因するキック電流について、インパクトイオン化係数を変えることにより合せ込みを行った[6]。

図 7 に Vg-Id 特性の実験値と合わせこみを行ったシミュレーション結果を示す。実験値(実線)とシミュレーション結果(点線)は、Vg が正の領域でよく合っていることがわかる。

図 8 に Vd-Id 特性の実験値(実線)とシミュレーション結果(点線)を示す。実験値をシミュレーション値でよく再現できていることがわかる。以上のように、poly-Si TFT の電流-電圧特性の実験値とシミュレーション結果を合わせ込むことにより、poly-Si TFT のモデル化を行い、poly-Si 膜のバンドギャップ内のトラップ分布を予測した。

同様に低温 poly-Si TFT についても実験値とシミュレーション値の合わせ込みを行い、バンドギャップ内のトラップ密度分布を求めた。

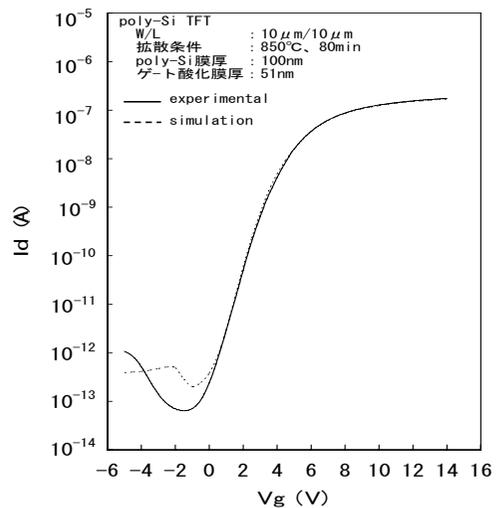


図 7 Vg-Id 特性の実験値とシミュレーション値

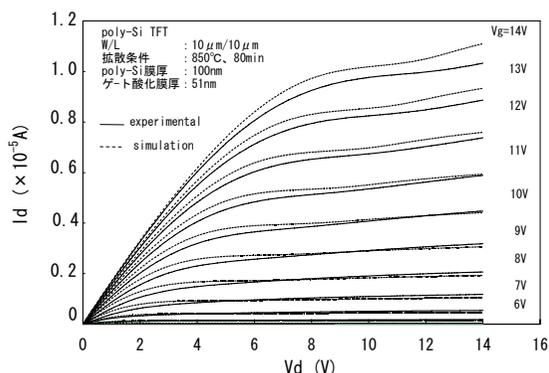


図8 Vd-Id 特性の実験値とシミュレーション値

3. 2. 2 Poly-Si 膜のトラップ密度

図9に高温 poly-Si TFT と低温 poly-Si TFT のチャネル領域のトラップ密度分布を比較した結果を示す。図9の横軸に示す E_v 、 E_c は、それぞれ価電子帯の頂上、伝導帯の底を示す。図中の実線は高温 poly-Si TFT の場合、点線は低温 poly-Si TFT の場合のバンドギャップ内のそれぞれのトラップ密度分布を示す。図9から、高温 poly-Si TFT は、低温 poly-Si TFT に比べてアクセプタ型トラップ密度は、浅いトラップ、深いトラップともかなり大きく、さらに深いドナー型トラップ密度も大きいことがわかる。高温 poly-Si TFT の移動度の低い要因は、これらの主として結晶粒界に存在するトラップによる電位障壁が大きくなりキャリアの散乱が大きくなるためと考えられる。

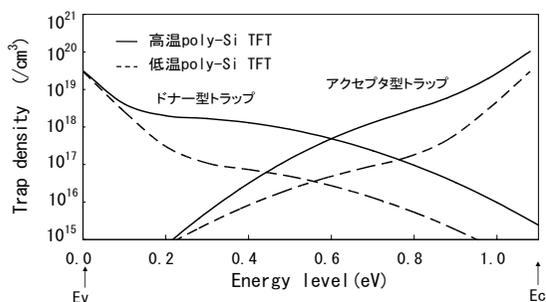


図9 高温 poly-Si TFT と低温 poly-Si TFT の poly-Si 膜のバンドギャップ内トラップ密度分布の比較

4. まとめ

高性能 poly-Si TFT を目指して、大型基板化が容易なプラズマ CVD 法によりゲート酸化膜厚を 9nm まで薄くした高温プロセスによる n-チャネル poly-Si TFT を作製し、評価した。得られた結果をまとめると次のようになる。

1. ゲート酸化膜厚 9nm、W/L=10 μ m/10 μ m の poly-Si TFT の電気的特性は、しきい値電圧 1.0V、S 係数 0.22V/dec、電界効果移動度 38 cm²/V \cdot sec、最大相互コンダクタンス 16.5 \times 10⁻⁷S を示し、将来の微細高性能素子として有望であると考えられる。また、ソース・ドレインの n⁺領域の不純物拡散温度を 850 $^{\circ}$ C から 950 $^{\circ}$ C に上げて n⁺層のシート抵抗を下げることも、Gm を大きくするために重要である。

2. 二次元デバイスシミュレーションによるトラップ密度の解析により、高温 poly-Si TFT の poly-Si 膜中のトラップ密度は、低温 poly-Si TFT に比べて、浅いアクセプタ型トラップ、深いアクセプタ型トラップ、および深いドナー型トラップともかなり大きいことがわかった。高温 poly-Si TFT の移動度の低い要因は、これらの主として結晶粒界に存在するトラップによる電位障壁が大きくなりキャリアの散乱が大きくなるためと考えられる。

謝辞

エリプソメータによる酸化膜厚の測定で本学物理研究室川畑州一教授、また各種膜の膜厚の測定で電子画像研究室大塚正男教授、内田孝幸助教授にお世話になり感謝いたします。また、本研究には、研究室の多くの卒業生の貢献があったことを記し、謝意を表します。

参考文献

- 1) 越石健司、“電子ディスプレイ産業の産業地図 液晶パネル産業”、電子材料 2004 年 4 月号、pp.24-30(2004).
- 2) K. Suzuki, M. Tada, Y. Yamazi, and Y. Ishizuka, Dig. of Tech. Papers, 1998 AM-LCD pp.5-8.
- 3) N. Yamauchi, N. Kakuda, and T. Hisaki, Ext. Abst. of 1993 SSDM, pp.996-998.

- 4) T. Serikawa, M. Miyashita, Y. Uraoka, and T. Fuyuki, Dig. of Tech. Papers, 2005 AM-LCD pp.311-314.
- 5) ATLAS Software Manual, Silvaco International, Ver.5.7.24C (2000).
- 6) 野上幸里、佐藤利文、丹呉浩侑、映像情報メディア学会誌、vol.60、no.9、pp.1439-1442(2006).
- 7) H. Tango, M. Suganuma, G. Usami, and Y. Nogami, The Electrochemical Society, 2004 Joint International Meeting (Hawaii), J2-TFTT Symposium, Abst. No. 967, Oct. 5, 2004., Proc. of the Int. Symp. Thin Film Transistor Technologies (TFTT VII), ed. Y. Kuo, vol. 2004-15, The Electrochem. Soc. 2004, pp.104-111.
- 8) 一般的な素子作製プロセスの参考書：丹呉浩侑編著、西澤潤一監修、“半導体プロセス技術”、培風館（1998）.