

北陸先端科学技術大学院大学 研究室レポート

JAISTAR

Japan Advanced Institute of Science and Technology, Announcement of Researchers

Information
Science

情報科学研究科
田中 研究室

ハードウェア、ソフトウェア両面からの アーキテクチャの研究開発

科学技術のフロンティアを拓く

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY
1990

北陸先端科学技術大学院大学

北陸先端科学技術大学院大学

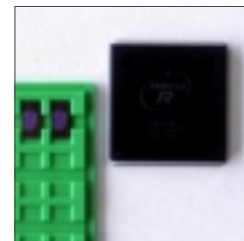
情報科学研究科 田中 研究室 ● ● ●

ハードウェア、ソフトウェア両面からの アーキテクチャの研究開発

高速計算を行う並列計算機アーキテクチャに始まり

低コストの要求を満たしつつ高性能処理を実現する組込みシステムへ。

ハード、ソフト両面から計算機アーキテクチャの進化を目指す。



School of
Information Science
Tanaka
Laboratory

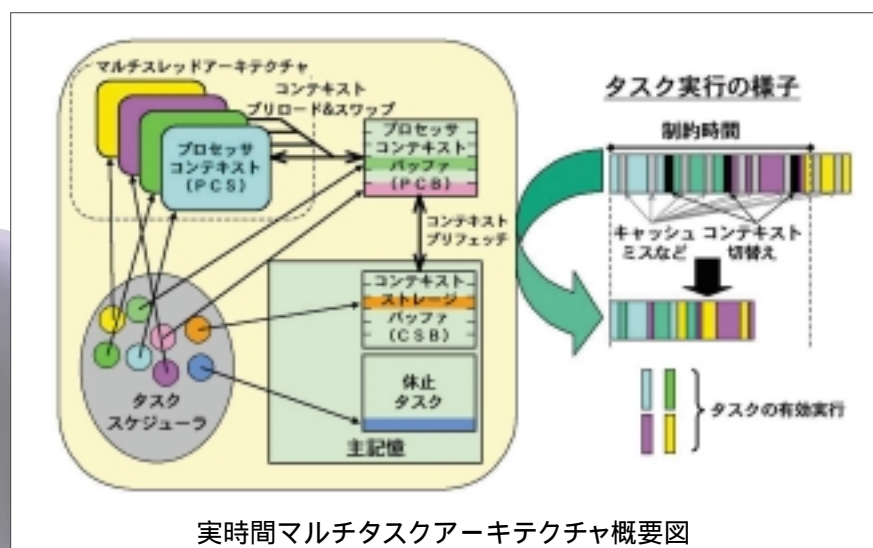
高速、高性能を目指して

複雑な計算を高速に行うことを目的に生み出されたコンピュータ。田中清史助教授もCPUの高性能化を徹底的に目指したいという想いを胸に、コンピュータアーキテクチャの分野に足を踏み入れた研究者である。すでに8個のCPUが並ぶ並列計算機を独自に開発するなど、研究は着実に進んでいる。近年は汎用CPUアーキテクチャの研究も展開しており、JST(科学技術振興事業団) の「さきがけプロジェクト」にも採択された。コンピュータは絵を描きながらインターネットを閲覧するなど複数の作業をこなすマルチタスク環境で使用されているが、実際にはCPUの時間を区切って複数のタスクを順番に切り替えながら実行している。そのためたとえば4つのタスクがすべてメモリアクセスの待ち時間に入ると実行速度が落ちてしまう。田中助教授は複数のプログラ

ムを同時に行うマルチスレッド実行方式において、タスクの切替え時間を短くしてリアルタイム処理を向上させる方式を研究、これを実証するためにCPUの回路設計を行い実際にLSIを作り上げた。この研究により実行速度が向上し、特に動画再生がなめらかになることが確かめられている。

組込みシステムへの展開

一方で、社会の流れはコンピュータの新たな進化の方向性を生み出した。音声通話から録画や動画再生へ。携帯電話の劇的な進化を見れば分かるように、コンピュータは大規模な計算を高速に行うだけでなく、ちょっとしたことを瞬時に判断して人間に伝えたり、機器を制御したりするために使われるようになっていく。いまやコンピュータはパソコンやワークステーションなど目で見えてそれと分かる筐体として存在





するだけでなく、家電、携帯電話、自動車、信号機など日常生活に密接したあらゆる製品に組み込みシステムとして利用されており、人間の操作や行動に対してリアルタイムに反応しているのである。たとえば一台の自動車には数十個のコンピュータが搭載されており、エンジンの燃料噴射を制御する、回転数を制御する、ブレーキを監視するなどそれぞれが個々の役割を担っている。ブレーキを踏むと瞬時に前輪の回転に命令を伝えることが重要であるように、組み込みシステムにはリアルタイム性が要求される。さまざまな製品において、消費者はさらに便利で快適な機能を求めており、今後も組み込みシステムで制御する機能は増える傾向にある。こうした状況に対処するには、今までと同じように搭載するコンピュータを増やしていくのではなく、複数ある仕事すべてに対して高速に反応できるコンピュ

タをひとつ搭載するという方法が現実的である。長年高速計算機の研究に携わってきた田中助教授は、組み込みシステムにおいてもスピード、反応性に特化した研究を展開している。

ハード・ソフト両面の提案

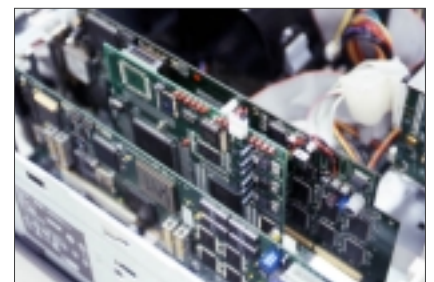
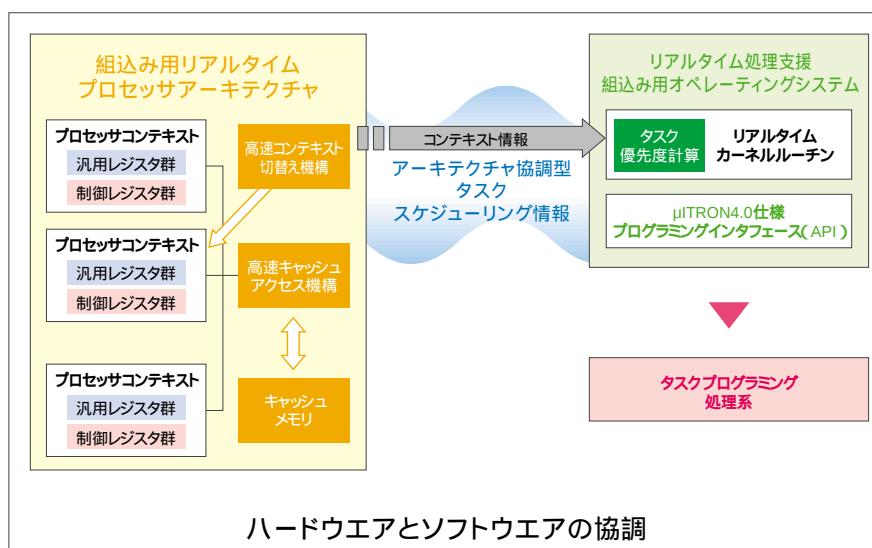
組み込みシステムのOSでは、タスクをどの順序で処理するかというタスクスケジューリングが非常に重要である。現在主流となっているOSでは、システム開発者がタスクの優先度を固定して決め、その順番に実行していく。もし適切な優先度を与えていなければ、あるタスクはうまく処理できるが別のタスクは間に合わないという状況が起こりうる。そこで助教授は、実行状況においてタスクが複数ある場合に、システム開発者が考えた優先度は低くてもデッドラインが迫っているタスクは優先して実行するなど

状況をその時々判断して実行順序を変えるOSを研究している。

「コストを抑えて性能を高めるためには、ハードウェアだけ、ソフトウェアだけということではなく、両方を考えて開発しなければなりません。両者が協調して初めて全体としての性能を確保することを目指しています」。田中助教授の研究スタンスは、テーマとして始めことは、必ず“もの”にすることまでやるということ。具体的にはネットワークの通信制御を行う組み込みCPUを設計・作成し、ネットワーク用の基板に実装して評価している。データ上では圧倒的な速さが確認されており、今後はユーザーの使いやすさを考え、プログラムを含めたトータルな提案を考えていくことが課題となる。

自分自身が実践しているように、アイデアを机上のもので終わらせるのではなく、必ず“もの”にすることの大切さを学生にも説いている田中助教授。

「学生は将来、研究者になるかもしれないし、頭で考えるだけではなく実際に手を動かす技術者になるかもしれない。どちらにしても自ら設計・動かすという経験は必ず生きるし、何よりそこには大きな喜びがあります」。



Research Interests

北陸先端科学技術大学院大学 情報科学研究科

助教授 田中 清史

Associate Professor Kiyofumi Tanaka

田中研究室 情報科学棟II TEL:0761-51-1303 FAX:0761-51-1149
http://tlab-web.jaist.ac.jp:8080/
E-mail kiyofumi@jaist.ac.jp

主 な 研 究 テ ー マ

1)リアルタイム組込みシステム

私たちの生活環境において、携帯電話、家電製品、ネットワーク機器、自動車など、いたるところにコンピュータが組み込まれており、これらのほとんどでリアルタイム性が要求されています。今後の組込み機器の急速な普及、高機能化に対応するために、本研究室ではハードウェアと基本ソフトウェアの両面から効率の良いリアルタイム処理を実現する方式を研究しています。

組込み用リアルタイムRISCプロセッサの開発

組込みシステムに使用されるプロセッサは低コスト、低消費電力であることが要求されますが、それに加えて高速な応答性能が重要となっています。私たちはマルチコンテキストアーキテクチャと低コスト・高効率キャッシュメモリ制御による高速割込み応答機構を実現するリアルタイム組込みRISCコアCasablancaを研究開発しています。

リアルタイムオペレーティングシステムの開発

リアルタイムタスクの応答性向上のためには、オペレーティングシステムが行うタスクスケジューリング方式の選択が重要です。本研究室ではTRONなどの従来の組込みOSが提供する静的優先度割付けによるシステム開発スタイルを保ったまま、更にタスク実行時の動的に変化する時間属性を考慮して、可能な限りリアルタイム性を向上させる“ 適応型動的スケジューリング法 ”に基づくリアルタイム組込みOSを研究開発しています。



Casablanca搭載ギガビット通信カード

2)マルチスレッドプロセッサアーキテクチャ

計算機はマルチタスク環境で使用されていますが、これは各実行タスクが時分割でプロセッサを使用することにより実現されています。本研究では、タスク切り替えの際のレジスタ値やアドレス空間などのプロセッサコンテキストを入れ換える時間をゼロにするアーキテクチャを提案し、特にリアルタイムアプリケーションの実行を高速化する方法を研究します。本研究で提案する各種機構を持つプロセッサPRESTOR-1をハードウェア記述言語により新規に設計し、実際にLSIとして研究開発しました。



PRESTOR-1評価システム

3)並列計算機アーキテクチャ

大規模並列計算機において高速処理の障害となる通信ホットスポットの発生を回避するために、動的なメッセージの削減を可能とする高機能結合網の実現方式を研究しています。また、分散共有メモリの情報管理のための適応型ディレクトリ方式およびデータ一貫性管理方式を提案、評価しています。本研究では、提案する各種機構を実現するプロトタイプ並列計算機を研究開発しました。本計算機ではFPGAに回路を構築することによって各種機構を実現しています。



並列計算機プロトタイプ

Faculty Profile



北陸先端科学技術大学院大学 情報科学研究科

助教授 田中 清史

Associate Professor Kiyofumi Tanaka

< 学位 >

東京大学学士(理学) 1995) 東京大学修士(理学) 1997)

東京大学博士(理学) 2000)

< 職歴 >

東京大学リサーチアソシエイト (2000)、東京大学リサーチアソシエイト(2000)、科学技術振興事業団(現・科学技術振興機構)「機能と構成」研究員兼任(2001-2005)、北陸先端科学技術大学院大学情報科学研究科助教授 (2001-)

田中研究室 情報科学棟II TEL:0761-51-1303 FAX:0761-51-1149
http://tlab-web.jaist.ac.jp:8080/ E-mail kiyofumi@jaist.ac.jp

専門

計算機アーキテクチャ、並列計算機、組み込みシステム

主な研究課題

実時間マルチタスクプロセッサアーキテクチャ

リアルタイムかつ汎用マルチタスク環境における有効実行率を向上させる機構を確立する。タスク切替えの際、レジスタ値やアドレス空間などのプロセッサコンテキストを入れ換える時間をゼロにするためのアーキテクチャを提案し、特にリアルタイムアプリケーションのスケジューリングにおける制約条件を緩和する方式を研究する。

組み込みシステムアーキテクチャ

組み込みシステムに適した柔軟性のあるCPUコアを新規に開発し、オープンソースコードとして研究 / 開発を支援することを目的とする。また、本CPUコアの高速化機構を最大限有効利用し、かつ適応型動的優先度法に基づいたタスクスケジューリングを実現するリアルタイムOSを研究開発する。

並列計算機アーキテクチャ

並列計算機において高速処理の障害となるホットスポットの発生を回避するために、動的なメッセージの削減を可能とする高機能結合網の実現方式を研究する。また、共有データの情報管理のための適応型ディレクトリ方式を提案、評価する。

大規模データアプリケーションに適したメモリシステム

プロセッサ内のメモリを従来のキャッシュとして使用するのみでなく、再構成により大規模データに対処するための入出力バッファとして使用する方式、およびDRAM構造を利用した連続データアクセスを可能とするメモリコントローラの構成法を提案し、それらの協調動作により実現される高速大規模データアクセス機構を評価する。

主な著書・論文・講演発表

- ・ Casablanca II: Implementation of a Real-Time RISC Core for Embedded Systems, K.Tanaka, Proc. of the 16th International Conference on Application-specific Systems, Architecture and Processors, 2005
- ・ Real-Time Adaptive Task Scheduling, K.Tanaka, Proc. of International Conference on Embedded Systems and Applications, 2005
- ・ PRESTOR-1: A Processor Extending Multithreaded Architecture, K.Tanaka, International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, 2005
- ・ Area Efficient Wave-Pipelined Adder Using Redundant Binary Encoding, T.Yamamoto and K.Tanaka, Proc. of the Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.327-332, 2004
- ・ A Scalable and Adaptive Directory Scheme for Hardware Distributed Shared Memory, K.Tanaka T.Hagiwara, Proc. of 9th Asia-Pacific Conference, LNCS 3189, pp.539-553, 2004
- ・ Highly Functional Memory Architecture for Large-Scale Data Applications, K.Tanaka, T.Fukawa, Proc. of IEEE International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, pp.109-118, 2004

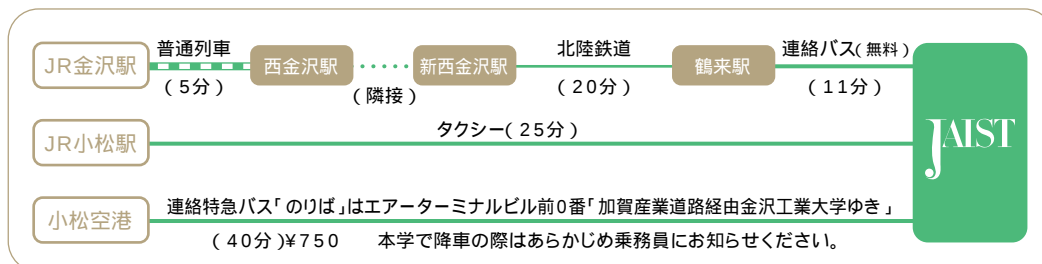
- ・ 適応型動的優先度法によるタスクスケジューリング, 田中清史, 栗谷一路, 組み込みソフトウェアシンポジウム論文集, Vol.2003, No.13, pp.56-63, 2003
- ・ Fast Context Switching by Hierarchical Task Allocation and Reconfigurable Cache, K.Tanaka, Proc. of IEEE International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, pp.20-29, 2003
- ・ Casablanca: A Real-Time RISC Core for Embedded Systems, K.Tanaka, T.Matsumoto, International Conference on Advances in Infrastructure for Electronic Business, Science, and Education on the Internet, 2001
- ・ On Scalability Issue of Directory Schemes of Hardware Distributed Shared Memory, K.Tanaka, T.Matsumoto, K.Hiraki, The Ninth Workshop on Scalable Shared Memory Multiprocessors, 2000
- ・ 軽いハードウェアによる分散共有メモリ機構, 田中清史 松本尚 平木敬, 情報処理学会論文誌, 40, 5, pp.2025-2036, 1999
- ・ Lightweight Hardware Distributed Shared Memory Supported by Generalized Combining, K.Tanaka, T.Matsumoto, K.Hiraki, Proc. of the 5th International Symposium on High-Performance Computer Architecture, pp.90-99, 1999

国際貢献・国内貢献等

- ・ 情報処理学会, 電子情報通信学会, ACM, IEEE Computer Society 会員
- ・ 情報処理学会算機アーキテクチャ研究会運営委員 2002-
- ・ 情報処理振興事業協会, 未踏ソフトウェア創造事業に係る研究開発, 2001/08/20 - 2002/02/28
- ・ 科学技術振興事業団, さきがけ研究21「機能と構成」研究者, 2001/12/01 - 2005/03/31

共同研究の希望テーマ

- ・ 組み込みプロセッサの開発
- ・ リアルタイムオペレーティングシステムの開発



JAPAN ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY

国立大学法人 北陸先端科学技術大学院大学

〒923-1292 石川県能美市旭台1-1 TEL:0761-51-1111(代表)
<http://www.jaist.ac.jp/index-jp.html>

産学連携に関するお問い合わせ

先端科学技術研究調査センター

TEL 0761-51-1070 FAX 0761-51-1944

E-mail ricenter@jaist.ac.jp HPアドレス <http://www.jaist.ac.jp/ricenter/index.html>

学術協力課 連携推進室 産学連携係

TEL 0761-51-1906 FAX 0761-51-1919 E-mail renkei@jaist.ac.jp

田中研究室

TEL:0761-51-1303 FAX:0761-51-1149

<http://tlab-web.jaist.ac.jp:8080/> E-mail kiyofumi@jaist.ac.jp