

第一原理 DVX α 計算専用計算機 EHPC-DVX α の開発

佐々木 徹^a, 長嶋 雲兵^{b*}

^a (株) アプリオリ・マイクロシステムズ,

〒 223-8522 横浜市港北区日吉 3-14-1, 慶應義塾先端科学技術研究センター 14-605

^b 産業技術総合研究所グリッド研究センター, 〒 305-8568 つくば市梅園 1-1-1

*e-mail: u.nagashima@aist.go.jp

(Received: July 7, 2003; Accepted for publication: September 26, 2003; Published on Web: October 7, 2003)

DVX α 法に基づく第一原理分子軌道計算の計算時間の 90 % 以上の部分を占める行列要素算出部分を並列化し、そのプログラムを効率よく実行させるために、科学技術計算専用ロジック組み込み型プラットフォーム・アーキテクチャ EHPC に基づく DVX α 法専用分散並列計算機 EHPC-DVX α を開発した。EHPC-DVX α の 1 ユニットは、Pentium III (動作周波数 400MHz、主記憶 256MB、ハードディスク容量 20GB) をもつ PC をホストとして汎用 CPU (SH4) (動作周波数 200MHz メモリ容量 64MB) 28 からなるアクセラレータを持つ。

Si₇₈B₆H₅₃ クラスターの計算をホストのみで実行した場合に比べ、1 つの EHPC-DVX α ユニットを用いた並列分散処理では 20 倍程度の高速化が実現され、スーパーリニアスピードアップを観測した。

これにより Pentium III 1 個からなる PC では計算時間の 90% 以上を占めていた行列要素生成ステップは、4 ユニット (112CPU) を用いた場合、50% 以下に計算時間が短縮した。

キーワード: 第一原理 DVX α 計算, 専用計算機, スーパーリニアスピードアップ, PC-クラスター

1 はじめに

非経験的分子軌道法は、さまざまな機能性分子の設計や開発に対して最も基本的かつ重要な手法である。しかし、その計算量はもっとも単純な Hartree-Fock 計算の場合でも、系のサイズのほぼ 4 乗に比例するため、生体内や固体表面での化学反応解析等の大規模系の電子状態計算には膨大な計算コストが必要になる。現実的には、非経験的分子軌道法は、設計したい大きさの大規模分子系ではなく、それを簡素化した小規模モデル分子への適用がせいぜいである。1990 年代前半までは数十原子の分子軌道計算でさえ、その当時のスーパーコンピュータを必要としていた。1990 年代後半における計算機の進歩、特にスーパーコンピュータや高性能ワークステーションといった大規模並列計算機の進歩により、ようやく生体分子などの高分子を意識した 100 原子を超える分子軌道計算 [1–5] が行われつ

つある。しかし、スーパーコンピュータや高性能ワークステーションといった大規模並列計算機は高価であり、かつ設備の維持管理も大変であるため、研究者が研究室レベルで「現実を反映した大規模分子系」の分子軌道計算を実現することは容易なことではない。

「現実を反映した大規模分子系」の分子軌道計算を、「低コスト = パーソナルユース」で実現するためには、計算量を軽減する大胆な近似法を取り入れ、さらに有効なアルゴリズムの開発に加え、計算機の性能を飛躍的に向上させることが必須である。

計算量を軽減するためには、2 つの方法がある。一つは、経験的または半経験的分子軌道法のように必要な計算をまともに行う代わりに実測値を用いて計算量を削減する方法である。この方法は演算量が大幅に軽減されるにも関わらず、炭化水素などの系では計算される物理量が実測値をよく再現することから、MOPAC[6] のように非常に広範囲に利用されている。

有機化学反応におけるフロンティア軌道理論や遷移状態理論などの普及は、経験的または半経験的分子軌道法なしには考えられなかった。しかしながら、経験的または半経験的分子軌道法は、実測が無い系や金属のように周辺の環境によって様々な状態を容易にとる系には利用できない。さらに計算結果の信頼性にばらつきがあることがよく知られている。他の方法は、実測値をパラメータとして用いる代わりに、本論文で取り扱う DVX α 法 [7] のように、ハミルトニアンに近似を導入することで計算すべき積分自体を簡素化して計算量を軽減する方法である。DVX α 法の演算量は、原子数のほぼ 3 乗に比例する演算量となる。DVX α 法のように近似ハミルトニアンを用いる計算法は、計算量や結果の信頼性などの面から非経験的分子軌道法と半経験的分子軌道法の間位置づけられている。この方法は経験的パラメータを陽に含まないことから、第一原理分子軌道計算または第一原理計算と呼ばれている。

他方、計算機の性能を飛躍的に向上させるための試みは、分子軌道計算法の持つ高い並列性を背景にして、パソコンなどによる並列分散処理システム (PC クラスタ) の構築 [8] や専用計算機の開発等 [9–12] などがある。DVX α 法の専用計算機システムもすでに佐々木ら [13] により開発されており、並列化により高性能をあげることが報告されている。

そこで、本研究では DVX α 法を用いて計算量を軽減し、さらにより簡便な専用計算機システムを構築す

る試みとして、科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャEHPC[14–18]に基づく DVX α 法専用分散並列計算機を開発して計算速度の向上をはかることで、「現実を反映した大規模分子系」の分子軌道計算を「低コスト＝パーソナルユース」で実現するシステムの開発を行ったので報告する。

2 DVX α 法計算専用計算機

第一原理分子軌道計算法の一つである DVX α 法は計算精度の面ではやや不満があるものの、STM シミュレータ [19–23] に使用されるなど物質材料の第一原理計算を行う上では手頃な手法であり、その物質材料設計に対する有用性は大きい。また、手法そのものが高いい並列性を持っているため、PC クラスタなどでも容易に並列化が可能である。

新たに作成した専用計算機のハードウェア構成を Figure 1 に示す。Figure 2 は EHPC ボードと 1 ユニットシステム上でのデバッグの様子である。Figure 3 は、4 ユニットシステムの外観である。

最小構成単位は 1 ユニットに Compact PCI バックプレーンを備え、PC 互換 Compact PCI カード 1 枚と EHPC 基板 7 枚をバックプレーンに挿入して、互いに Compact PCI バスによって接続したものである。このユニットを 4 つ用意し、個々の PC 基板のネットワーク I/F をハブで接続して、4 ユニットシステムを構成している。

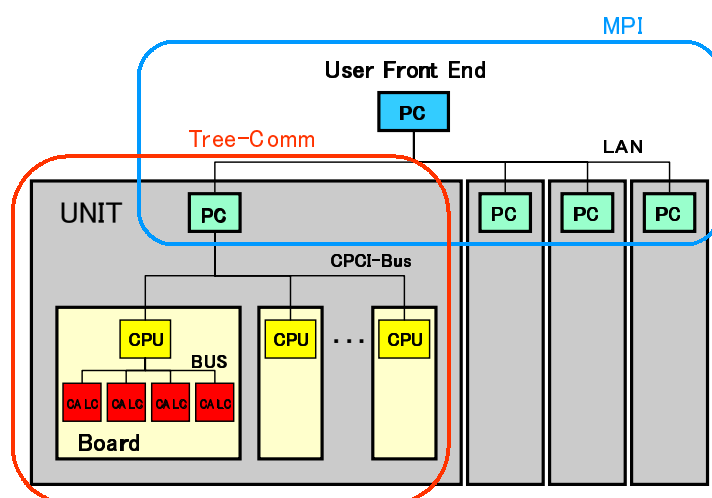


Figure 1. Hardware configuration of the four units system.

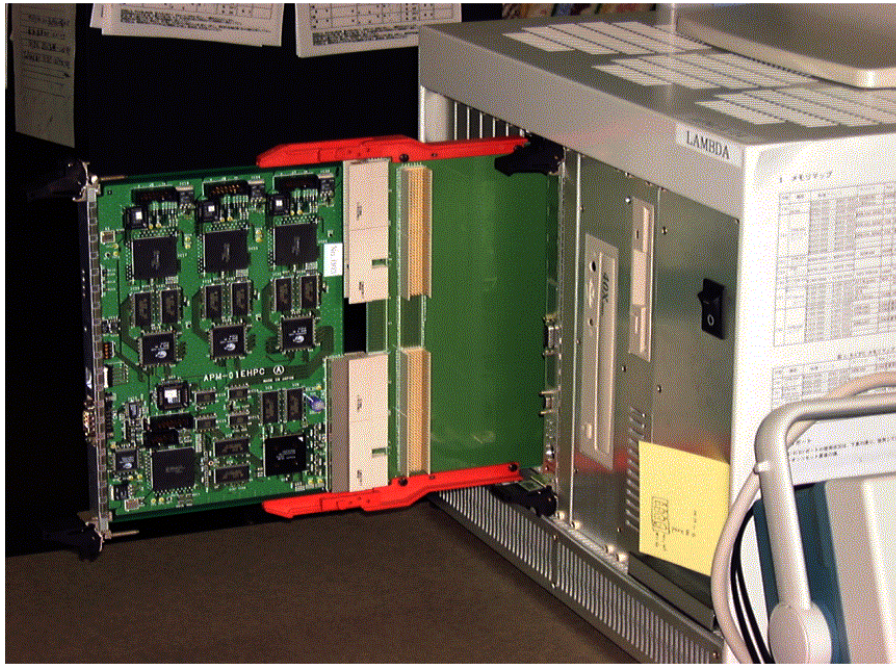


Figure 2. The EHPC board and the debugging view.



Figure 3. Front view of the four EHPC units system.

1 ユニットのうちホスト PC (Figure 1 の青で示した PU) の諸元は、CPU Pentium III 400MHz、主記憶 256MB、ハードディスク容量 20G バイトであり、並列アクセラレータボード諸元は、プロセッサエレメント (Figure 1 の赤で示した PU、Figure 2 のボードの上側 3 つと下側左の LSI): CPU 日立製作所製 7750 (SH4) 動作周波数 200MHz、メモリ容量 64M バイトプロセッサ間通信用共有メモリ 128K バイト、ホストインターフェース (Figure 1 の黄色で示した PU、Figure 2 のボードの下側右の LSI): 日立超 LSI 製 PCI ブリッジ、通信用共有メモリ 64M バイトである。

ソフトウェア動作環境は、ホスト OS : Linux、並列ライブラリ : MPICH であり、並列アクセラレータボード OS : 日立製 μ ITRON、対ホスト - ボード内通信ライブラリ : Tree-Comm である。Tree-Comm は EHPC プロジェクトにおいて開発された通信ライブラリーである。

システム全体としては PC ボード Pentium 400MHz メモリ容量 256MB $\times$ 4 枚、汎用 CPU (SH4) 200MHz メモリ容量 64MB 4 個搭載のボード $\times$ 28 枚という計算資源を有している。従って、全メモリ量は 8GByte、CPU 数は Pentium 4 個、SH4 が 112 個である。

3 性能評価

ベンチマークテストとして佐々木ら [13] が用いた、P 型半導体の表面に H 原子が吸着したものをモデル化した 135 原子からなる $\text{Si}_{78} \text{B}_6 \text{H}_{53}$ クラスター (135 原子) を用いた。評価方法はハードウェアの構成を (1)EHPC マシンのホスト PC のみを用い PC の台数を 1 ~ 4 台と変化させ実時間を測定する。(2)EHPC-UNIT (PC1 台 + EHPC ボード 7 枚) の台数を 1 ~ 4 台のように変化させ、全体の実時間と並列動作する秒列要素生成ステップの演算時間を測定する。

SCF 反復 1 回の計算時間をホストの Pentium III (400MHz) 1 つだけで計算した場合と 4 つの CPU を用いた場合をそれぞれ Table 1 に示す。

1PC での実行時間をみると、逐次計算ではサンプル点の増加に従い行列要素算出のステップの比率が大きくなっていることが分かる。計算結果に対して 5 桁程度の精度を出すためには 1 原子につきサンプル点として 300 点程度必要であるから、表中の 32,768 点が現実的な計算規模である。32,768 点の計算を Pentium III 単体で実行した場合には、処理時間の 97% 以上が行列要素の生成に費やされている。

Table 1. Wall-clock time for one SCF iteration on one PC and on four PCs in sec.

1PC	Number of Sample points		
	8192	16384	32768
Spherical potential generation	1	1	0
Matrix Elements generation	276	552	1166
Diagonalization	14	14	13
Density reconstruction	3	3	3
Total	294	570	1182
4PC	Number of Sample points		
	8192	16384	32768
Spherical potential generation	1	1	1
Matrix Elements generation	72	139	277
Diagonalization	13	14	13
Density reconstruction	3	4	3
Total	89	158	294

そのため、プログラムの並列化は行列要素生成のステップにのみ行われた。4つのPCを使用して並列処理を行うと、4倍以上の性能向上が観測される。特に、行列要素算出のステップだけみると4つのPCを用いた並列計算機により4倍以上の高速化が図られており、理論性能限界の4倍を超えたスーパーリニアスピードアップが観測されている。これは、並列化によってプロセッサ一台あたりの問題サイズが小さくなり、キャッシュミスなどのメモリアーキテクチャに起因するボトルネックが解消されたためである。このように DVX α 法は非常に並列化効率の高い計算法である。

Table 2 に 1 ユニット (Pentium III 400MHz 1 + SH4 200MHz 28) での SCF 反復 1 回の計算時間を示した。1PC の場合に比べると 19 倍程度の性能向上が観測されていることが判る。SH4 の動作周波数が 200MHz であるので、SH4 の性能が Pentium III(400MHz) の 1/2 の性能であると仮定すると、15 倍が理論性能限界であるが、ここでもスーパーリニアスピードアップが観測された。

Table 3 に 1 回の行列要素生成にかかる実時間を示

した。Table 4 には Speed UP を示した。PC の場合、一番計算時間のかかる 32768 点のサンプリングでは、4PC までスーパーリニアスピードアップが観測されている。ところがユニットをもちいると、4ユニットで性能向上率が落ちている。4ユニットの場合行列要素の計算は固有値計算とほぼ同等の計算コストしかかからないことが判る。4PC の場合と比較しても4ユニットの場合ほぼ 20 倍の性能がでており、非常に高い効率で並列処理が実行されていることが判る。残念なことに、固有値計算等が並列化されていないため、その逐次部分 16 秒と 4 ユニットでの行列要素生成 13 秒を足すと、4 ユニットを用いても実時間は 30 秒程度かかることになる。この時行列要素生成ステップの全計算時間に対する比率は 50%以下となっている。もちろん 1PC の場合に比べると 40 倍程度の性能となる。此処まで来ると並列化されないステップの比率が大きくなり、4 ユニットを使っても 1 ユニット場合の約 2 倍の性能しか出すことができない。より大きな問題を解けば、より効率が高くなるが、アルゴリズム的にみて次の問題は固有値計算の並列化であることがわかる。

Table 2. Wall-clock time for one SCF iteration on one EHPC Unit in sec.

1UNIT	Number of Sample points		
	8192	16382	32762
Spherical potential generation	1	1	0
Matrix Elements generation	12	24	48
Diagonalization	14	13	13
Density reconstruction	3	3	3
Total	30	41	64

Table 3. Wall-clock time of matrix elements generation in sec.

Matrix Element Generation	Number of Sample points		
	8192	16384	32768
1PC	276	552	1166
2PC	139	276	552
3PC	93	185	370
4PC	72	139	277
Matrix Element Generation	Number of Sample points		
	8192	16384	32768
1UNIT	12	24	48
2UNIT	7	13	24
3UNIT	5	9	16
4UNIT	5	7	13

Table 4. Speed up of 1-4 PC's and 1-4 units.

No.PC	8192	16384	32768
1	1	1	1
2	1.985	2	2.112
3	2.967	2.983	3.151
4	3.833	3.971	4.209
No.Unit	8192	16384	32768
1	1	1	1
2	1.714	1.846	2
3	2.4	2.666	3
4	2.4	3.428	3.692

Table 5 に本システムと産業技術総合研究所先端情報計算機センターに設置されたスーパーコンピュータ Hitach SR8000/64 の性能と電気使用量、体積を示した。SR8000/64 は 2002 年の 11 月時点で Top500 の 99 位である。EHPC は理論ピーク性能が約半分であるが、使用電力は 1/100、体積は 1/30 である。運用経費は非常に少ない。価格比は正確ではないが 1/1000 程度である。EHPC は非常に低価格で高性能な DVX α 法の計算環境を実現していることがわかる。

4 まとめ

DVX α 法に基づく第一原理分子軌道計算の計算時間の 90 % 以上の部分を占める行列要素算出部分を並列化し、そのプログラムを効率よく実行させるために、科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャ EHPC に基づく DVX α 法専用計算機 EHPC-DVX α を開発した。

Si₇₈B₆H₅₃ クラスタの計算をホストのみで実行した場合に比べ、1 つの EHPC-DVX α ユニットの用いた並列分散処理では 20 倍程度の高速化が実現された。これにより Pentium III 1 個からなる PC では計算時間の 90% 以上を占めていた行列要素生成ステップは、4 ユニット (112CPU) を用いた場合、50% 以下に計算時間が短縮した。またスーパーリニアスピードアップを観測した。

DVX α 法の持つ並列性を活かし、専用計算機で高速化することができた。DVX α 法の並列処理は特にサンプルポイントの数が大きくなるほど効果が大きく、計算全体では 118 プロセッサで 40 倍程度の性能向上を見た。並列処理を行った行列要素算出のステップに限

Table 5. Cost /performance of EHPC and SR8000/64.

Computer	EHPC	SR8000/64 (99th of Top500 in Nov., 2002)
Processors	112	512
Peak GFlops	224	512
Elec. Power(KW)	2	212
Volume(m ³)	0.79	27.7

れば、100 倍程度の高速化を実現し、スーパーリニアスピードアップを観測した。

これをさらに発展させて、計算負荷の大きい計算ステップを抽出し、それを専用 LSI 化することによって高速化する試みに着手した。基盤となるシステムを共通化することにより様々な分野の専用 LSI にも適合できるようなシステム構成を目指している。

本研究の一部は科学技術振興調整費 総合研究「科学技術計算専用ロジック組込み型プラットフォーム・アーキテクチャに関する研究」によるものである。また、研究環境を提供して頂いた慶應義塾大学先端科学技術研究センター、いくつか有用な御議論をいただいた MOE 研究会、東京大学の塚田 捷教授、日本大学の里子允敏教授を始めとする CMS フォーラムのみなさまに深く感謝する。

参考文献

- [1] Alsenoy, C. V., Yu, C. H., Peeters, A., Martin, J. M. L., and Schafer, L., *J. Phys. Chem.*, **102**, 2246-2251 (1998).
- [2] Challacombe, M., and Schwegler, E, *J. Chem. Phys.*, **106**, 5526-5536 (1997).
- [3] Mattson, T. G., *Parallel computing in computational chemistry*, ACS Symp. Series (1995).
- [4] McWeeny, R, *Method of molecular quantum mechanics*, 2nd edition, Academics (1989).

- [5] Sakuma, T., Kashiwagi, H., Takada, T., and Nakamura, H., *Int. J. Quantum Chem.*, **61**, 137-152 (1997).
- [6] Deware, M. J. S., Zoebitsch, E. G., Healy, E. F., and Stewart, J. J. P., *J. Am. Chem. Soc.*, **107**, 3902 (1985).
Stewart, J. J. P., *MOPAC93.00*, Fujitsu Ltd., Tokyo, Japan (1993).
Available from Quantum Chemistry Program Exchange, University of Indiana, Bloomington, IN, USA.
- [7] 例えば、
里子允敏、大西梢平、密度汎関数法とその応用、分子・クラスターの電子状態、講談社サイエンティフィック (1994).
- [8] 分子軌道計算関係では、ベストシステムズ社 (<http://www.bestsystems.co.jp>) 等が、分子軌道計算プログラムを並列化し、それを搭載した PC クラスタを製造販売している。
- [9] 村上和彰, 小原 繁, 長嶋雲兵, 網崎孝志, 田辺和俊, 北尾 修, 北村一泰, 高島 一, 宮川宣明, 稲畑深二郎, 山田 想, *CICSJ Bulletin*, **16**, 6-12 (1998).
- [10] 小原 繁, 村上和彰, 長嶋雲兵, 網崎孝志, 田辺和俊, 北尾 修, 北村一泰, 高島 一, 宮川宣明, 稲畑深二郎, 山田 想, *CICSJ Bulletin*, **16**, 2-5 (1998).
- [11] 稲畑深二郎, 山田 想, 大澤 拓, 沖野晃一, 富田裕人, 橋本浩二, 早川 潔, 宮川宣明, 村上和彰, 電子情報通信学会技術報告, **ICD98-21**, 77-84 (1998).
- [12] <http://kasuga.csce.kyushu-u.ac.jp/~moe/index-j.html>
- [13] Sasaki, T., Nagashima, U., Tsukada, M., *J. Chem. Software*, **6**, 165 (2000).
- [14] 佐々木徹, 荒木健悟, 石橋政一 (アプリオリ・マイクロシステムズ), 大谷泰昭 (富士総研), 長嶋雲兵 (融合研), 溝口大介 (アプリオリ・マイクロシステムズ), 村上和彰 (九大), SWoPP2000(Summer United Workshops on Parallel, Distributed and Cooperative Processing: 並列/分散/協調処理に関するサマー・ワークショップ), 情報処理学会研究報告, **2000-HPC-82**, 7-11 (2000).
- [15] 村上和彰, 稲垣祐一郎, 上原正光, 大谷康昭, 小原 繁, 小関史朗, 佐々木 徹, 棚橋隆彦, 中馬 寛, 塚田 捷, 長嶋雲兵, 中野達也, 科学技術計算専用ロジック組み込み型プラットフォーム・アーキテクチャの開発 - プロジェクト全体像 -, 情報処理学会研究報告, **2000-HPC-82**, 1-6 (2000).
- [16] 戸川勝巳, 上原正光, 小原 繁, 波多江秀典, 村上和彰, 情報処理学会研究報告, **2000-HPC-82**, 13-18 (2000).
- [17] 溝口大介, 荒木健悟, 石橋政一, 佐々木徹 (アプリオリ・マイクロシステムズ), 棚橋隆彦 (慶大), 長嶋雲兵 (融合研), SWoPP2000(Summer United Workshops on Parallel, Distributed and Cooperative Processing: 並列/分散/協調処理に関するサマー・ワークショップ), 情報処理学会研究報告, **2000-HPC-82**, 19-24 (2000).
- [18] 中村 健太, 波多江 秀典, 原田 宗幸, 上原 正光, 佐藤 比佐夫, 小原 繁, 本田 宏明, 長嶋 雲兵, 稲富 雄一, 村上 和彰, 計算機アーキテクチャ147-13 ハイパフォーマンスコンピューティング 89-13, 情報処理学会研究会報告, **HOKKE2002** (2002).
- [19] Watanabe, S., Aono, M., and Tsukada, M., *J. Vac. Sci. Technol. B*, **12**, 2167 (1994).
- [20] Watanabe, S., Aono, M., and Tsukada, M., *Phys. Rev. B*, **44**, 8330 (1991).
- [21] Uchiyama, T. and Tsukada, M., *J. Vac. Sci. Technol. B*, **12**, 2205 (1994).
- [22] Uchiyama, T. and Tsukada, M., *Surface Science*, **313**, 17 (1994).
- [23] Kobayashi, K. and Tsukada, M., *Phys. Rev. B*, **49**, 7660 (1994).

Development of a Special Purpose Parallel Computer, Embedded High Performance Computer (EHPC) for the First Principles DVX α Calculations

Tohru SASAKI^a and Umpei NAGASHIMA^{b*}

^aA-Priori Microsystems, Inc.

14-605, Keio Leading-edge Laboratory of Science and Technology,

3-14-1 Hiyoshi, Kohoku-ku, Yokohama, Kanagawa 223-8522, Japan

^bGrid Technology Research Center, National Institute for Advanced Industrial Science and Technology

1-1-1 Umezono, Tsukuba, Ibaraki 305-8568, Japan

**e-mail: u.nagashima@aist.go.jp*

We developed a special purpose parallel computer: Embedded High Performance Computer (EHPC) for the first principle DVX α calculations, which realizes super high performance and cost-down for large scale first principle material simulation.

An EHPC unit consists of one host-board (Pentium III 400MHz) and 7 acceleration-boards. Four general purpose processors (SH4 200MHz) are equipped on a board. The EHPC unit has 28 processors connected to each other by Compact PCI-bus.

The step of matrix elements generation where more than 90% computation time is required was efficiently parallelized on the system. In the case of Si₇₈B₆H₅₃ cluster, the special purpose computer with four EHPC units is almost 100 times faster than a lone Pentium III processor. Super-linear speed up has been observed at the matrix elements generation step.

Keywords: First principles DVX α calculation, Special purpose computer, Super-linear speed up, PC-cluster