【 F I 】H01L27/10,447; G11C11/15,110; H01L43/08[®]S
【技術名称】1 - 4 - 2 - 1 ワード線をメモリ素子の上下に配置した(wraparound)配線構造

【技術内容】

PSV (擬スピンバルブ)素子をメモリセルとする MRAM では一連の PSV セルを直列につなぐビット線 とビット線に直交しこれと絶縁されたワード線に流す電流でメモリの書き込み、読み出しを行う。ワー ド線の書き込み電流を低下させることは、消費電力の低減、配線のエレクトロマイグレーション防止 のため重要である。

一つの PSV セルをはさむ形で上下にワード線を配置(wraparound 配線)し上下のワード線にお互い に逆方向の電流を流すことにより上下のワード線がその間の PSV セルに同じ方向の磁場を与える。図 1 に示すように、上部に1本、下部に2本のメタル線を置き下部右 上部 下部左の順に直列接続す ることにより、上部電極と下部電極は PSV セルの位置に同じ方向の磁場を作る。したがって、1本の ワード線で書き込む場合に比べてより少ない電流で書き込むことができる。

wraparound 配線では、ワード線とビット線が作る磁場はその交点すなわち PSV セルの中心部で最大 となり、セルの両端に向けて弱くなる。書き込み時の磁化の反転は PSV セルの中央で始まり両端に広 がる。1本ワード線と比べて wraparound 配線のほうが電流が小さく、反転電流のウェーハ内および ウェーハ間ばらつきが大幅に小さい。

【図】

図1 ワード線をメモリセルの上下に配した "wraparound" 配線構造の模式図。



Prototype MRAM Cell

出典:「High density submicron magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.85 No.8」、1999年4月15日、TEHRANIS、CHENE、DURLAMM、DEHERRERAM、SLAUGHTERJM、SHIJ、KERSZYKOWSKIG著、American Institute of Physics 発行、5824頁 Fig. 6. schematic of the memory cell element with a wraparound word metal.

【出典 / 参考資料】

「High density submicron magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.85 No.8」、1999 年 4 月 15 日、TEHRANI S、CHEN E、DURLAM M、DEHERRERA M、SLAUGHTER J M、 SHI J、KERSZYKOWSKI G 著、American Institute of Physics 発行、5822-5827 頁

[F I] H01L27/10,447; G11C11/15,110; H01L43/08@S

【技術名称】1 - 4 - 2 - 2 形状異方性を持つパーマロイを記憶素子とした MRAM の構造

【技術内容】

ナノ構造のパーマロイ(例えば0.3µ×0.2µ×100オングストローム厚)は0.3µ方向に容易磁化 軸を持ち、1000e以上の異方性を示す。また記憶は、室温環境下で実用上十分な保持時間を持つと予 測される。このような磁性体を記憶素子としてもつGMRをセンスラインとして使うMRAM構造を提案し た。

図1は形状異方性メモリ部と GMR センスラインを持つ MRAM セルを示している。センスラインの磁化 方向はセンスラインに沿っている。パーマロイメモリー記憶部は、その長軸がワードラインに沿って いる。メモリの状態(0か1か)はセンスラインの電流の方向で決められるがこのとき同時にワード ラインにも電流が流される。

(書き込みのための)100 0e の磁場を作り出すためには 100 オングストロームの膜厚の場合 1.6×10⁸ A /cm²の電流密度になり、これは通常の半導体と比べて数桁高いがタングステンとパーマロイはこの レベルにたえるはずである。

このような構造のメモリセルは、100nm 線幅で動かすことが出来、20%の磁気抵抗を持つ GMR を使 えば、現状の不揮発メモリと比べて同等の読み出し時間と、よりすぐれた書き込み時間および書き込 み回数を可能にする。

【図】

図1 形状異方性メモリ部と GMR センスラインを持つ MRAM セル



出典:「GMR Random Access Memory and Magnetic Field Sensors.」、「日本応用磁気学会研究会資料 Vol.88」、1995 年 1 月、DAUGHTON J M 著、社団法人日本応用磁気学会発行、88 頁 Fig.12 GMR Memory Cell with Shape. Anisotropy Storage and a GMR Sense Line

【出典 / 参考資料】

「GMR Random Access Memory and Magnetic Field Sensors.」、「日本応用磁気学会研究会資料 Vol.88」 1995 年 1 月、DAUGHTON J M 著、社団法人日本応用磁気学会発行、83 - 89 頁

【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 3 コンタクトを使ったSDTセルと配線の接続

【技術内容】

MRAM に使われる SDT (spin dependent tunneling、あるいは MTJ とも呼ばれる) セルは、下部磁性 層/バリア層/上部磁性層の構造をとり、上部磁性層と下部磁性層の磁化方向が平行あるいは反平行状 態かをそれぞれメモリ0、1の状態としている。磁化方向の平行、反平行により変わるトンネル抵抗 を利用して、上部磁性層 - バリア層 - 下部磁性層に一定の電圧をかけ、電流の大小でトンネル抵抗を 測定する。

図1は、SDT素子の実験に使われた配線構造で、SDTを覆う絶縁体を貫通するコンタクトホールを開け、この部分に配線材料を埋め込んで上部磁性層と下部磁性層に接続するコンタクトを形成している。 コンタクトの上に Cu などの導電体層を形成して外部測定端子に接続する。

【図】

図1 フォトリソグラフィーを使って作成した実験用 SDT 素子の模式図。



出典:「Magnetic tunneling applied to memory (invited)」、「J. Appl. Phys. Vol.81 No.8 Pt.2A」、1997年4月15日、DAUGHTON J M 著、American Institute of Physics 発行、3760頁 FIG. 3. Schematic diagram of an experimental SDT device processed by photolithography.

【出典 / 参考資料】

「Magnetic tunneling applied to memory (invited)」、「J. Appl. Phys. Vol.81 No.8 Pt.2A」 1997年4月15日、DAUGHTON J M 著、American Institute of Physics 発行、3758-3763頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,120 【技術名称】1 - 4 - 2 - 4 ワード線、センス線配置

【技術内容】

線幅を 1.5~0.25 µm、アスペクト比(長さ/幅)を 10 以上としたスピンバルブ MRAM を製造してテ ストした。

図1はデバイスの断面図を示す。デバイスは次の手順で製造された。

- (1) スピンバルブフィルムを FeMn 反強磁性ピン層とともに窒化珪素でコーティングされたシリコン基板上にスパッタリングする。
- (2) フィルム層の構成は Si₃N₄/Ni₆₅Fe₁₅Co₂₀(7nm)/Co₉₅Fe₅(1.5nm)/Cu(3nm)/Co₉₅Fe₅(1.5nm)/Ni₆₅Fe₁₅Co₂₀(2nm)/Fe₅₀Mn₅₀(1 5nm)である。
- (3) フィルムをセルにパターン付けした後、セルをセンス線に接続する金属線をデポする。
- (4) セルの長さ方向にスイッチ磁場を付与するためのワード金属線を形成する。

【図】

図1 メモリデバイスの断面図



Substrate

出典:「Submicron spin valve magnetoresistive random access memory cell」、「Journal of Applied Physics Vol.81 No.8」、1997年4月15日、CHEN E Y、TEHRANI S、ZHU T、DURLAM M、GORONKIN H 著、American Institute of Physics 発行、3992頁 Fig.1 Cross-section drawing memory device.

【出典 / 参考資料】

「Submicron spin valve magnetoresistive random access memory cell」、「Journal of Applied Physics Vol.81 No.8」、1997年4月15日、CHENEY、TEHRANIS、ZHUT、DURLAMM、GORONKINH 著、American Institute of Physics発行、3992-3994頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,120 【技術名称】1 - 4 - 2 - 5 クロスポイント構造(simple matrix)

【技術内容】

MRAM に使える MTJ セルのクロスポイント構造における特性を調べるために、17 個の面積~0.3×0.8 (μm)²の MTJ を含む試験チップを試作した。

図 1(a)は MTJ の断面 TEM 透過写真で、上部のビット線と4つのワード線の間にはさまれた4つの MTJ を示している。MTJ は~0.3×0.8(µm)²であり、短軸方向に切断されている。配線は AI₉₆Cu₄であ る。

図 1(b)単一の MTJ の高倍率の断面 TEM 透過写真とセル構造の模式図を示す。MTJ は直接ワード線の 上に堆積させるのではなく平滑な表面が作りやすい SiO₂絶縁層の上に積層した。MTJ の下部電極は読 み出しのために電気的な接続が必要なため、薄い金属の横方向の電極、図では MX で示す、を置き隣接 するビアを通じて下部のメタル (M2) に接続している。

【図】

図1 MTJの断面 TEM 透過写真。(a) 4 つの隣接する MTJ、および(b) ワード線の上に積層した SiO₂ の上に MTJ を積層したことを示す単一の MTJ 像。模式図は断面図の説明をするためのもの。



出典:「Exchange-biased magnetic tunnel junctions and application to nonvolatile magnetic random access memory (invited)」、「J. Appl. Phys. Vol.85 No.8」、1999年4月15日、S.S.Parkin、K.P.Roche、M.G.Samant、P.M.Rice、R.B.Beyers、R.E.Scheuerlein、E.J.O'Sullivan、S.L.Brown、J.Bucchigano、D.W.Abraham、Lu Yu、M.Rooks、P.L.Trouilloud、R.A.Wanner、W.J.Gallagher 著、American Institute of Physics 発行、5832頁 FIG. 6. Cross section transmission electron micrograph of an MTJ test site chiplet showing (a) a series of four neighboring MTJs and (b) a single MTJ cell illustrating the deposition of the MTJ on a SiO₂ layer above a word line. The cartoon describe the cross section.

【出典 / 参考資料】

「Exchange-biased magnetic tunnel junctions and application to nonvolatile magnetic random access memory (invited)」、「J. Appl. Phys. Vol.85 No.8」、1999 年 4 月 15 日、S.S.Parkin、 K.P.Roche、M.G.Samant、P.M.Rice、R.B.Beyers、R.E.Scheuerlein、E.J.O'Sullivan、S.L.Brown、 J.Bucchigano、D.W.Abraham、Lu Yu、M.Rooks、P.L.Trouilloud、R.A.Wanner、W.J.Gallagher 著、American Institute of Physics 発行、5828-5833 頁

【 FI】】H01L27/10,447;G11C11/15,110;H01L43/08@S;G11C11/15,116 【技術名称】1 - 4 - 2 - 6 スピンバルブをメモリセルとしGaAsダイオードをスイッチ素子として 用いるMRAMメモリセルの配線構造

【技術内容】

ダイオードをスイッチ素子として利用するスピンバルブ MRAM の実証実験のために GaAs ダイオード とスピンバルブ素子とを一体化したメモリセルを試作した。

GaAs ダイオード / スピンバルブメモリセルの断面模式図を図1に示す。ダイオード部分とスピンバ ルブ部分を別々にテストするため、セル密度を犠牲にして、両者を平面的に並べて配置した。n+コン タクトからダイオードの n+に接続し、ダイオードの p+は p+コンタクトとして外部端子を出すととも に、スピンバルブ膜の一端に接続される。スピンバルブ膜の他端は外部端子として取り出される。ス ピンバルブ膜の上にはパッシベーション膜を隔てて書込み用のワード線がスピンバルブ膜の電流の方 向と直交して配置される。

GaAs の n+コンタクト電極の上に n+層、p+層を成膜して pn 接合を形成し、p+コンタクトと電極を形成する。GaAs ダイオード行程を終わった後、スパッタ法でスピンバルブ膜を形成し、イオンミリングでパターニングする。スピンバルブ膜の層構成は、Ta(1)/Co(5)/Cu(3)/Ni₈₀Fe₂₀(8.5)/Cu(2)である(数字は膜厚、nm)。パッシベーション膜積層後コンタクトの作成とワード線(図に垂直方向)を形成して完成させる。

メモリの書き込みはワード線に電流を流しながらスピンバルブコンタクトからダイオードを通じて スピンバルブ膜に電流を流すことにより行う。ワード線の電流の向きによりメモリに書き込む情報(0、 1)を制御する。読み出しは、スピンバルブ膜に電流を流しながらワード線に流す電流の向きを変え、 両方向の抵抗の差の正負により0、1を読み出す。読み出し電流はメモリが書き換わらないように書 き込み電流より低くセットされる。

【図】

図1 ダイオード / スピンバルブメモリセルの断面模式図。



GaAs Diode Spin-Valve

出典:「Integration of spin valves and GaAs diodes in magnetoresistive random access memory cells.」、「J. Appl. Phys. Vol.85 No.8」、1999年4月15日、BOEVE H、DAS J、BRUYNSERAEDE C、 DE BOECK J、BORGHS G 著、American Institute of Physics 発行、4779頁 FIG. 1. Cross-sectional schematic of the diode/spin-valve memory cell.

【出典 / 参考資料】

「Integration of spin valves and GaAs diodes in magnetoresistive random access memory cells.」、「J. Appl. Phys. Vol.85 No.8」、1999年4月15日、BOEVEH、DASJ、BRUYNSERAEDEC、DEBOECKJ、BORGHSG著、American Institute of Physics発行、4779-4781頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,116 【技術名称】1 - 4 - 2 - 7 高密度アーキテクチャ

【技術内容】

水素化非晶質 Si (a-Si:H)ダイオードと磁気トンネル接合の集積デバイスを作成しその特性を評価 した。この素子を垂直方向に集積させれば高密度のアーキテクチャが形成される。ここではデバイス の構成、製造方法ならびに製造条件について記述する。

図1はデバイスの構成断面図を示す。磁気トンネル接合の構成はTa 70 /NiFe 150 /CoFe 30 /Al₂O₃ 11 /CoFe 30 /MnRh 200 /Ta 30 /TiW(N) 150 である。すべての層は直流マグネトロンス パッタによって成膜した。絶縁体は11 厚のAIをデポした後、0²プラズマ(5mTorr,6mW/cm²)で 20s 酸化している。接合は3×2、9×5、10×10µm²領域にセルフアラインマイクロリソグラフィプロ セスのもと、イオンビームでパターン付けした。3000 AI/150 TiW(N)層を接合の頂部にデポして ダイオード形成のための下部電極とし、接合とダイオードを独立に測定する中間接点としている。

AI/TiW(N)の頂部には高周波プラズマCVD(PECVD)で200 n+ドープa-Si:Hを形成して接触層を作りその上に2000 純 a-Si:Hを成膜した。ドープ層 a-Si:Hのデポは10 sccm SiH₄と2%のH₂で希釈した5 sccm PH₃で行い、純 a-Si:Hは10 sccm SiH₄で行った。基板は250 1時間程度、50 mW/cm²高周波、0.1 TorrのPECVD処理した。これらの a-Si:H層は反応性イオンエッチングでエッチした。最後に窒化珪素絶縁層にヴィア穴を穿ってダイオード領域を決定した。2000 のリード線をショットキーバリアと電気接点として設けた。

【図】

図1 メモリデバイスの断面図



出典:「Vertical integration of a spin dependent tunnel junction with an amorphous Si diode」、「AppI. Phys. Lett. Vol.74 No.25」、1999年6月21日、SOUSA R C、FREITAS P P、CHU V、CONDE J P 著、American Institute of Physics 発行、3894頁 Fig.1 Cross-section view of the tunnel junction-diode integrated device.

【出典 / 参考資料】

「Vertical integration of a spin dependent tunnel junction with an amorphous Si diode」、 「Appl. Phys. Lett. Vol.74 No.25」、1999年6月21日、SOUSA R C、FREITAS P P、CHU V、CONDE J P 著、American Institute of Physics 発行、3893 - 3895頁 【技術分類】1 - 4 - 2 MRAM / セル構造 / 配線 【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,120 【技術名称】1 - 4 - 2 - 8 書き込み電流による隣接セルへの影響

【技術内容】

MRAM のデータの書き込みは2次元アレイ状に並べられたGMR、TMR 素子の内選択された素子に対してのみ磁化の反転を行うことで達成される。これは通常素子をはさんで上下に直交するワード線とビット線に所定の電流を流しその合成磁場で交点にあるGMR、TMR 素子の磁化反転を計る。

図1は、0.2µm巾の下部配線が0.03µm上にある磁性体に印加する磁場の強度の配線の中心からの距離による変化を示している。Hx は配線の巾方向、Hz は高さ方向の磁場で図中極大点を持つ曲線がHz である。この図から配線の中心から0.2µm離れると磁場強度は1/10以下になっている。0.2µm 巾の配線を用いた場合、隣接セルの中心線は0.2µm以上離れていることになり、書き込み時の隣接 セルへの磁場の影響はほとんど無いと考えられる。

【図】



図1 配線からの距離による配線が作る磁場の強さの変化。

出典:「磁気ランダムアクセスメモリ(MRAM)」、「電子情報通信学会技術研究報告 Vol.100 No.5(ICD2000 1-8)」、2000 年 4 月 13 日、沼田秀昭、三浦貞彦、田原修一著、社団法人電子情報通信 学会発行、16 頁 図 7 配線が作る磁場の距離依存性

【出典 / 参考資料】

「磁気ランダムアクセスメモリ(MRAM)」、「電子情報通信学会技術研究報告 Vol.100 No.5(ICD2000 1-8)」、2000 年 4 月 13 日、沼田秀昭、三浦貞彦、田原修一著、社団法人電子情報通信 学会発行、13 - 18 頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,120 【技術名称】1 - 4 - 2 - 9 埋め込みワード線

【技術内容】

MRAM において個々の接合におけるスイッチングを正確に行う構成として、スイッチ交点で必要な磁場を生成するために、垂直電流を利用して書き込みを行う構成とすることが有効と考えられる。1.2 µm - CMOS 用のメタライゼーションプロセスに修正をした、埋め込みワード線の上部に SDT を設けた MRAM を作成してその特性を調査した。絶縁体の厚さが9~11 と薄いことから粗度を0.2nm まで制御した。

図1はMRAM デバイスの断面構成図を示す。Si 基板上に 0.6 µm 厚 SiO₂を積層し、ワード線を 0.2 µm 厚の AI (1%SiO.5%Cu) に反応性イオンエッチングで描画した。ワード線の幅は 4 µm で隣接する それとの距離は 10 µm である。上部は 0.6 µm 厚 SiO 膜 (PEDVD)、2 × 0.3 µmSOG、0.2 µm SiO₂ で電気 的に絶縁した。この基板の上に頂部がフリー層の接合を設けた。接合の構成は TA 70 / NiFe 300 / MnRh 120 or MnIr 80 /CoFe 30 / CoFe 30 AI₂O₃ 9-13 /CoFe 30 / NiFe 70 / TA 10 /TiW(N) 150 である。絶縁層は AI を O_2 高周波プラズマ(4 mW/cm2 密度)により真空度 3 Torr 下において 10-20s 酸化処理した。すべての層はマグネトロンスパッタリングで作成した。接合部はイオンビームを用い 3 × 2 から 7 × 1 µm²の範囲で描画した。MnIr を接合に利用する場合には、底部のピン層での高い磁 場交換に追随させるために 2 k Oe 真空中で 270 の熱処理を行うことが不可欠である。

【図】

図1 ワード線を埋め込んだメモリデバイスの断面図



出典:「Buried word line planarization and roughness control for tunnel junction magnetic random access memory switching.」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、SOUSARC、SOARES V、SILVAF、BERNARDOJ、FREITAS PP著、American Institute of Physics 発行、6382頁 FIG.1 Cross section of the device.

【出典 / 参考資料】

「Buried word line planarization and roughness control for tunnel junction magnetic random access memory switching.」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、SOUSA R C、SOARES V、SILVA F、BERNARDO J、FREITAS P P 著、American Institute of Physics 発行、6382 - 6384 頁

【 F I 】H01L27/10,447; G11C11/15,110; H01L43/08@S
【技術名称】1 - 4 - 2 - 1 0 磁化反転磁界の大きさに及ぼす磁性膜平面形の長軸端面形状の影響

【技術内容】

MRAM の故障の一つに選択セルが書き込めなかったり、非選択セルに書き込んでしまうなどの書き込み不良がある。通常使われている長軸方向を容易磁化軸とする書き込みについて、磁化反転を起こす磁界に及ぼすセルの長軸端面形状の影響を評価するため種々の長軸端面形状を持つ NiFe フィルム素子の磁化反転磁界をシミュレーションにより計算した(図1)。全ての素子は先端から先端までの大きさが同じ0.2×0.1µm²で、厚みが20 である。

図1に示す結果から、長方形の素子と比較して鋭い角を持つ銀杏形では倍以上の反転磁界が必要で あることがわかる。素子寸法をリソグラフィーの最小加工寸法まで小さくしようとすると端部形状の 加工精度が保てなくなる。リソグラフィーの解像度による素子サイズの限界は、素子の幅ではなく端 部形状の制御性により決まることになる。

【図】

図1 種々の端面形状を持つ NiFe フィルム素子の磁化反転磁界。全ての素子は先端から先端までの 大きさが同じ 0.2×0.1µm²で、厚みが 20 である。



出典:「Ultrahigh density vertical magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、ZHU J-G、ZHENG Y、PRINZ G A 著、American Institute of Physics 発行、6672頁 FIG.11. Calculated switching fields of NiFe film elements with different end shape. All the elements have the same size of $0.22 \times 0.1 \ \mu m^2$, counting tip-to-tip, and a thickness of 20.

【出典 / 参考資料】

「Ultrahigh density vertical magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、ZHU J-G、ZHENG Y、PRINZ G A 著、American Institute of Physics 発行、6668-6673頁

[F I] H01L27/10,447; G11C11/15,110; H01L43/08@S

【技術名称】1-4-2-11 リング型メモリ素子

【技術内容】

MRAMのメモリ素子の平面形状として従来使われてきた長方形ではなく、リング型の素子を使うことを提案した。リング型の磁性体は円周方向に磁化され磁性体内で磁束が閉じる。磁化の方向で0、1 を記録する。

図1はハード層とソフト層を導体層をはさんで多層積層したリング型GMR素子をメモリセルに使ったMRAMの配線構造を示す。リング型GMR素子の電極は素子の上端と下端にあり、電流は層を貫流する。 メモリの書き込み、読み出し時にリング状の磁性体を磁化させるため、セルの上下に各1対のワード 線を直交して置くとともにセルを貫流するように接続したビット線を配置する。メモリセルはビット 線により多数直列に接続される。ワード線対には互いに逆方向の電流を流しリング素子の半径方向の 磁場を発生し、ビット線電流は円周方向の磁場を発生する。セルアレイとワード線、ビット線の平面 配置の例を図1の下半分に示す。上下のワード線対は直交し、ビット線はこのワード線と45°の方向 に配置される。

書き込みは、ワード線の上部および下部の対の電極に互いに逆方向の電流を流し、ビット線を通じ て流す電流の方向によりハード層の磁化の方向を変えて 0、1 を記録する。ワード線のみあるいはビッ ト線のみではハード層の磁化反転は起こらないため、ワード線とビット線の交点にあるセルを選択し て書き込むことが出来る。

読み出しは、ソフト層が反転し、ハード層が反転しない電流をワード線とビット線に流す。電流の 大きさは、ワード線とビット線の交点にあるセルのソフト層のみが反転できるよう調整することによ り選択読み出しが可能で、ビット線の電流の方向を切り替えこのときの抵抗変化の正負で0、1を読 み出す。

図2は、リング型素子の原理をMTJ(magnetic tunneling junction)に応用した場合のセル構造と 配線構造を示している。MTJの抵抗が大きいためセルを貫流する電流で書き込むことが出来ないため、 リングの中心部にセルを貫通する導電体を設けた点が図1と異なる。GMRの場合と異なり、TMRではメ モリセルがビット線に並列に接続される。MTJの上下の磁性層を擬スピンバルブと同じようにハード 層とソフト層で構成し、ハード層をメモリに、ソフト層を読み出し時のセンス用に用いることにより、 個別のセルの選択トランジスタを使わないで、図1のGMRと同様な書き込み、読み出し操作が出来る。

【図】

図1 リング型 GMR 素子をメモリセルに使った MRAM のセル構造と配線構造。



One possible chip layout

出典:「Ultrahigh density vertical magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、ZHU J-G、ZHENG Y、PRINZ G A 著、American Institute of Physics 発行、6669頁 FIG. 3. A memory cell structure and the planar view of memory array with the paired word lines.

Paired word line MTJ element Bit line contact Insulating layer

図2 リング型の MTJ 素子をメモリセルに使った MRAM のセル構造と配線構造。

出典:「Ultrahigh density vertical magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、ZHU J-G、ZHENG Y、PRINZ G A 著、American Institute of Physics 発行、6669頁 FIG. 14. Design of a ring shaped MTJ memory element with word line and bit line.

【出典 / 参考資料】

「Ultrahigh density vertical magnetoresistive random access memory (invited)」、「J. Appl. Phys. Vol.87 No.9」、2000年5月1日、ZHU J-G、ZHENG Y、PRINZ G A 著、American Institute of Physics 発行、6668-6673頁 【技術分類】1 - 4 - 2 MRAM / セル構造 / 配線 【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 1 2 MRAM セル構造

【技術内容】

MRAM は不揮発性で書き込み、読み出しに制限の無いメモリで DRAM に比べて高速であり低電圧駆動 が出来る。MRAM を構成する上で重要なことは磁気抵抗の均一性、磁気 bits のスイッチング動作性、 CMOS による集積などの制御である。MRAM 材料の開発、動的スイッチング挙動、256×2bits MRAM 回 路の製造について最近の進展を述べる。

図1にMTJの材料積層構成と平行ならびに反平行状態でのヒステリシス曲線を示す。MTJはフリー磁気層とピン磁気層が絶縁体によって分離され、フリー磁気層の極性を変えることによってメモリ動作を行わせる。0.6×1.5µm² MTJ単一素子の R(/RminまたはMR)は50%、MAは230 である。

図2に個々のメモリセルがひとつのトランジスタおよびMTJ素子で構成されたMRAMを示す。フリー 層のスイッチングはMTJデバイスの上部と下部に設けられた直交する線に電流を付与して行われる。 MTJの下部の線はdigit line、上部の線はbit lineあって直接MTJ接続され、書き込みと読み出し に用いられる。スイッチング用のコンダクターが交点に配されている。ひとつの線でbitの容易軸に 平行な磁場を、他の線で磁場の直角軸成分を発生させる。プログラム中は二つの線に電流が付与され ておりこの間トランジスタはオフとなっている。線の交点ではスイッチングのための閾値を越える ピーク磁場を発生させる。個々のコンダクターはbitをスイッチするに必要な半分の磁場を発生させ る。この磁場は同じコンダクターに接続されているbitを乱すことは無い値である。読み込み動作で はトランジスタはオンとなり電流はbit lineからMTJとトランジスタを経てMTJの磁気抵抗に依存し た信号を発生する。

【図】



図 1 MTJ 材料構成とヒステリシス曲線

出典:「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM.」、「日本応用磁気学会研究会資料 Vol.116」、2000年11月17日、TEHRANIS、DURLAM M、NAJIP、SLAUGHTER J、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J著、社団法人日本応用磁気学会発行、20頁 Fig2 MTJ material stack and hysteresis curves showing parallel and anti-parallel states for a 0.6*1.5µm² bit. When the layers are parallel, as on the right, the bit is in the low resistance state. When the layers are anti-parallel, as on the left, the bit is in the high resistance state.



出典:「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM.」、「日本応用磁気学会研究会資料 Vol.116」2000年11月17日、TEHRANIS、DURLAM M、NAJIP、SLAUGHTER J、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気学会発行、20頁 Fig3 MRAM cross-point architecture with bits between orthogonal conductors and each cell defined by one MTJ and one transistor. Top lines, in contact with the top electrode of the bits, provide hard-axis field, while bottom lines are isolated and provide easy-axis field. Turning on a transistor provides a current path so that the corresponding bit state can be sensed.

【出典 / 参考資料】

「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM.」、「日本応用磁気学会研究会資料 Vol.116」、2000年11月17日、TEHRANIS、DURLAMM、NAJIP、SLAUGHTER J、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気学会発行、19-24頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S 【技術名称】1 - 4 - 2 - 1 3 選択トランジスタのソースと素子分離共用によるセルサイズの縮小

【技術内容】

NiFe/AIOx/NiFe/IrMnの層状構造をもつ MTJ(磁気トンネル接合:Magnetic Tunneling Junction) をメモリ素子とした 256×2 ビット MRAM を 0.6 ミクロン CMOS プロセスで試作し、読み出しおよび書き 込みアクセスタイム 8ns を達成した。

図1は単一ビットセルの構造を示しており、図面上で横方向に走るMTJ上部のビット線はMTJに接続され、MTJの他方はスイッチトランジスタのソースに接続される。図面に垂直方向に配置されるディジット(Digit)線はMTJの下方に位置し、書き込みはトランジスタをオフにしてビット線とディジット線の両方に所定の電流を流すことにより行われ、読み出しはトランジスタをオンにしてビット線に 電流を流し、ビット線の電圧を計ることにより行われる。

最小サイズのトランジスタと MTJ でメモリセルを構成し、2 個のメモリセルでトランジスタのソー スと、素子分離を共用することによりメモリサイズを縮小できた。メモリセルサイズは7.2 µ m²であ りこれは、9 f²に相当する、ここで f²はメタルピッチの 1/2 である。

【図】

図1 0.6µmCMOS プロセスで試作した MTJ(Magnetic Tunneling Junction)メモリ素子を持つ MRAM の構造。



Magnetic Tunnel Junction (MTJ) MRAM

出典:「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM」、「日本応用磁気学会研究会資料 Vol.116th」、2000年11月17日、TEHRANIS、DURLAM M、NAJIP、 SLAUGHTER J M、ENGEL B、RIZZON、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気 学会発行、23頁 Fig.10 Architecture of Magnetic Tunnel Junction integration with CMOS

【出典 / 参考資料】

「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM」、「日本 応用磁気学会研究会資料 Vol.116th」、2000年11月17日、TEHRANIS、DURLAMM、NAJIP、SLAUGHTER J M、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気学会発行、 19-24頁

【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 1 4 トランジスタ付き MRAMの構造と製造技術の課題

【技術内容】

TMR 素子を使う MRAM は読み出す素子を選択するトランジスタや、制御回路やセンス回路などの周辺 回路で CMOS を使う。トランジスタ付き MRAM の構造は、図1に示すように通常の CMOS プロセスで作成 したトランジスタの上に TMR 素子を形成する工程を配線工程の一部あるいは最後に付加することにな る。図において通常の CMOS デバイスに加えて、TMR の形成とパターニング、1 層目のメタル(Metal 1) に書き込み用の電流を流すワード線 (Program WL)を持っていること、選択トランジスタから TMR 素 子への配線、および TMR 素子に接続されるビット線 (BL: Metal 3) が付加される。

プロセス上では、磁性層の加工およびメタル配線時あるいは層間絶縁膜形成時にTMR素子(特にトンネルバリア層)にダメージを与えない工夫が課題として残されている。

【図】

図1 トランジスタ付き MRAM の構造。



出典:「MRAM 技術の現状と課題(スピンエレクトロニクスの現状と将来展望)」、「日本応用磁気学会研究会資料 Vol.12」、2001年10月23日、田原修一著、社団法人日本応用磁気学会発行、24頁 Fig.6 トランジスタ付 MRAM の断面模式図

【出典 / 参考資料】

「MRAM 技術の現状と課題(スピンエレクトロニクスの現状と将来展望)」、「日本応用磁気学会研究 会資料 Vol.12」、2001 年 10 月 23 日、田原修一著、社団法人日本応用磁気学会発行、19 - 26 頁

【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 1 5 SSDT(Sandwich Spin Dependent Tunneling)メモリセル

【技術内容】

反平行に結合したサンドイッチ構造の層をトンネル接合の下側に持つ SDT (Spin dependent tunneling)メモリセル(以下 SSDT: sandwich SDT)の構造を模式的に図1に示す。メモリは SSDTと 二つ(一つは読み出しのとき、もう一つは書き込みのとき使われる)の選択トランジスタで構成され る。

図1に示すようにSSDTは下部電極/(パーマロイ/Ru/パーマロイ 反結合サンドイッチ層)/バリア /(Co/Ru/Co 反結合ピン層)/反磁性層/上部電極の構造をもち、2つの下部電極は最下端のパーマロ イ層の両端に接続される。

データは、記憶素子となる反結合サンドイッチ層に二つの下部電極から電流を流すことにより書き 込まれ、このサンドイッチ層の磁化の方向として記録される。反結合したパーマロイ/Ru/パーマロイ 層の磁化反転電流は、単独の磁性層の反転電流より低くすることができる。書き込む SSDT セルは選択 トランジスタにより個別に指定できるため、ワード線とビット線の両方に電流を流して合成磁場で書 き込む2次元アレイ構造をもつ MRAM のように半選択状態になるセルが無く、確実な書き込みを保証で きる。

データの読み出しは、読み出し選択トランジスタをオンにして、上部パーマロイ層の磁化の方向と ピン層の下部 Co 層の磁化の方向の平行、反平行により変わる接合抵抗を、上部電極と下部電極間を流 れるトンネル電流の大小(あるいは定電硫化での電圧の大小)で読み出す。

【図】

図1 SSDT メモリセルの模式図。トンネルバリアの下にある磁気サンドイッチ層は記録素子であり、 面方向電流により書き込みされる。トンネルバリアを通る垂直方向の伝導度が読み出しに使われる。



出典:「High Speed, Radiation Hard MRAM Buffer」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002年11月6日、R. Sinclair、R. Beech 著、IEEE 発行、3頁 Figure 1. Schematic illustration of the SSDT memory cell. The magnetic sandwich, below the tunnel barrier, is the storage element, and is written with in-plane current. Vertical conduction, through the tunnel barrier, is used for readout.

【出典 / 参考資料】

「High Speed, Radiation Hard MRAM Buffer」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002年11月6日、R. Sinclair、R. Beech 著、IEEE 発行、1-6頁 【技術分類】1 - 4 - 2 MRAM / セル構造 / 配線 【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 1 6 SDT セル構造

【技術内容】

MRAM を構成する磁気抵抗技術はここ 15 年開発状態にある。Anisotropic Magneto-Resistance (AMR)、 Giant Magneto-Resistance (GMR)、Spin Valve(SV)、Pseudo Spin Valve (PSV)、Spin Dependant Tunneling (SDT or MTJ)などの異なるデザインのMR素子が適用されている。これらMR素子の適用によっ て MRAM はセルアーキテクチャと動作モードに多様性を持つが未だ商用の MRAM は提供されていない。 その理由は、1)書き込み電流が高いこと2)bit の均一性が欠けていることにある。書き込み電流 が高いために大きなトランジスタや幅の広いメタル配線が必要となるなどのメモリサイズの大型化を 余儀なくされる。通常の SDT での書き込み動作はビット線と書き込みワード線に電流を流し、その交 点に誘起されるスイッチング磁界を利用する。この通常の SDT の構成を以下に述べる。

図1は通常のSDTの書き込みモードを示す。bit線とdigit線は書き込み電流をSDT bitに流す。 この電流による磁界によってSDT bitのフリー磁化層はスイッチングされる。行および列に流れる電 流によってそれぞれのbit線に磁界が誘起される半選択磁場によって非選択 bitsの動作が乱される。 すべてのbitに確実に書き込むためには高い書き込み閾値を越えるbitならびにdigit電流を負荷し なければならない。個別のbitの書き込み閾値に高低の違いがあれば動作の乱れが生じる。このスイッ チングの閾値は材料の微妙な特性の変化やbitの形状に影響され均一性を保つことが難しい。

【図】

図1 単一接合構造による MRAM セルの Write Mode



出典:「Low Power 256K MRAM Design」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002年11月6日、R. Beech、R. Sinclair 著、IEEE 発行、2頁 Fig.2 Write mode of a popular SDT cell design. The bit at the cross-point of the digit line and bit line is written by the fields that they generate.

【出典 / 参考資料】

「Low Power 256K MRAM Design」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002 年 11 月 6 日、R. Beech、R. Sinclair 著、IEEE 発行、1-6 頁

【技術分類】1 - 4 - 2 MRAM / セル構造 / 配線 【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 1 7 SSDT セル構造 (Read Mode)

【技術内容】

SDT を発展させた新しい Sandwich-Spin Dependant Tunneling(SSDT)を適用した低電力動作 MRAM の 構造について述べる。この SSDT bit のサンドイッチフリー層は非磁性層で分離された二つの磁気層を 有し、トンネル磁気抵抗 readout で sandwich storage 組み立て構造としている。SDT と異なって SSDT では digit line が無いことおよび垂直方向の書き込み電流を必要としないことである。また SSDT 構 造ではひとつの bi-polar 書き込み電流が書き込みに用いられ、メモリセル内の書き込み選択トランジ スタが書き込みのためのひとつの bit を選択することから SDT でみられた半選択状態を解消できる。 読み込み方式も SDT と異なり読み込み専用トランジスタを独立して設けている。SSDT のサンドイッチ フィルム中の一対の反強磁性体は必要なスイッチング磁場を最小化でき、書き込み電流値として 2 μm のデバイスでは 4 mA、0.6 μm のデバイスでは 0.8 mA まで下げられる。

図1はSSDTの読み込みモードを示す。セルの上部にある読み込み選択トランジスタがSSDT bitと bit線を接続している。この構造によって読み込み電流はセルの接地点へ戻らない。書き込みバス line は読み込み電流のためのリターンパスとなる。

【図】

図 1 SSDT 接合構造による MRAM セルの Read Mode



出典:「Low Power 256K MRAM Design」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002年11月6日、R. Beech、R. Sinclair 著、IEEE 発行、3頁 Fig.6 Read mode of the SSDT cell. Depending on the drive and select circuitry, the write transistor may be 'OFF' or 'ON' - to ground the sandwich layer.

【出典 / 参考資料】

「Low Power 256K MRAM Design」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002 年 11 月 6 日、R. Beech、R. Sinclair 著、IEEE 発行、1-6 頁

【技術分類】1 - 4 - 2 MRAM / セル構造 / 配線 【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S 【技術名称】1 - 4 - 2 - 1 8 SSDT セル構造 (Write Mode)

【技術内容】

SDT を発展させた新しい Sandwich-Spin Dependant Tunneling(SSDT)を適用した低電力動作 MRAM の 構造について述べる。この SSDT bit のサンドイッチフリー層は非磁性層で分離された二つの磁気層を 有し、トンネル磁気抵抗 readout で sandwich storage 組み立て構造としている。SDT と異なって SSDT では digit line が無いことおよび垂直方向の書き込み電流を必要としない。SSDT 構造ではひとつの bi-polar 書き込み電流が書き込みに用いられ、メモリセル内の書き込み選択トランジスタが書き込み のためのひとつの bit を選択することから SDT でみられた半選択状態を解消できる。読み込み方式も SDT と異なり読み込み専用トランジスタを独立して設けている。SSDT のサンドイッチフィルム中の一 対の反強磁性体は必要なスイッチング磁場を最小化でき、書き込み電流値として 2 µm のデバイスでは 4 mA、0.6 µm のデバイスでは 0.8 mA まで下げられる。

図1はSSDTの書き込みモードを示す。SSDTセル内ではひとつの書き込み電流のみが用いられる。 このために書き込み電流値を半減でき電力が削減される。ドライバー回路から供給される書き込み電 流バス line は書き込みセルトランジスターがオンとなっているセルにのみ流れるので半選択状態が なく、また他の非選択セルの状態を乱さないのでスイッチングの均一性が保たれる。

【図】

図 1 SSDT 接合構造による MRAM セルの Write Mode



出典:「Low Power 256K MRAM Design」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002年11月6日、R. Beech、R. Sinclair 著、IEEE 発行、3頁 Fig.5 SSDT cell during write mode. Write current passes through the sandwich layer of the cell when the transistor is on.

【出典 / 参考資料】

「Low Power 256K MRAM Design」、「Proceedings of the Non-Volatile Memory Technology Symposium 2002」、2002 年 11 月 6 日、R. Beech、R. Sinclair 著、IEEE 発行、1-6 頁

【技術分類】1 - 4 - 2 MRAM / セル構造 / 配線 【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 1 9 4Mb MRAMの配線構造

【技術内容】

図1に試作した4Mb MRAMの配線構造断面図を示す。5層のメタル配線を持つ0.18µmCMOSプロセスで試作した。メモリセルはパストランジスタ、MTJ、上部および下部のセンス線、および2本の直交する書き込み線で構成され、MTJはピン磁性層、トンネルバリア層、フリー磁性層で構成している。 書き込み線はMTJと物理的に分離していて、書き込み時の寄生容量による遅れを低減できる。書き込み線は、磁場を集中させるため高透磁率の材料でクラッドしていて、書き込み電流が低減できる。

MTJの工程は CMOS プロセスフローの後のほうに置いたため MRAM と CMOS ロジックを独立に取り扱え る。図1において書き込みは、太い破線で示す経路で最上端のビット線に流す電流が作る磁界(回転 する矢印で示す)と MTJ の下にあるワード線(図面の垂直方向)に流す電流が作る磁界(下向きの回 転する矢印)を操作して行う。読み出しは細い実線の矢印に沿ってビットセンス線 - MTJ - パストラン ジスタを通して信号を取り出す。

【図】

図1 4Mb MRAM のアレイコアを示す断面概念図。プログラム線の寄生容量による遅延を減少させる ため、プログラムパス(太い破線)はセンスパス(細い実線)と物理的に分離されている。書き込み 線は、磁場を集中させるため高透磁率の材料でクラッドしていて、書き込み電流が低減できる。



出典:「A 0.18µm 4Mb Toggling MRAM」、「Tech Dig Int Electron Devices Meet Vol.2003」、2003 年12月8日、DURLAM M、ADDIE D、AKERMAN J、BUTCHER B、BROWN P、CHAN J、DEHERRERA M、ENGEL B N、FEIL B、Grynkewich G、Janesky J、Johnson M、Kyler K、Molla J、Martin J、Nagel K、Ren J、 Rizzo N.D、Rodriguez T、Savtchenko L、Salter J、Slaughter J.M、Smith K、Sun J.J、Lien M、Papworth K、Shah P、Qin W、Williams R、Wise L、Tehrani S 著、IEEE 発行、996 頁 figure 3. Schematic cross-section of 4Mb MRAM device showing architecture of 4Mb array core. Program path ,(dashed arrows) is physically separated from sense path (solid arrows) to reduce parasitic delays on programming lines. Program lines employ permeable cladding to provide magnetic field boost and to reduce programming currents.

【出典 / 参考資料】

「A 0.18µm 4Mb Toggling MRAM」、「Tech Dig Int Electron Devices Meet Vol.2003」、2003 年 12月8日、DURLAM M、ADDIE D、AKERMAN J、BUTCHER B、BROWN P、CHAN J、DEHERRERA M、ENGEL B N、 FEIL B、Grynkewich G、Janesky J、Johnson M、Kyler K、Molla J、Martin J、Nagel K、Ren J、Rizzo N.D、Rodriguez T、Savtchenko L、Salter J、Slaughter J.M、Smith K、Sun J.J、Lien M、Papworth K、Shah P、Qin W、Williams R、Wise L、Tehrani S 著、IEEE 発行、995-997 頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140 【技術名称】1 - 4 - 2 - 2 0 加熱と磁場の両方を利用して行う書き込み 【技術内容】

高密度化の課題は、MRAMのメモリセルを小さくすると熱的安定性のために保磁力を増やす必要がある一方、書き込み電流を下げることができず、書き込み線の電流密度が上がりすぎることである。強磁性/反強磁性膜の結合を記憶メカニズムとして利用するメモリセルを使用する MRAM において、書き込み時にメモリセルを Néel 温度以上に加熱したあと磁場をかけながら温度を下げて書き込みする方法を提案する。強磁性膜のキューリー点は反強磁性膜の Néel 温度より高く、Néel 温度直下では比較的少ない電流で書き込みが可能であり、一旦温度が室温に下がるとセルのメモリは十分安定である。

書き込みは直交するセンス線とワード線の両方を使い、交点上にあるセルを選択して加熱と磁場の 両方を利用して行う。図1に MRAM セルの構造を示す。0.15µm×0.1µmの磁気素子をタングステン センス線上に積層し、センス線の下に 300 の SiO₂絶縁層をはさんでセンス線と直交するワード線が 配線される。シリコン基板とワード線の間も 300 の SiO₂絶縁層をおく。

簡単化したモデルによる計算で、ワード線電流 1.5mA、センス線電流 1.3mA で 200°C の温度上昇が可能であり、5ns で平衡温度の 95%に達することがわかった。

【図】

図1 Néel 温度書き込み MRAM セルの構造。



出典:「Design of Curie point written magnetoresistance random access memory cells」、「J. Appl. Phys. Vol.93 No.10」、2003年5月15日、DAUGHTON J M、POHM A V 著、American Institute of Physics 発行、7306頁 FIG. 3. MRAM cell using Néel temperature writing.

【出典 / 参考資料】

「Design of Curie point written magnetoresistance random access memory cells」、「J. Appl. Phys. Vol.93 No.10」、2003年5月15日、DAUGHTON J M、POHM A V 著、American Institute of Physics 発行、7304-7306頁

【 FI】H01L27/10,447; G11C11/15,110; H01L43/08@S 【技術名称】1 - 4 - 2 - 2 1 下部電極接点(BEC)による MRAM セルの縮小

【技術内容】

図1(a)に MRAM セルの構造を、図1(b)に MTJ 電極の磁化方向が平行な場合と反平行な場合のトンネル磁気抵抗を示す。反平行な場合のトンネル磁気抵抗は平行な場合に比べて 20-40%大きい。MTJ の磁化は DL(Digit Line)および BL(Bit Line)の電流によって誘起される磁場をスイッチとする。この磁化は温度ならびに磁場の影響を受けず安定であり不揮発性である。スイッチング速度も 10ns 以下と高速である。さらに繰り返し書き込み耐久性にも優れる。

図2にMTJをMRAM としたときのセルサイズと高密度(集積)化との関係を示す。MRAM セルは他の メモリと異なって図2(a)に示すようにDLが一本追加される。このDLは磁場を最大限有効に利用する ためにMTJの下部に設けられる。この付加領域のためにセルサイズを容易に小さくすることはできな い。この不都合を解消し、MRAM セルサイズを8F²以下とした構造が図2(b)、(d)である。図2(b)、(d) は on-axis/split DL セル構成を示す。この構成ではDLはふたつのmetal lineに分枝され、下部電 極接点(Bottom Electrode Contact; BEC)は split DL と一体化されている。この BEC 構成により領域、 空間を減じて集積度を上げることができる。

【図】

図1 MRAM セル構造と磁気抵抗



出典:「MRAM の将来展望とその挑戦 (スピンエレクトロニクスの現状と将来)」、「日本応用磁気学 会研究会資料 Vol.134」、2004年1月29日、KIM K、JEONG G 著、社団法人日本応用磁気学会発行、 109頁 Fig.1 (a) Structure of MRAM Cell, (b) Magnetization of MTJ electrode for low resistance and high resistance.

図 2 MRAM セル構造断面図



出典:「MRAM の将来展望とその挑戦 (スピンエレクトロニクスの現状と将来)」、「日本応用磁気学 会研究会資料 Vol.134」、2004年1月29日、KIM K、JEONG G 著、社団法人日本応用磁気学会発行、 110頁 Fig.2 The vertical schematics and simple layout of conventional off axis scheme newly proposed on axis split DL scheme. (a) and (c) represent off-axis scheme, (b) and (d) represent on-axis scheme. (a) and (b) are the cross section of (c) and (d) along the dotted lines, respectively.

【出典 / 参考資料】

「MRAM の将来展望とその挑戦(スピンエレクトロニクスの現状と将来)」、「日本応用磁気学会研究 会資料 Vol.134」、2004年1月29日、KIMK、JEONGG著、社団法人日本応用磁気学会発行、109-113 頁

参考資料:「An 8F2 MRAM Technology using Modified Metal Lines」、「Tech Dig Int Electron Devices Meet Vol.2003」、2003年12月8日、PARK J H、JEONG W C、KIM H J、OH J H、KOO H C、JEONG Y J、 CHO S L、LEE J E、KIM H J 著、IEEE 発行、827-830頁

【 FI】H01L27/10,447;G11C11/15,110;H01L43/08@S 【技術名称】1 - 4 - 2 - 2 2 高密度・高速クロスポイント MRAM セル

【技術内容】

不揮発性磁気メモリ(MRAM: Magnetoresistive Random Access Memory)として、書き込み電流を 1/2 以下に低減しながら誤書き込みを防止する磁気抵抗素子と、セル面積を縮小できかつ 250nsec のデー 夕読み出しを実現する高速クロスポイントセル構造である。

読み出し速度を高めるために、読み出す磁気抵抗素子を選択するトランジスタを素子4個に対して 一つ配置する高速クロスポイント構造とした。セル面積はDRAMと同程度の6F²であるが、読み出し速 度は250nsecである。

情報を読み出す磁気抵抗素子を選択するトランジスタを素子4個に対して一つ配置する新たなセル 構造として高速クロスポイント構造である。この構造では、1トランジスタ+1MTJ構造で30F²程度必 要であったセル面積をクロスポイント構造のMRAMと同じ6F²に抑えることが可能で、高集積化による 大容量化を実現する。

また、クロスポイント構造では、読み出したい磁気抵抗素子にだけ読み出し電流を与える選択トランジスタを持たないため、まわり込み電流の影響によって、本来読み出したい磁気抵抗素子の情報を 正確に読み出すことが難しく、そのため読み出しに1µsecの時間が必要であったが、本高速クロスポイント構造では、素子4個をトランジスタで分離して読み出すことで、250nsecの読み出し時間を達成している。

【図】

図 1 1T+1MTJ、従来のクロスポイントセル、新クロスポイントセル、各セルのレイアウト、回路図、 断面図



出典:「Design and Process Integration for High-Density, High-Speed, and Low-Power 6F² Cross Point MRAM Cell」、「2004 IEEE International Electron Devices Meeting」、2004 年 12 月 13 日、 Y. Asao、T. Kajiyama、Y. Fukuzumi、M. Amano、H. Aikawa、T. Ueda、T. Kishi、S. Ikegawa、K. Tsuchida、 Y. Iwata、A. Nitayama、K. Shimura、Y. Kato、S. Miura、N. Ishiwata、H. Hada、S. Tahara、H. Yoda 著、IEEE 発行、23.2-3頁 Fig.1 Cell layouts, circuit schematics, and sectional schematic of 1T-1MTJ, the conventional CP, and the new CP cells, respectively. The sizes of the conventional CP cell and the new CP cell are one fifth of that of 1T+1MTJ cell. A large sneak current flows across the entire array of the conventional CP cell. On the other hand, small sneak current flows only in the selected BL and the other three BLs, which share the same bottom electrode.

【出典 / 参考資料】

「Design and Process Integration for High-Density, High-Speed, and Low-Power 6F² Cross Point MRAM Cell」、「2004 IEEE International Electron Devices Meeting」、2004 年 12 月 13 日、Y. Asao、 T. Kajiyama、Y. Fukuzumi、M. Amano、H. Aikawa、T. Ueda、T. Kishi、S. Ikegawa、K. Tsuchida、 Y. Iwata、A. Nitayama、K. Shimura、Y. Kato、S. Miura、N. Ishiwata、H. Hada、S. Tahara、H. Yoda 著、IEEE 発行、23.2-1-23.2-4 頁