

【技術分類】 1 - 5 - 1 MRAM / 書き込み技術 / 書き込み技術

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140

【技術名称】 1 - 5 - 1 - 1 メモリ素子の上下にワード線を配置 (wraparound)

【技術内容】

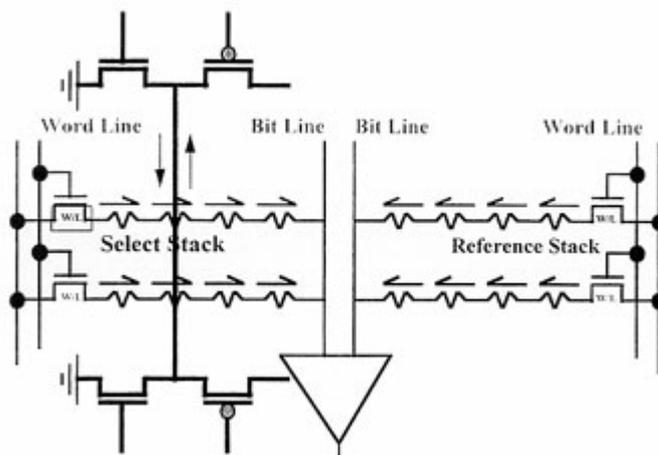
図 1 に回路図を示すように、PSV (擬スピバルブ) 素子をメモリセルとする MRAM では一連の PSV セルを直列につなぐビット線とビット線に直交しこれと絶縁されたワード線に流す電流でメモリの書き込み、読み出しを行う。一つの PSV セルをはさむ形で上下にワード線を配置し上下のワード線にお互いに逆方向の電流を流すことにより上下のワード線がその間の PSV セルに同じ方向の磁場を与える。このような上下のワード線に包まれた (wraparound) 配置のとき、ワード線とビット線が作る磁場はその交点すなわち PSV セルの中心部で最大となり、セルの両端に向けて弱くなる。書き込み時の磁化の反転は PSV セルの中央で始まり両端に広がる。

図 2 は、1 本のワード線のとときと上下のワード線に包まれた場合のワード線の書き込み電流を示している。1 本ワード線と比べてワード線に包まれた場合のほうが電流が小さく、反転電流のウェーハ内およびウェーハ間ばらつきが大幅に小さい。

磁化反転動作とビットの再現性はセルの形に強く依存し、セルの両端を丸くしたときが最も良い成績であった。

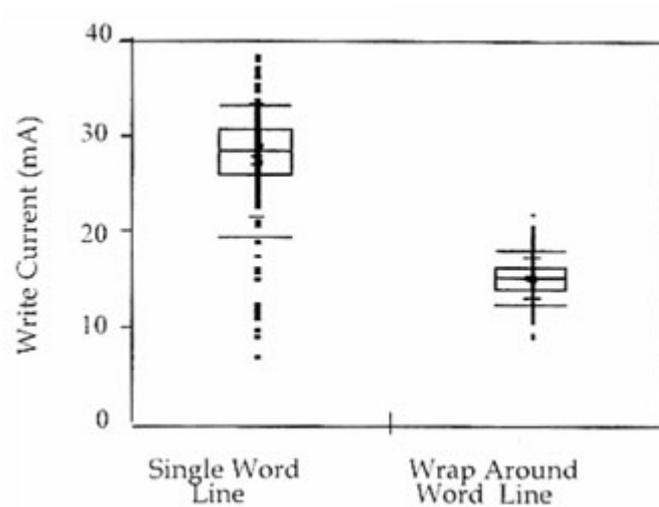
【図】

図 1 PSV メモリの配線構造。



出典 : 「High density submicron magnetoresistive random access memory (invited)」、 「J. Appl. Phys. Vol.85 No.8」、 1999 年 4 月 15 日、 TEHRANI S、 CHEN E、 DURLAM M、 DEHERRERA M、 SLAUGHTER J M、 SHI J、 KERSZYKOWSKI G 著、 American Institute of Physics 発行、 5825 頁 Fig. 7. Basic circuit architecture for PSV memory.

図 2 1 本のワード線のとときと上下のワード線に包まれた場合のワード線書き込み電流の比較。



出典：「High density submicron magnetoresistive random access memory (invited)」, 「J. Appl. Phys. Vol.85 No.8」, 1999年4月15日、TEHRANI S、CHEN E、DURLAM M、DEHERRERA M、SLAUGHTER J M、SHI J、KERSZYKOWSKI G 著、American Institute of Physics 発行、5825 頁 Fig. 8. Comparison of the write current for memory bit structures with word line on the top only and wraparound word line.

【出典 / 参考資料】

「High density submicron magnetoresistive random access memory (invited)」, 「J. Appl. Phys. Vol.85 No.8」, 1999年4月15日、TEHRANI S、CHEN E、DURLAM M、DEHERRERA M、SLAUGHTER J M、SHI J、KERSZYKOWSKI G 著、American Institute of Physics 発行、5822-5827 頁

【技術分類】 1 - 5 - 1 MRAM / 書き込み技術 / 書き込み技術

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140

【技術名称】 1 - 5 - 1 - 2 2次元の磁気メモリセルアレイとセル選択書き込み

【技術内容】

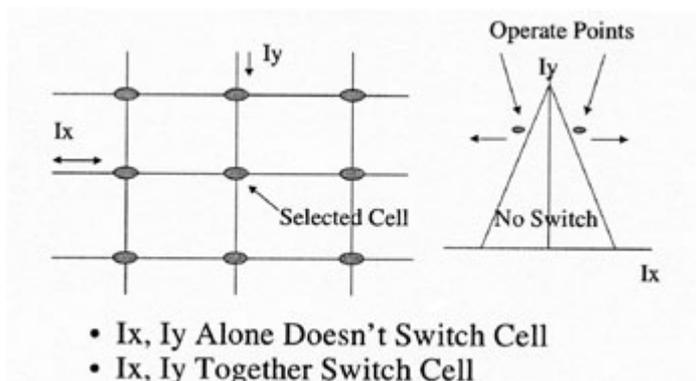
図1は磁性体の自然のヒステリシスをメモリとして利用する初期のランダムアクセス磁気メモリの書き込み方法を示している。

磁性体はアレイ状に配置され、x方向の線の1本とy方向の線の1本を選択しこれに電流 I_x 、 I_y を流す。電流を流す線の交点にある磁性体は書き込みしきい値を超える磁場を受け、情報を書き込まれるが他の素子は I_x 単独あるいは I_y 単独の磁場を受け、この磁場の強さは磁化を反転するのに不十分なため影響を受けない(メモリの状態は変わらない)。

このようなセル配置と書き込み方法は現在のMRAMに使われている。

【図】

図1 2次元の磁気メモリセルアレイとセル選択



出典 : MRAM Intellectual Property - Links to Selected MRAM Technical Papers

著者名 : James M. Daughton

表題 : 「Magnetoresistive Random Access Memory (MRAM)」

関連箇所 : <http://www.nve.com/otherbiz/mram.pdf>、2頁 Figure 1. 2-D Magnetic Memory Cell Array And Selection Of Cell.

掲載年月日 : 2000年2月4日

検索日 : 2005年2月16日

アドレス : <http://www.nve.com/otherbiz/mram.php>

【出典 / 参考資料】

「Magnetoresistive Random Access Memory (MRAM)」, 「NVE社ホームページ」, 2000年2月4日、J. Daughton 著、NVE社ホームページ (<http://www.nve.com/otherbiz/mram.pdf>) 公開、1-13頁

【技術分類】 1 - 5 - 1 MRAM / 書き込み技術 / 書き込み技術

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140

【技術名称】 1 - 5 - 1 - 3 2つのSDTをメモリセルとして用いる高速MRAMの回路模式図

【技術内容】

反平行に結合したサンドイッチ構造の層をフリー層としてトンネル接合の一方に持ち他方に磁化方向が固定されたハード層を持つSDT(Spin dependent tunneling)メモリセル(以下SSDT:sandwich SDT)を二つペアにしてメモリ部を構成する差動SSDTセルの模式的な回路を図1に示す。

この図においてSSDTは長い太線と短い太線で示されている。長い太線はサンドイッチ磁性層を示しており両端に下部電極がある。短い太線は、二つの太線の間で示されるバリア層の上部に置かれたピン層と上部電極を示している。

書き込みは、書き込み選択トランジスタが、ペアになっている二つのSSDTに直列に電流を供給することにより行われる。書き込みにより2つSSDTがお互いに反対のデータを書き込まれるようにレイアウトしておく。

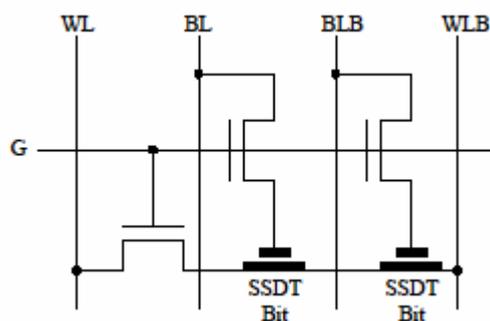
読み出し時には1本のゲート信号で二つのセルの読み出し選択トランジスタをオンにし、二つのビット線(BL、BLB)に信号を出力する。二つのSSDTは反対向きに書き込まれているため、異なる電圧を発生する。この差動電圧により、対抗するフリップフロップラッチに二つのビット線が接続されるSRAMに類似の回路でロジック出力を得る。

単一のゲート線で、読み出しおよび書き込み選択トランジスタを制御するため、WLとWLBに接続される書き込みドライバは、書き込み時には'1'あるいは'0'を書き込むための双方向電流を供給し、読み出し時には接地される。

本方式の2ビット/セル構造は、1ビット/セル構造と比べるとセル密度が低い欠点があるが、高速で信頼性の高い(robust)メモリを可能にする。

【図】

図1 差動SSDTセルの模式的な回路。1本のゲート線が書き込み選択トランジスタと二つの読み込み選択トランジスタを制御する - 読み出し時にはWLとWLBの両方が接地される。



出典:「Low Power 256K MRAM Design」,「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002年11月6日, R. Beech, R. Sinclair 著、IEEE 発行、4頁 Figure 7. Schematic of a differential SSDT cell. A single line controls both write and read select transistors - both WL and WLB will be grounded during a read.

【出典 / 参考資料】

「Low Power 256K MRAM Design」,「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002年11月6日, R. Beech, R. Sinclair 著、IEEE 発行、1-6頁

【技術分類】 1 - 5 - 1 MRAM / 書き込み技術 / 書き込み技術

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140

【技術名称】 1 - 5 - 1 - 4 2つの SSDT をメモリセルとして用いる高速 MRAM

【技術内容】

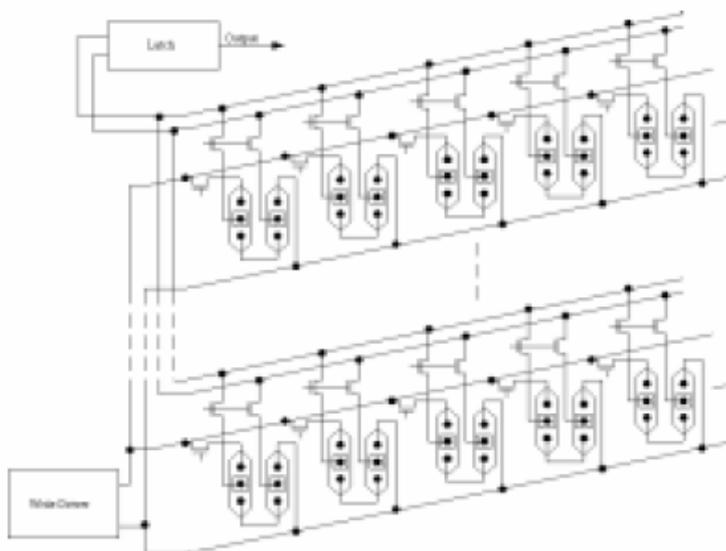
SSDT を二つペアにしてメモリ部を構成する高速で耐環境性に優れたバッファ-MRAM のアーキテクチャを模式的に図 1 に示す。この図において SSDT は二つの底面電極(上下のコンタクト)と一つの上
面電極(中央のコンタクト)で示されている。一つの SSDT の書き込みは二つの底面電極間電流を流す
ことにより行われ、電流の方向により“1”と“0”とを決める。書き込まれたデータにより上面電極
と底面電極間のトンネル抵抗が高抵抗あるいは低抵抗になる。

ペアとなった二つのセルは、常に逆向き - 片方は高抵抗、他方は低抵抗 - に書き込まれる。二つの
SSDT の底面電極は直列に接続され、一つのパストランジスタを選択することによりペアのメモリセル
を個別に電流を流して書き込むことが出来る。読み出しは、ペアとなったトンネル抵抗をそれぞれラッ
チ回路のセルとし、ラッチ回路で読み出すことができる。読み出し時には、ラッチ回路を一時的に
ショートし両方の出力を同じ電位に置いてからショートを外す。二つの SSDT セルの抵抗差によりラッ
チの出力は急速にロジックレベルまで回復する。

このアーキテクチャはきわめて速く、隣同士のセルを参照するため動作が確実であり、耐放射線性
も高い。

【図】

図 1 2JC (two junction per cell : 2 トンネル素子/メモリ) メモリのアーキテクチャ概念図。読
み出しでセル同士が参照しあうので簡単なラッチ回路で読み出しが可能。



出典 : 「High Speed, Radiation Hard MRAM Buffer」, 「Proceedings of the Non-Volatile Memory
Technology Symposium 2002」, 2002 年 11 月 6 日、R. Sinclair、R. Beech 著、IEEE 発行、4 頁 Figure
2. Schematic diagram of the 2JC memory architecture. The two SSDT elements in each cell
self-reference one another for readout – requiring only a simple latch.

【出典 / 参考資料】

「High Speed, Radiation Hard MRAM Buffer」, 「Proceedings of the Non-Volatile Memory Technology
Symposium 2002」, 2002 年 11 月 6 日、R. Sinclair、R. Beech 著、IEEE 発行、1-6 頁

【技術分類】 1 - 5 - 1 MRAM / 書き込み技術 / 書き込み技術

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140

【技術名称】 1 - 5 - 1 - 5 2つのSDTをメモリセルとして用いるMRAMの最適配置

【技術内容】

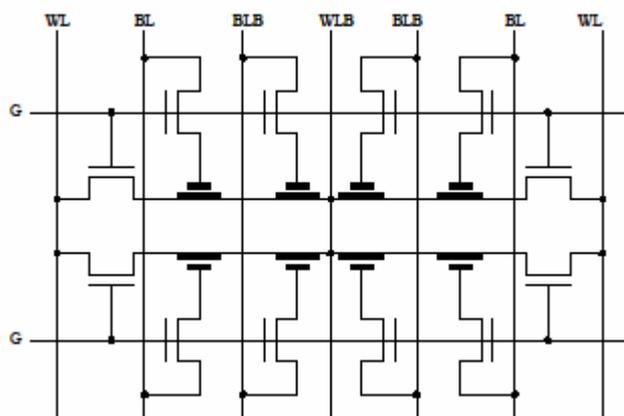
反平行に結合したサンドイッチ構造の層をフリー層としてトンネル接合の一方に持ち、他方に磁化方向が固定されたハード層を持つSDT (Spin dependent tunneling) メモリセル (以下SSDT: sandwich SDT) を二つペアにしてメモリ部を構成する差動SSDTセルの回路レイアウトにおいてX軸とY軸の両方に対称に置いた4つのメモリセルクラスターを基本構造とした(図1)。

この図においてSSDTは長い太線と短い太線で示されている。長い太線はサンドイッチ磁性層を示しており両端に下部電極がある。短い太線は、二つの太線の間で示されるバリア層の上部に置かれたピン層と上部電極を示している。

このようにメモリセルを鏡像配置することにより、二つのメモリセルでワード線を共有することが出来る。図においてWLBは行方向の二つのメモリセルによって共有されている。4メモリセルクラスター単位で行方向にメモリ数を増やすことができ、この場合隣接するクラスター間でWLを共有することが出来、メモリ搭載密度を上げることができる。

【図】

図1 差動SSDTセルの4セルクラスターの模式的な回路。鏡像セルクラスター配置によりセルレイアウトを最適化し、高密度化が可能になる。



出典: 「Low Power 256K MRAM Design」, 「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002年11月6日, R. Beech, R. Sinclair 著、IEEE 発行、5頁、Figure 9. Schematic of a 4-cell cluster of differential SSDT cells. This cluster of mirrored cell optimizes the cell layout.

【出典 / 参考資料】

「Low Power 256K MRAM Design」, 「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002年11月6日, R. Beech, R. Sinclair 著、IEEE 発行、1-6頁

【技術分類】 1 - 5 - 1 MRAM / 書き込み技術 / 書き込み技術

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@S; G11C11/15,140

【技術名称】 1 - 5 - 1 - 6 ビット線とワード線交点セルへの書き込み

【技術内容】

MRAM の記憶素子であるトンネル磁気抵抗 (TMR) 素子は自由強磁性層 (フリー層) と固定強磁性層 (ピン層) と呼ばれる二つの磁性層の間に薄い絶縁層 (トンネルバリア層) をはさんだもので、フリー層の磁化の向きを変えて 0 と 1 とを記録する。

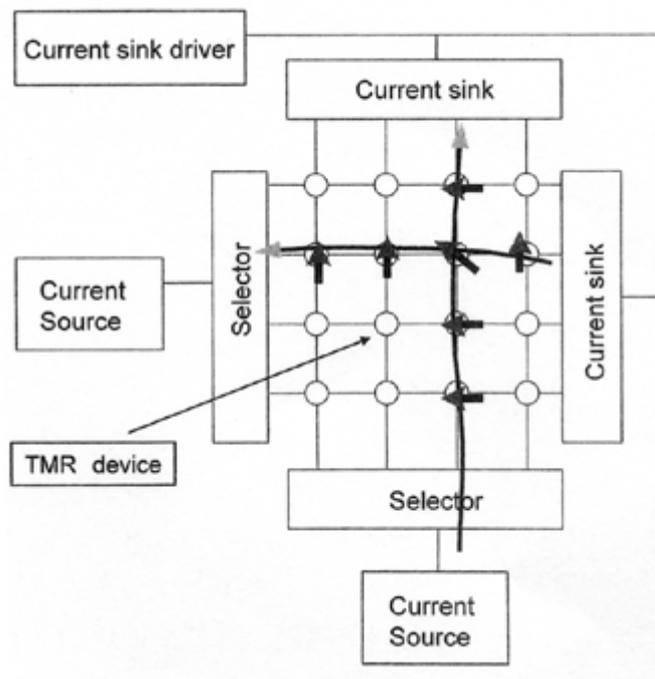
MRAM では、ビット線 (X 方向) とワード線 (Y 方向) の交点に TMR 素子で作ったメモリセルを配置する構造になっている (図 1)。

メモリへの書き込みは、ビット線とワード線に流した電流の合成磁場により行う。セルのフリー層の磁化を反転させる外部磁界の大きさを示すしきい値曲線は、図 2 のように示される。図 1 において太線で書かれているビット線とワード線に電流を流すと交点にあるセルは図 2 の左下のような磁場を受け、フリー層の磁化方向が書き換えられる。電流を流しているビット線、ワード線上にあるセルは図 2 の右下あるいは左上の状態にあり、しきい値内であるため磁化方向は変わらない。

MRAM の書き込み回路は、したがって、ビット線とワード線に電流ソースとセレクター、電流シンクとシンクドライバーを持つ構造をとる (図 1)

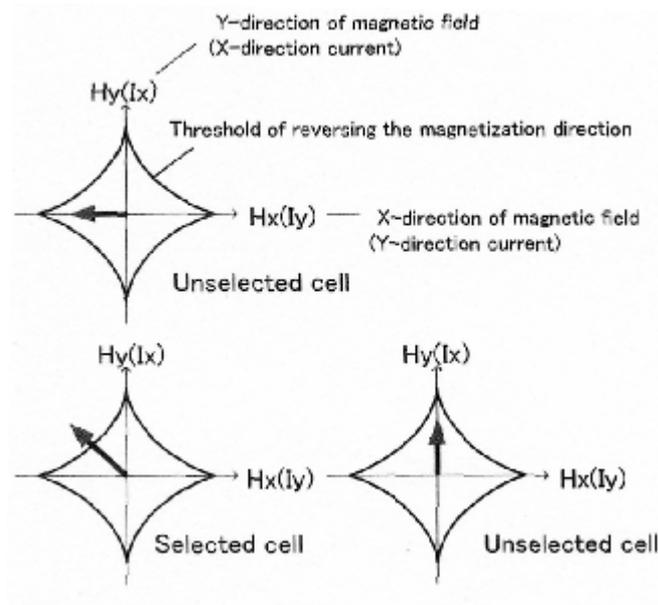
【図】

図 1 MRAM の回路構造 (書き込み時)



出典: 「MRAM 技術」, 「日本応用磁気学会誌 Vol.27 No.4」, 2003 年 4 月 1 日、田原修一著、社団法人日本応用磁気学会発行、168 頁 Fig.2 Circuit structure for MRAM

図 2 フリー層の磁化方向を反転させるための外部磁場の臨界曲線 (アステロイド曲線)



出典：「MRAM 技術」、「日本応用磁気学会誌 Vol.27 No.4」、2003 年 4 月 1 日、田原修一著、社団法人日本応用磁気学会発行、169 頁 Fig.3 Threshold curve (asteroid curve) of an external magnetic field for reversing the magnetization direction of a free layer.

【出典 / 参考資料】

「MRAM 技術」、「日本応用磁気学会誌 Vol.27 No.4」、2003 年 4 月 1 日、田原修一著、社団法人日本応用磁気学会発行、167 - 171 頁