

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択素子読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,150

【技術名称】 1 - 6 - 1 - 1 SDT および SSDT セルの MRAM の読み出し動作

【技術内容】

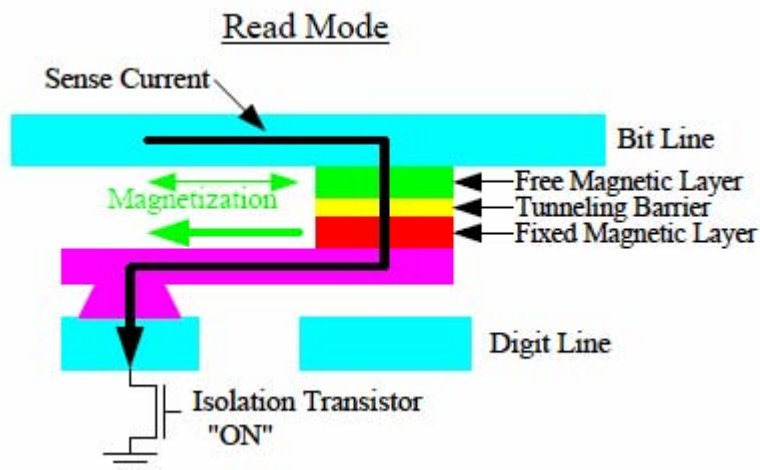
磁化の方向が常に一定のハード層 (fixed magnetic layer) と記憶内容によって磁化の方向が変わるフリー層(free magnetic layer)でトンネルバリアをはさんだ構造の、一般的な SDT(Spin dependent tunneling、MTJ:magnetic tunnel junction と呼ばれる場合もある)セルをメモリセルとして持つ MRAM の読み出し時の動作を図 1 に示す。

読み出し時においては、1 セルに一つ配置されているパストランジスタをオンにして、ビット線からセンス電流をそのセルに流す。この電流によりセルの両端にはフリー層の磁化の方向によって決まるトンネルバリアの抵抗に対応した電圧が発生する。このセル電圧を一定の参照電圧と比較してセルの状態が決められる。

フリー層を反平行に結合したサンドイッチ構造の層で構成したセル、SSDT(sandwich Spin dependent tunneling)をメモリセルとして持つ MRAM の読み出し時の動作を図 2 に示す。SSDT では書き込み時に下部のサンドイッチ層に電流を流すため両端に電極が設けられている。読み出し選択トランジスタは、セルの上部に接続され、電流はビット線から選択トランジスタを通してハード層、トンネルバリア、サンドイッチ層を通る。このとき下部にあるサンドイッチ層に接続されている書き込み選択トランジスタは、セルサンドイッチ層が接地されるように、ドライブ回路の構成にあわせてオンあるいはオフに制御される。読み出し電流が定常になったら、セル電圧を読み取ってデータの状態が決められる。

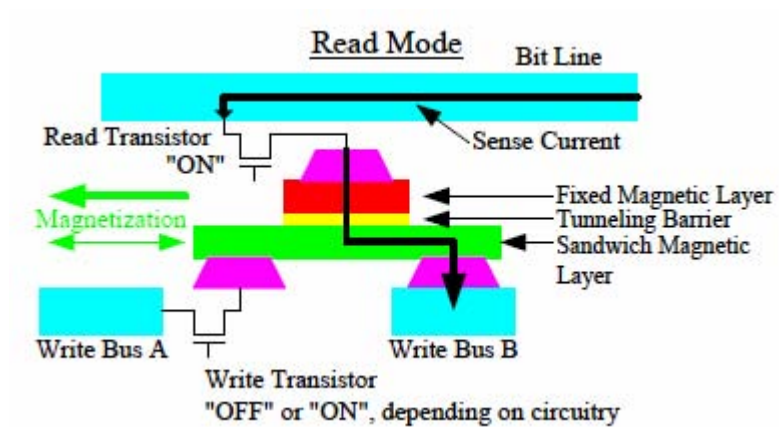
【図】

図 1 SDT セルの読み出しモード。読み出し時に SDT ビットを一つだけ選択するためトランジスタが使用される。



出典：「Low Power 256K MRAM Design」,「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002 年 11 月 6 日、R. Beech、R. Sinclair 著、IEEE 発行、2 頁 Figure 1. Read mode of a popular SDT cell design. A transistor is used to select a single SDT bit for the read operation.

図 2 SSDT セルの読み出しモード。ドライブ回路の構成にあわせてセルサンドイッチ層が接地されるように、書き込みトランジスタはオンあるいはオフに制御される。



出典：「Low Power 256K MRAM Design」, 「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002 年 11 月 6 日、R. Beech、R. Sinclair 著、IEEE 発行、2 頁 Figure 6. Read mode of the SSDT cell. Depending on the drive and select circuitry, the write transistor may be 'OFF' or 'ON' – to ground the sandwich layer.

【出典 / 参考資料】

「Low Power 256K MRAM Design」, 「Proceedings of the Non-Volatile Memory Technology Symposium 2002」, 2002 年 11 月 6 日、R. Beech、R. Sinclair 著、IEEE 発行、1-6 頁

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択素子読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,150

【技術名称】 1 - 6 - 1 - 2 抵抗比読み出し方式の読み出し系回路

【技術内容】

混載用途向けの MRAM として読み出し回路を簡単にしてバースト読み出しができることを目的に抵抗比読み出し方式の読み出し系回路を提案した。

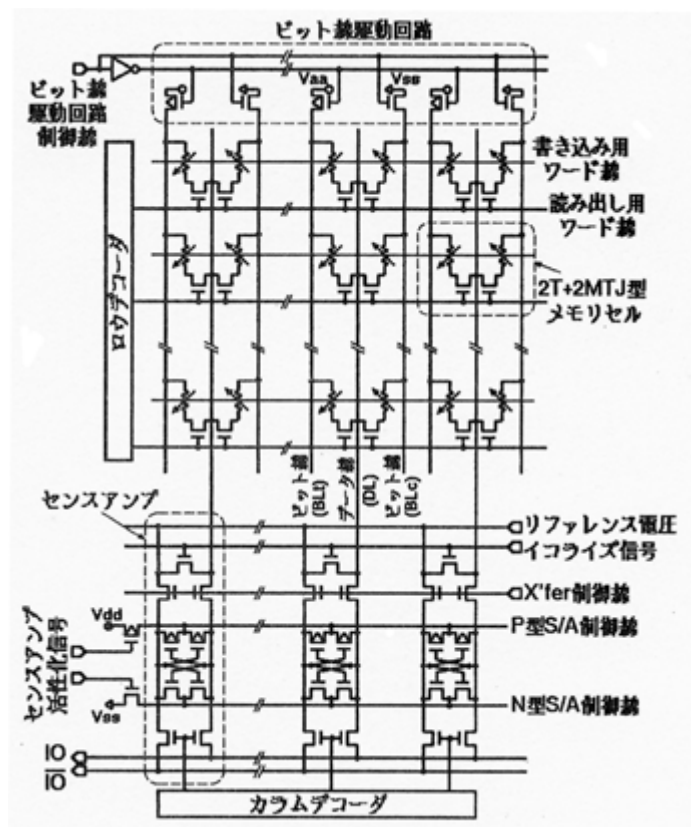
読み出し用ビット線駆動回路はビット線対ごとに接続されメモリセルアレイの一端に配置される。この反対側の端部にビット線と平行に配置されたデータ線が接続されるセンスアンプを配置する。簡素なダイナミックフリップフロップをセンスアンプとして使えるためデータ線ごとにセンスアンプを配置することが出来、バースト読み出しが可能になる。

読み出し信号はビット線駆動電圧 V_{aa} により変化するため、電源と独立して設定する必要がある。センスアンプを高速で安定して駆動するために、センスアンプの駆動線の H 側電圧を V_{aa} よりも高い電源電圧を使用する（オーバードライブ）。

ランダムアクセス速度はメモリセルからセンスアンプまで転送する時間 SDT (Signal Development Time) とセンスアンプのセンス時間の和で決まる。前者はビット線駆動回路によるメモリセルを介したデータ線充電時間で回路の RC 積により決まる。RC 積の支配要因はメモリセルの抵抗とデータ線が接続されているメモリトランジスタの拡散層の接合容量であり、データ線に接続されているセルの数、ビット長さに比例する。センスアンプに情報が転送された後にトランスファークラックを OFF とし、その後センス動作を行わせて高速化してあるためセンス動作は非常に高速である。シミュレーションにより 256 セル/BL の場合、SDT = 9 ns という結果を得た。

【図】

図 1 抵抗比読み出し方式の読み出し系回路構成。



出典：「混載メモリ用途に適した抵抗比読み出し型 MRAM」、「電子情報通信学会技術研究報告

Vol.103 No.510(ICD2003 191-200)」、2003 年 12 月 19 日、稲場恒夫、土田賢二、杉林直彦、田原修一、與田博明著、社団法人電子情報通信学会発行、49 頁 図 8 抵抗比読み出し方式の読み出し系回路構成

【出典 / 参考資料】

「混載メモリ用途に適した抵抗比読み出し型 MRAM」,「電子情報通信学会技術研究報告 Vol.103 No.510(ICD2003 191-200)」、2003 年 12 月 19 日、稲場恒夫、土田賢二、杉林直彦、田原修一、與田博明著、社団法人電子情報通信学会発行、45 - 50 頁

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択素子読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,150

【技術名称】 1 - 6 - 1 - 3 GMR 素子を使った MRAM の配置と配線

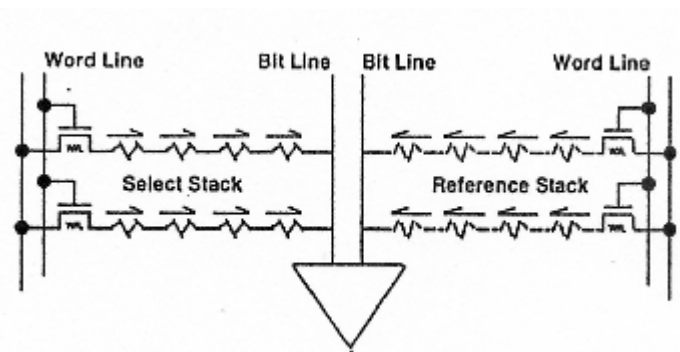
【技術内容】

MRAM のデータの書き込みは 2 次元アレイ状に並べられた GMR 素子の内選択された素子に対してのみ磁化の反転を行うことで達成される。これは通常素子をはさんで上下に直交するワード線とビット線に所定の電流を流しその合成磁場で交点にある GMR 素子の磁化反転を計る。交点に無い素子は片方の線の磁場しかかからないため磁化が反転しない。

GMR タイプの MRAM は保磁力の差を持つ擬似スピンバルブセルをマトリックス状に並べそのハード層に書き込みし、ソフト層を反転させて読み出す。GMR 素子は抵抗が低く直接電流を流すことができるため図 1 に示すように多数個のセルを直列につなぐことが出来メモリーサイズを小さくすることができる。直列につないだセルをワード線に取ると、ビット線はこれに直交する形で各素子の上部に配置する。ワード線およびビット線には選択用のトランジスタがつながれて、書き込み、読み出しセルを選択する。

【図】

図 1 GMR メモリの概念的な構造。



出典：「TMR の MRAM 応用研究の現状と課題」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、猪俣浩一郎、斎藤好昭、中島健太郎、砂井正之著、社団法人日本応用磁気学会発行、36 頁
Fig.3 Conceptual GMR memory array structure.

【出典 / 参考資料】

「TMR の MRAM 応用研究の現状と課題」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、猪俣浩一郎、斎藤好昭、中島健太郎、砂井正之著、社団法人日本応用磁気学会発行、35 - 42 頁

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択素子読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,116; G11C11/15,150

【技術名称】 1 - 6 - 1 - 4 TMR 素子を使った MRAM の配置と配線

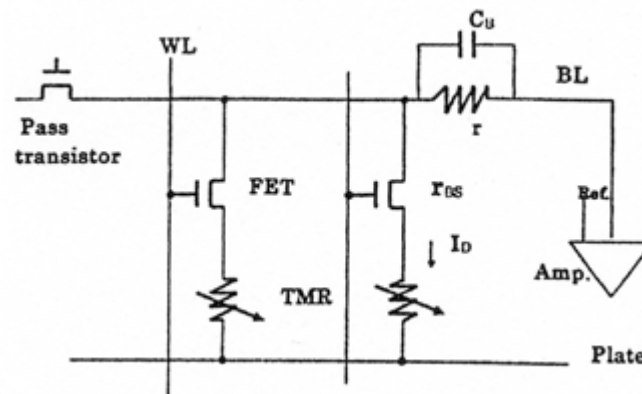
【技術内容】

MRAM のデータの書き込みは、2 次元アレイ状に並べられた TMR 素子の内、選択された素子に対してのみ磁化の反転を行うことで達成される。これは通常素子をはさんで上下に直交するワード線とビット線に所定の電流を流し、その合成磁場で交点にある TMR 素子の磁化反転を計る。交点に無い素子は片方の線の磁場しかかからないため、磁化が反転しない。

2 次元アレイ状に並べられた TMR 素子は、読み出し電流がそれぞれの素子間に混じらないように TMR 素子をトランジスタと組み合わせて読み出す必要がある。TMR 素子を用いた MRAM の回路構成を図 1 に示す。図 1 においてメモリ信号の読み出しは、ワード線とビット線により指定された(オンにしたワード線とビット線の交点にある) TMR に電流を流し、その信号電圧を参照電圧と比較して記録された 0、1 を判定する。

【図】

図 1 MTJ セルと MOS トランジスタを用いた MRAM の典型的な回路。



出典：「TMR の MRAM 応用研究の現状と課題」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、猪俣浩一郎、斎藤好昭、中島健太郎、砂井正之著、社団法人日本応用磁気学会発行、37 頁
Fig.4 Typical Circuit for MRAM using a MTJ cell + MOS transistor.

【出典 / 参考資料】

「TMR の MRAM 応用研究の現状と課題」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、猪俣浩一郎、斎藤好昭、中島健太郎、砂井正之著、社団法人日本応用磁気学会発行、35 - 42 頁

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択素子読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,116; G11C11/15,150

【技術名称】 1 - 6 - 1 - 5 1 MTJ と 1Tr でメモリセルを構成する MRAM の回路アーキテクチャ

【技術内容】

1 MTJ と 1Tr でメモリセルを構成する MRAM を試作した。直交する配線の上に MTJ を置く 1 MTJ-1Tr 構成の MRAM のアレイ構造を図 1 に示す。最上部の線 (B1、B2) は、MTJ の電極に接続され、困難磁化軸 (hard-axis) の磁場を、下部の配線は MTJ に接続されず容易磁化軸 (easy-axis) の磁場を供給する。トランジスタをオンにすると電流回路がつながり対応するビットの状態がセンスできる。

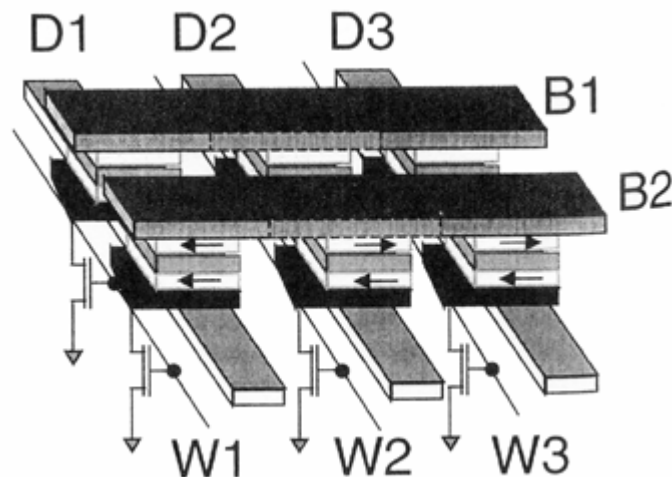
試作した 256 × 2bit の回路ブロック図を図 2 に示す。トランジスタと MTJ でメモリセルを構成し、2 個のメモリセルでトランジスタのソースと、素子分離を共用する。メモリセルとともに読み出し用の参照セルの列を中央に配置している。列方向にビット線を配置し、行方向に二つのメモリセルに対し上から、書き込み用ワード線、読み出し用ワード線、グラウンド/シンク線、読み出し用ワード線、書き込み用ワード線が配置されている。ワード線の一端には (図左) 指定された線を選択し、トランジスタ制御信号 (読み出し用ワード線) あるいは電流 (書き込み用ワード線) を流すドライバをおき、他方はシンク/グラウンドにつなぐ。ビット線の一方はセレクトと電流回路およびセンスアンプを、他方には電流スイッチとソース/シンクを接続する。

書き込みはトランジスタをオフにして、ターゲットセルのあるビット線と書き込みワード線の両方に所定の電流を流すことにより行われる。

読み出しはターゲットセルの読み出しワード線からトランジスタをオンにし、ターゲットセルと参照セルのビット線に電流を流す。ターゲットセルと参照セルのビット線の信号を比較して 0 か 1 を決定する。

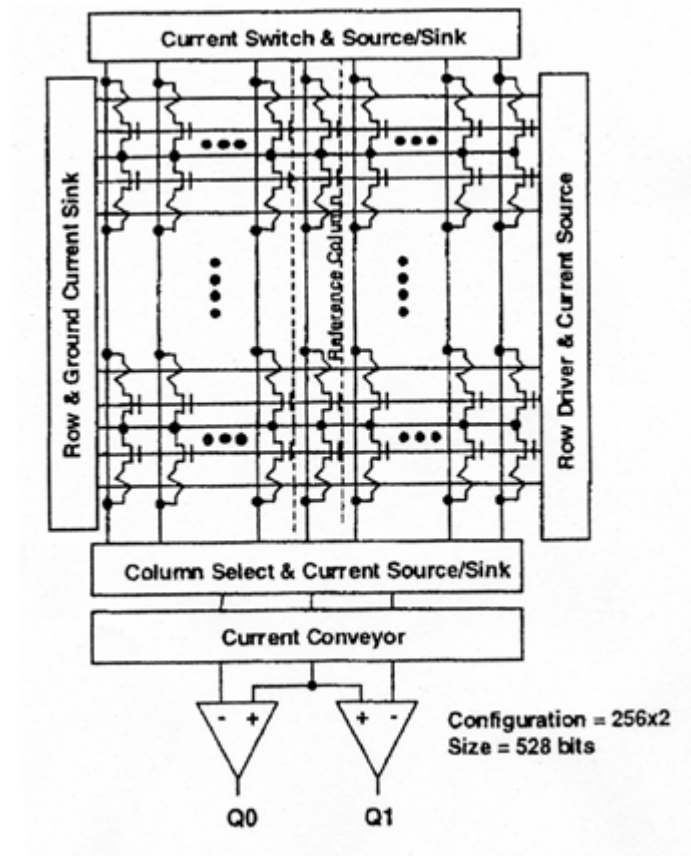
【図】

図 1 直交する配線の上に MTJ を置く 1 MTJ-1Tr 構成の MRAM のアレイ構造。



出典：「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM」,
「日本応用磁気学会研究会資料 Vol.116」, 2000 年 11 月 17 日、TEHRANI S、DURLAM M、NAJI P、SLAUGHTER J M、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気学会発行、
20 頁 Fig.3 MRAM cross-point architecture with bits between orthogonal conductors and each cell defined by one MTJ and one transistor. Top lines, in contact with the top electrodes of the bits, provide hard-axis field, while bottom lines are isolated and provide easy axis field. Turning on a transistor provides a current path so that the corresponding bit state can be sensed.

図2 試作した 256×2 回路のブロックダイアグラム。



出典：「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM」,
「日本応用磁気学会研究会資料 Vol.116」, 2000 年 11 月 17 日、TEHRANI S、DURLAM M、NAJI P、SLAUGHTER
J M、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気学会発行、
23 頁 Fig.11 Block diagram of 256x2 circuit.

【出典 / 参考資料】

「Technology Status and Potential for High Speed Nonvolatile Magnetoresistive RAM」, 「日本
応用磁気学会研究会資料 Vol.116」, 2000 年 11 月 17 日、TEHRANI S、DURLAM M、NAJI P、SLAUGHTER
J M、ENGEL B、RIZZO N、DEHERRERA M、JANESKY J、CALDER J 著、社団法人日本応用磁気学会発行、
19 - 24 頁

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択素子読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,116; G11C11/15,150

【技術名称】 1 - 6 - 1 - 6 磁気トンネル素子 + 1 トランジスタ構成のメモリセルの読み出し

【技術内容】

図 1 に磁気トンネル素子 (MTJ) と読み出し選択トランジスタで構成する 1-MTJ/1-トランジスタメモリセル構成を示す。ビット線とディジット線 (digit line) は、データ書き込み時に磁場を集中させ書き込み電流を下げる目的で軟磁性材料で MTJ に対向する面を除く 3 面を包んでいる。

メモリセルは下部に反磁性層を含む磁化方向が固定されている固定層 (あるいはハード層) と磁化方向によって 0 と 1 とを記録するフリー層 (あるいはソフト層) がトンネルバリア膜をはさんでいる構造の磁気トンネル素子 (MTJ) と素子選択トランジスタから構成させている。トランジスタは一方を MTJ の下部電極 (固定層) と他方をグラウンドに接続されている。

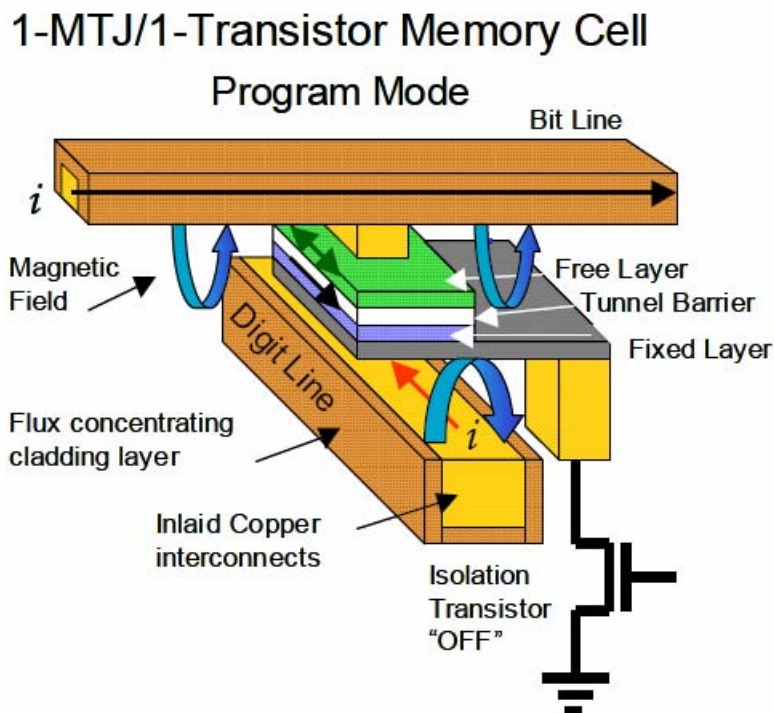
データはビット線とディジット線の双方に書き込み電流を流しその合成磁場により交点にある MTJ のフリー層の磁化を反転させて書き込む。

フリー層の磁化方向とトンネルバリアに接する固定層の磁化方向が同じ時は MTJ を貫流する電流に対する抵抗が低く、磁化方向が反対の場合は抵抗が高い。データの読み出しはターゲット素子のビットラインに電圧をかけ、素子選択トランジスタをオンにして MTJ を貫流する電流の大小で抵抗の大小を判断する。通常抵抗の変化は小さいので、参照用 MTJ を置きこの参照 MTJ と選択 MTJ の電流の差によりデータの 0 あるいは 1 を判断する。

本方式は素子一つにトランジスタ一つ必要なため高密度化に不利であるが、読み出し時のセル選択性を高めることが出来、高速な読み出しが可能と言う利点がある。

【図】

図 1 1-MTJ/1 トランジスタ MRAM セルの構造。矢印 (電流) と半円の矢印 (磁場) は書き込みモード時を示す。



出典: 「A 1-Mbit MRAM Based on 1T1MTJ Bit Cell Integrated With Copper Interconnects」, 「IEEE J Solid-State Circuits Vol.38 No.5」, 2003 年 5 月、DURLAM M、NAJI P J、OMAIR A、DEHERRERA M、

CALDER J、SLAUGHTER J M、ENGEL B N、RIZZO N D、TEHRANI S 著、IEEE 発行、770 頁 Fig. 3. MTJ device cell with 1-MTJ/1-transistor showing write mode operation with flux concentrating cladding layers.

【出典 / 参考資料】

「A 1-Mbit MRAM Based on 1T1MTJ Bit Cell Integrated With Copper Interconnects」, 「IEEE J Solid-State Circuits Vol.38 No.5」, 2003 年 5 月、DURLAM M、NAJI P J、OMAIR A、DEHERRERA M、CALDER J、SLAUGHTER J M、ENGEL B N、RIZZO N D、TEHRANI S 著、IEEE 発行、769-773 頁

【技術分類】 1 - 6 - 1 MRAM / 読み出し技術 / MTJ + 選択読み出し回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,116; G11C11/15,150

【技術名称】 1 - 6 - 1 - 7 2T2MTJ 方式

【技術内容】

混載用途向けの MRAM として、読み出し回路を簡単にしてバースト読み出しができることを目的に 2T + 2MTJ 型のメモリセルを提案し、その読み出し回路を示した。

図 1 は 2T + 2MTJ 型のメモリセルの等価回路で、トランジスタと MTJ が全て直列接続される。二つの MTJ には常に逆データが保存される。

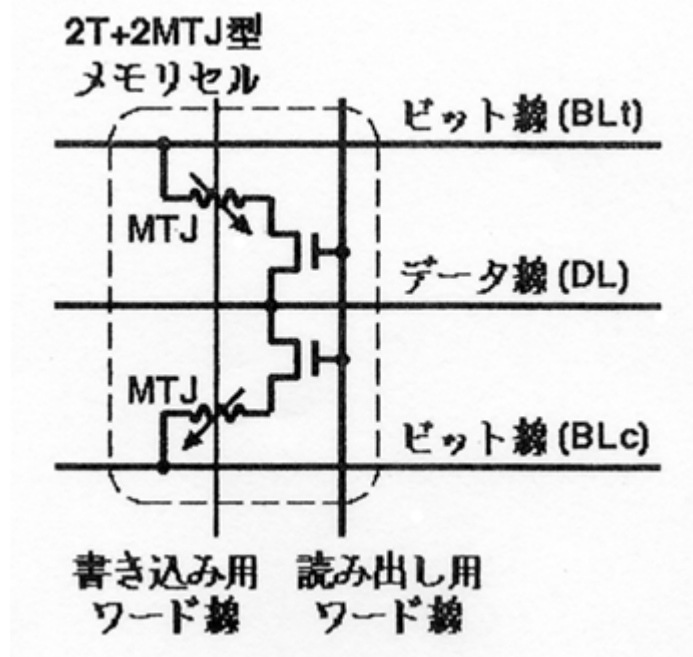
書き込みは図 2 に示す書き込み用ワード線とビット線に電流を流し、その合成磁場で書き込むが、対になるビット線には、互いに反対向きに電流を流すことにより、お互いに逆データを持つように書き込める。

読み出し時の回路構成を図 3 に示す。メモリセルの両端に接続されているビット線は対を成し、一端が読み出し用ビット線駆動回路に接続され、他端がグランドされる。信号取り出し用のデータ線は、メモリセルの中間ノードに接続されるとともに他端がセンスアンプに接続される。センスアンプ出力は、カラム選択ゲートを介して I/O 線に接続される。

読み出し動作は、最初にビット駆動回路によりメモリセルにバイアス電圧を印加する。このバイアス電圧は、二つのメモリセルの抵抗比で分割され、データ線を通じてセンスアンプに入力される。この後、センスアンプが活性化されてデータが確定し、カラム選択線から I/O 線にデータが出力される。本方式では MTJ の抵抗比により分割された電圧を読み込むだけなので簡単なセンスアンプを採用できる。また、1T + 1MTJ の場合に必要な定電流回路や電流 - 電圧変換回路が不要なため読み出し回路を大幅に単純化でき、カラムごとにセンスアンプを置いてバースト読み出しを容易に実現できる。

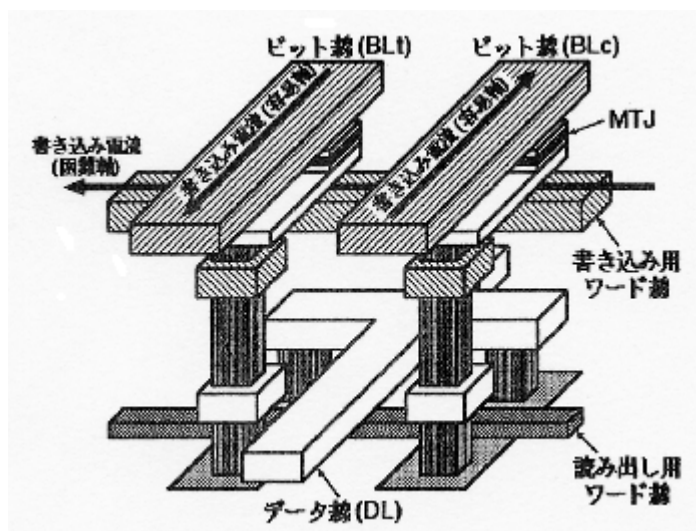
【図】

図 1 2T + 2MTJ 型メモリセルの等価回路。



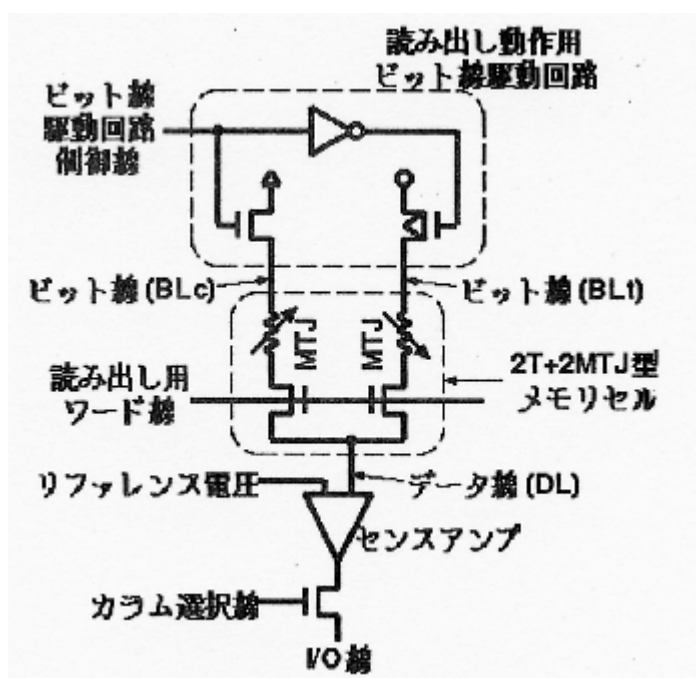
出典：「混載メモリ用途に適した抵抗比読み出し型 MRAM」, 「電子情報通信学会技術研究報告 Vol.103 No.510(ICD2003 191-200)」, 2003 年 12 月 19 日、稲場恒夫、土田賢二、杉林直彦、田原修一、與田博明著、社団法人電子情報通信学会発行、46 頁 図 2. 2T + 2MTJ 型メモリセルの等価回路

図2 2T+2MTJ型メモリセルの構造図。



出典：「混載メモリ用途に適した抵抗比読み出し型 MRAM」, 「電子情報通信学会技術研究報告 Vol.103 No.510(ICD2003 191-200)」, 2003 年 12 月 19 日、稲場恒夫、土田賢二、杉林直彦、田原修一、與田博明著、社団法人電子情報通信学会発行、47 頁 図3. 2T+2MTJ 型メモリセルの構造図

図3 抵抗比読み出し方式の読み出し系回路構成。



出典：「混載メモリ用途に適した抵抗比読み出し型 MRAM」, 「電子情報通信学会技術研究報告 Vol.103 No.510(ICD2003 191-200)」, 2003 年 12 月 19 日、稲場恒夫、土田賢二、杉林直彦、田原修一、與田博明著、社団法人電子情報通信学会発行、47 頁 図4. 抵抗比読み出し方式の読み出し系回路構成

【出典 / 参考資料】

「混載メモリ用途に適した抵抗比読み出し型 MRAM」, 「電子情報通信学会技術研究報告 Vol.103 No.510(ICD2003 191-200)」, 2003 年 12 月 19 日、稲場恒夫、土田賢二、杉林直彦、田原修一、與田博明著、社団法人電子情報通信学会発行、45 - 50 頁