

【技術分類】 1 - 7 - 2 MRAM / 回路技術 / 参照回路

【 F I 】 H01L27/10,447; G11C11/15,110

【技術名称】 1 - 7 - 2 - 1 SDT セルを二つ使ったラッチ型 MRAM メモリセル

【技術内容】

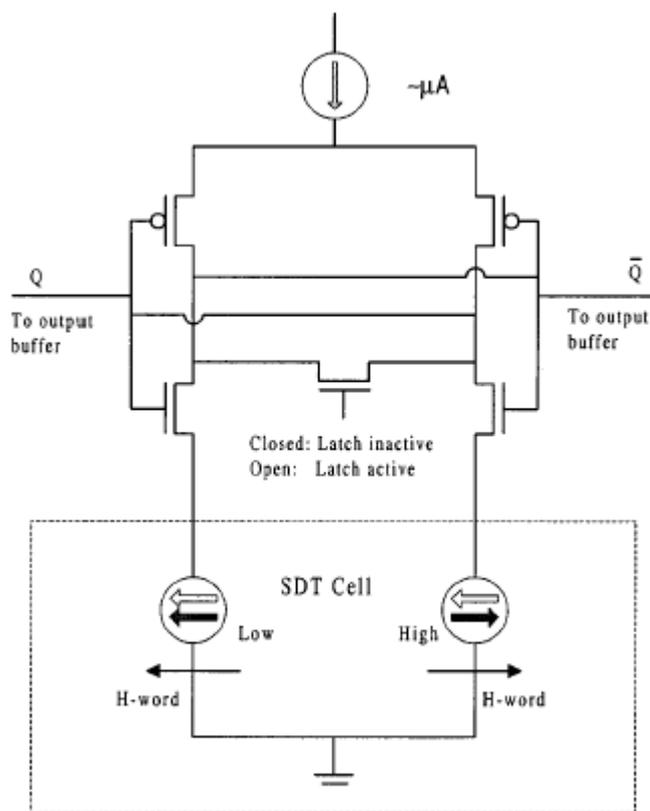
フリー層が互いに反対方向に磁化するように配置した SDT (Spin dependent tunneling) 素子のペアをメモリ素子に使い、SRAM と同じようにトランジスタで構成するラッチ回路で読み出す MRAM は、非常に高速で低消費電力の読み出しが可能な不揮発メモリを実現することができる。

図 1 はラッチ型SDTメモリビットを示している。P-MOSとN-MOSを組み合わせたインバータ 2 個のグラウンドにそれぞれSDTを置き、一方のインバータの出力を他方の入力にたすきがけに接続してラッチ回路を構成し、ラッチ回路の出力、Q、 \bar{Q} を短絡するトランジスタを置いている。短絡トランジスタをONからOFFに変えると、二つのSDTの状態に応じて、Q、 \bar{Q} は「1, 0」あるいは「0, 1」を取る。この二つの状態をメモリの「1」および「0」と定義する。

ラッチ型メモリの可能性を確かめるためにウエーハ上に図 1 の点線内に示す SDT 部分とワードおよびトルクコイルをウエーハ上に作成し、図 2 に示すような外部回路を付加して SDT セルの電流による書き込みを行い、その出力信号を測定した。ワードコイルに流す電流 (22mA) の向きを変えて、SDT が二つの状態を取ること、二つの状態間で SDT ラッチセルの出力変動が 21mV (センス電流 50 μ A) あることを確認した。

【図】

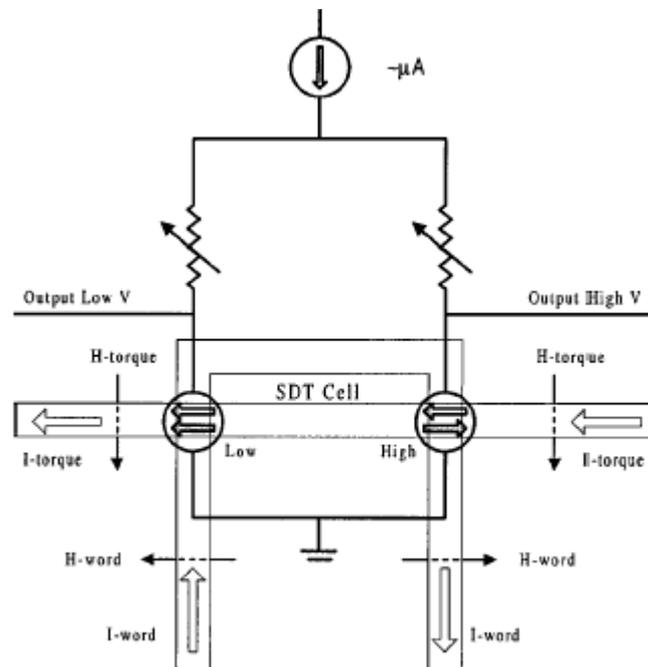
図 1 二つの SDT 抵抗とトランジスタで構成したラッチ型メモリセルの構造。実験では点線内の SDT 部分とワードおよびトルクコイルをウエーハ上に作成した。セルに示した黒の矢印はフリー層の磁化の方向を示し、その上の白抜きの矢印はピン層の磁化の方向を示す。SDT 接合の抵抗はピン層とフリー層の磁化の方向が同じ時低い。



出典 : 「Spin dependent tunneling devices fabricated for magnetic random access memory

applications using latching mode」, 「J. Appl. Phys. Vo.87 No.9」, 2001年5月1日、D. Wang、M. Tondra、A. V. Pohm、C. Nordman、J. Anderson、J. M. Daughton、W. C. Black 著、American institute of Physics 発行、6386 頁 FIG.2. Schematic of a SDT latch cell with two legs of SDT resistors and the latching transistors. Only the SDT part, along with the word and torque coils as marked within the dotted box, was fabricated on the wafer. The gray arrows in the SDT cell represent the free layer magnetization in the SDT structure; the open arrows above them represent the pinned direction. The resistance of a SDT junction is low when the free and pinned layer magnetization are parallel.

図2 SDT ラッチセルを評価するための回路構成。ワード磁場はチップ上のワードコイルに二つのセルで逆向きに流れる電流を流して発生させた。トルク磁場はワードコイルの上に置かれたトルクコイルに電流を流して発生させた。



出典：「Spin dependent tunneling devices fabricated for magnetic random access memory applications using latching mode」, 「J. Appl. Phys. Vo.87 No.9」, 2001年5月1日、D. Wang、M. Tondra、A. V. Pohm、C. Nordman、J. Anderson、J. M. Daughton、W. C. Black 著、American institute of Physics 発行、6386 頁 FIG.3. Schematic of the test setup to evaluate the SDT latch cells using external electronics. The word field is supplied by passing a current through an on-chip word coil lying over both legs of SDT resistors but with opposite polarities. The torque field is applied by passing a current through a separate torque coil lying above the word coil.

【出典 / 参考資料】

「Spin dependent tunneling devices fabricated for magnetic random access memory applications using latching mode」, 「J. Appl. Phys. Vo.87 No.9」, 2001年5月1日、D. Wang、M. Tondra、A. V. Pohm、C. Nordman、J. Anderson、J. M. Daughton、W. C. Black 著、American institute of Physics 発行、6385-6387 頁

【技術分類】 1 - 7 - 2 MRAM / 回路技術 / 参照回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,160

【技術名称】 1 - 7 - 2 - 2 中点参照値発生器 (mid-point reference generator) を配置したメモリコアブロック

【技術内容】

図 1 に磁気トンネル素子 (MTJ) と読み出し選択トランジスタで構成する 1-MTJ/1-トランジスタメモリセル構成で構成した 32Kb メモリブロックの回路構成を示す。

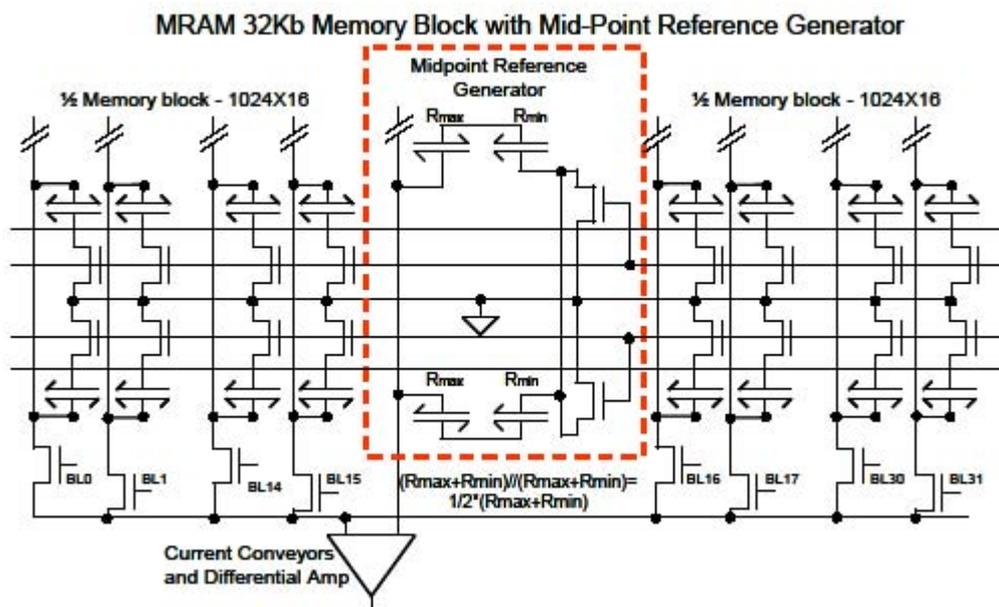
32Kb のブロックは 1024 行 × 16 列のメモリアレイを中点参照値発生器 (mid-point reference generator) を中心に左右に配したブロック構成をとっている。二つのメモリセル行を一对として、グランド線と中点参照値発生器を共有するよう配置されている。

中点参照値発生器は、平行および反平行にプログラムされた MTJ 2 個を直列に、さらにそのペアを 2 個並列に接続する 4 つの MTJ から構成され、1 と 0 を書き込まれたセルの抵抗の中点の抵抗値を持つ。データの読み出しは、選択セルと中点参照値発生器の出力を差動増幅して行う。

中点参照値発生器を読み出しセルの近くに配置し、4 つのセルの平均値を使うことにより、読み出し時に動作環境やプロセスのばらつきの影響を減らすことができる。

【図】

図 1 中点参照値発生器を持つ MRAM のメモリコアブロック回路。



出典：「A low power 1 Mbit MRAM based on 1T1MTJ bit cell integrated with copper interconnects」,
「Dig Tech Pap Symp VLSI Circuits Vol.2002」, 2002 年 6 月 1、DURLAM M、NAJI P、OMAIR A、DEHERRERA M、CALDER J、SLAUGHTER J M、ENGEL B、RIZZO N、TEHRANI S 著、IEEE 発行、160 頁 Fig.7. MRAM memory core block with mid-point reference generator circuitry.

【出典 / 参考資料】

「A low power 1 Mbit MRAM based on 1T1MTJ bit cell integrated with copper interconnects」,
「Dig Tech Pap Symp VLSI Circuits Vol.2002」, 2002 年 6 月 1、DURLAM M、NAJI P、OMAIR A、DEHERRERA M、CALDER J、SLAUGHTER J M、ENGEL B、RIZZO N、TEHRANI S 著、IEEE 発行、1158-161 頁

【技術分類】 1 - 7 - 2 MRAM / 回路技術 / 参照回路

【 F I 】 H01L27/10,447; G11C11/15,110; G11C11/15,160

【技術名称】 1 - 7 - 2 - 3 自己参照読み出し回路

【技術内容】

クロスポイント MRAM の読み出しを、ダミーセルと記憶セルの差分電流を利用してノイズ電流の影響を大幅に低減するとともに、未知データの読み出し電流を、同じセルに「0」を書き込んだ後の読み出し電流と比較する自己リファレンス方式を考案した。

図 1 はこのような読み出し方式を実現するためのセンスアンプの構成を示しており、その動作は以下のとおりである。

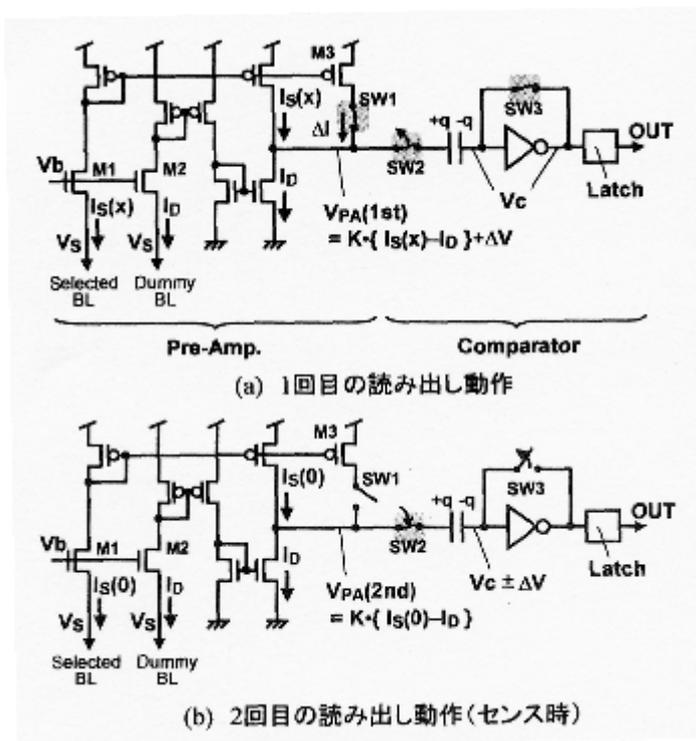
センスアンプはプリアンプとコンパレータで構成される(図 1(a))。プリアンプはセンス電流 I_s とダミー電流 I_d の差に比例する電圧 V_{pa} を出力する。コンパレータは 1 回目と 2 回目のプリアンプ出力電圧差を比較する。

センスアンプの動作は 2 回の動作により記憶内容を出力する。まず、1 回目の読み出し動作では、スイッチ 1 (SW1)、スイッチ 2 (SW2)、スイッチ 3 (SW3) がオンして(図 1(a))、未知データの V_{pa} をコンパレータのキャパシタに読み込み、SW2 をオフにして蓄える ($V_{pa}(1st)$)。次に選択セルに 0 を書き込んだ後 2 回目の読み出し動作を始める。このとき SW1 と SW2 がオフ SW3 がオンの状態であり、プリアンプは $V_{pa}(2nd)$ を出力する。次に SW3 がオフ、SW2 がオンとなって比較動作が始まる(図 1(b))。容量カップリングによってインバータの入力に生じた電圧差はインバータのゲインによってロジック振幅まで増幅され、これが読み出し結果になる。この読み出し結果を再度選択セルに書き込んでセンス動作を終了する。

回路シミュレーションによりリードアクセスタイム $1.0 \mu\text{sec}@2.5\text{V}$ を得た。また、 64×64 のクロスポイントアレイを基本構造とする 512Kb クロスポイント MRAM を試作し、2.5V で $0.8 \mu\text{sec}$ のアクセスタイムを得た。

【図】

図 1 自己リファレンス方式による MRAM 読み出し用スイッチトキャパシタセンスアンプ



出典：「512Kb クロスポイントセル MRAM」, 「電子情報通信学会技術研究報告 Vol.103 No.2 (ICD2003-4)」, 2003年4月10日、崎村昇、杉林直彦、本田雄士、三浦貞彦、沼田秀昭、波田博光、田原修一著、電子情報通信学会発行、20頁 図6 スイッチトキャパシタセンスアンプ

【出典 / 参考資料】

「512Kb クロスポイントセル MRAM」, 「電子情報通信学会技術研究報告 Vol.103 No.2 (ICD2003-4)」, 2003年4月10日、崎村昇、杉林直彦、本田雄士、三浦貞彦、沼田秀昭、波田博光、田原修一著、電子情報通信学会発行、17 - 21頁