

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－1 パタン巾の違いによる NiFe/Co/Cu/Co 膜線の磁気ヒステリシスの変化

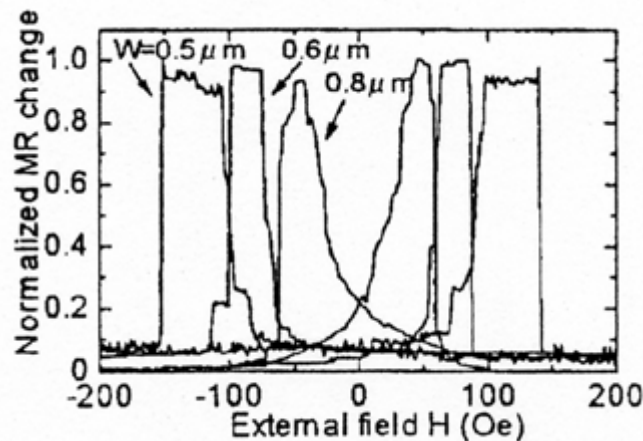
【技術内容】

長さ $25\mu\text{m}$ 、巾 0.3 、 0.4 、 $0.8\mu\text{m}$ の NiFe (6nm) /Co (2nm) /Cu (8nm) /Co (6nm) 細線パタンの MR ヒステリシスを図 1 に示す。形状磁気異方性により、パタン長軸方向を容易軸とする角型の MR ヒステリシス特性が得られている。また、パタン幅の縮小にともない磁化反転磁界がパタン幅にほぼ比例して増大している。

図 2 は NiFe 単層磁性薄膜パタン（幅 $0.2\mu\text{m}$ 、長さ $1.2\mu\text{m}$ 、膜厚 5nm ）の磁気反転過程の計算機シミュレーション結果である。パタンの両端では反磁界の影響により磁化ベクトルがエッジ方向に沿っており、端部磁区が形成している。磁化の反転時にはこの端部磁区を基点として磁壁移動型の磁化反転が起こる。

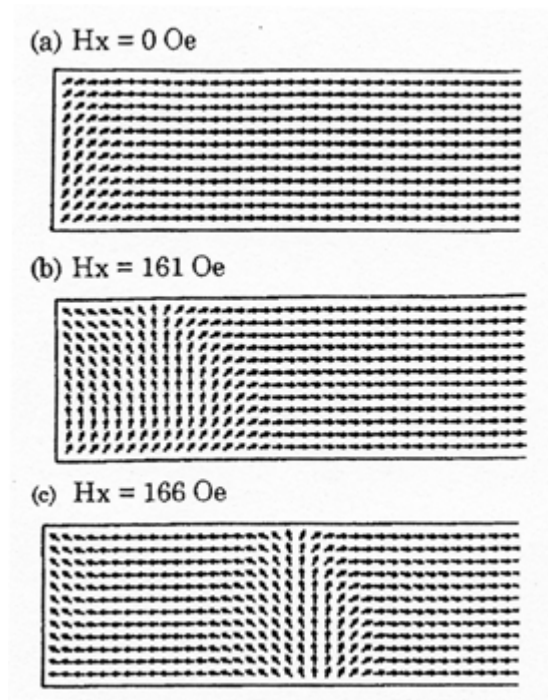
【図】

図 1 サブミクロン巾の NiFe/Co/Cu/Co 膜のパタン巾の違いによる磁気ヒステリシスの変化。



出典：「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、27 頁 Fig.1 MR hysteresis of NiFe/Co/Cu/Co Strip with sub- μm pattern width.

図 2 NiFe 単層磁性薄膜パタン（幅 $0.2\mu\text{m}$ 、長さ $1.2\mu\text{m}$ 、膜厚 5nm ）の磁気反転過程



出典：「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、28 頁 Fig.2 Incoherent magnetization switching of strip pattern with $0.2\mu\text{m}$ width and 50 nm thickness.

【出典／参考資料】

「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、27－34 頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－2 100 Mbit/cm²級MRAMの書き込み電流条件とスイッチング速度

【技術内容】

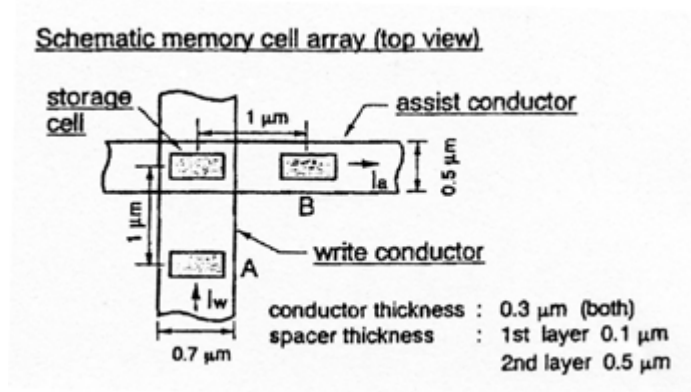
MRAMメモリアレイに書き込むためには、図1のような直交する2層の導体に電流を印加して、2本の電流を流している導体が直交している部分セルだけを選択的に磁化反転させる。図2は0.25×0.5 μm²（膜厚50nm）のNiFe薄膜パタンの磁気反転シミュレーションの結果で、磁化反転は端部磁区を基点とする磁壁移動により起こるが、補助磁場 H_t の増加により反転磁場 H_l が双曲線関数的に低下しており、一斉磁化反転におけるアステロイド曲線に類似のスイッチング特性を示している。

図3は短軸方向の書き込み導体電流 I_w とこれに直交する補助導体電流 I_a による選択的磁化特性を示している。同じ I_a 上の上部のプロットは隣接セルのスイッチングを起こさない上限電流を、下部のプロットは選択されたセルの書き込みが行える下限電流を示し、その間の直線が書き込みマージンに相当する。Case1とCase2とを比較して書き込み導体と補助導体の層順により動作マージンが著しく異なることがわかる。

磁性薄膜パタンのスイッチング速度は、情報書き込み時間に関係するが、磁性膜のダンピング定数 α が小さいほど短くなる傾向にある（図4）。 $\alpha=0.2$ の場合でも、スイッチング時間は2ns以下であり、当面は読み出し回路の動作速度が律速要因になると考えられる。

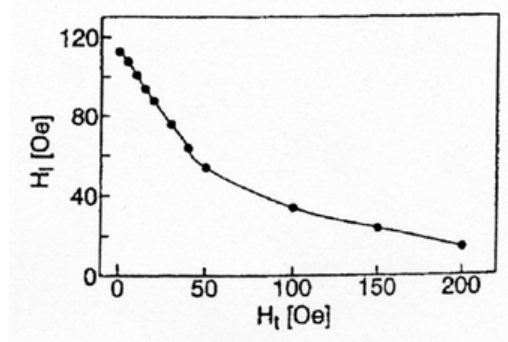
【図】

図1 100 Mbit/cm²メモリセルアレイのセル配置。



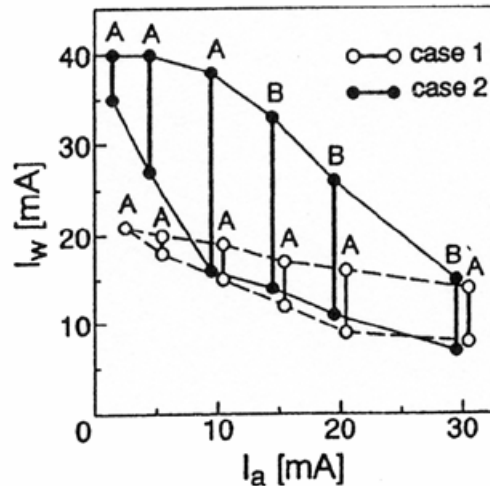
出典：「GMR,TMRの磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999年11月26日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、28頁 Fig.4 A design of 100 Mbit/cm² memory cell array.

図2 磁化反転を起こす長手方向の磁気反転磁場 H_l と直行方向の補助磁場 H_t との関係



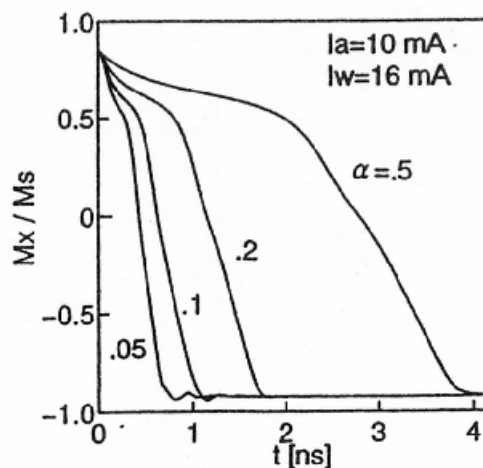
出典：「GMR,TMRの磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999年11月26日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、28頁 Fig.5 Longitudinal switching field H_l as a function of transverse assist field H_t .

図3 サブミクロン中のNiFe/Co/Cu/Co膜のパタン巾の違いによる磁気ヒステリシスの変化。



出典：「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999年11月26日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、29頁 Fig.6 Current amplitude margin I_w for selective writing vs. assist current I_a . Case:case 1 : Write conductor over assist conductor, case 2: Assist conductor over write conductor.

図4 NiFe 単層磁性薄膜パタン（幅 $0.2\mu\text{m}$ 、長さ $1.2\mu\text{m}$ 、膜厚 5nm ）の磁気反転過程



出典：「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999年11月26日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、29頁 Fig.7 Dependence of switching process on the damping constant α .

【出典／参考資料】

「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999年11月26日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、27－34頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－3 25M ビット MRAM の構成と消費電力

【技術内容】

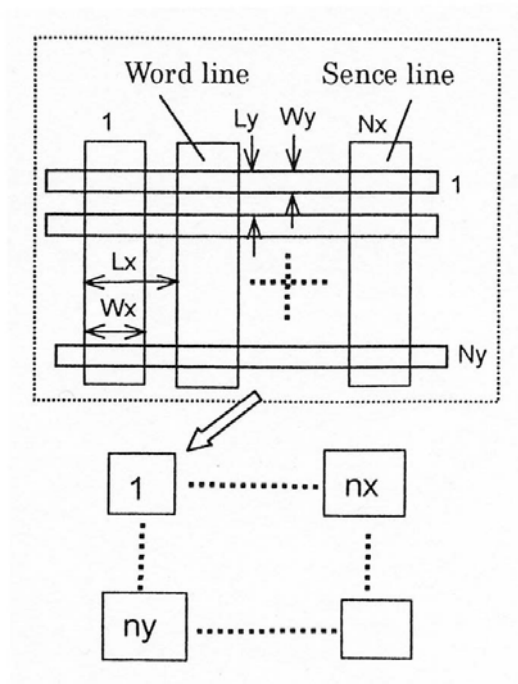
図1のようなメモリブロック構成で表1(a)に示すように、ワード線間隔 (L_x) $4\mu\text{m}$ 、ワード線幅 (W_x) $3\mu\text{m}$ 、センス線間隔 (L_y) $1\mu\text{m}$ 、センス線幅 (W_y) $0.4\mu\text{m}$ 、ブロックサイズ ($N_x \times N_y$) 5×2000 、チップ上のブロック数 2.5k のメモリの動作性能を検討した。メモリセルサイズは $4\mu\text{m}^2$ 、記録密度は $25\text{ Mbit}/\text{cm}^2$ である。

ワード線の消費電力 (表1(b)) は導体の抵抗率 $2 \times 10^{-6} \Omega\text{cm}$ 、書き込み電流密度 $10\text{mA}/\mu\text{m}$ を仮定して1ワード線あたり 120 mW となる。センス線のシート抵抗を $30\Omega/\text{square}$ 、センス電流を 1 mA とすると1センス線の消費電力は 1.5 mW となる。MR変化にかかわるセンス線長は $3\mu\text{m}/\text{bit}$ であり、5%のMR変化に対する読み出し電圧は 11 mV である。

表1(a) および (b) に示されるように、センス線電流密度は $10^7\text{A}/\text{cm}^2$ に達しており素子の微細化に際しては、センス線の高抵抗化、MR比の増大によるセンス電流の低減が必要である。

【図】

図1 1メモリーセルブロックのレイアウト。



出典：「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、32 頁 Fig.16 Layout of memory cell block.

表1 メモリセルの設計パラメータ (寸法と消費電力)

(a)		(b)		(c)	
Chip design		Power consumption at write conductor		Power consumption at sense line	
Lx	4 μm	Thickness	0.4 μm	Thickness	0.02 μm
Wx	3 μm	Resistivity	$2.0 \times 10^{-6} \Omega \text{cm}$	Sheet resistance	30 $\Omega / \square$
Nx	5	Resistance :R _w /bit	$1.6 \times 10^{-2} \Omega$	Resistance :R _w /bit	300 Ω
Ly	1 μm	Resistance :R _w /word line	32 Ω	Resistance :R _w /sense line	1.5 k Ω
Wy	0.4 μm	Current density	$2.5 \times 10^6 \text{ A/cm}^2$	Out put voltage (MR ratio 5 %)	11 mV
Ny	2000	Power/bit	58 μW	Current density	$1.3 \times 10^7 \text{ A/cm}^2$
nx	500	Power /word line	120 mW	Power/bit	300 μW
ny	5			Power /sence line	1.5 mW

出典：「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、29 頁 Table2 Chip design and power consumption of GMR-MRAM.

【出典／参考資料】

「GMR,TMR の磁性ランダムアクセスメモリへの応用」、「日本応用磁気学会研究会資料 Vol.112」、1999 年 11 月 26 日、松山公秀、能崎幸雄、村嶋憲行著、社団法人日本応用磁気学会発行、27－34 頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－4 Gbit/cm²級のMRAMのメモリ素子寸法と書き込み条件

【技術内容】

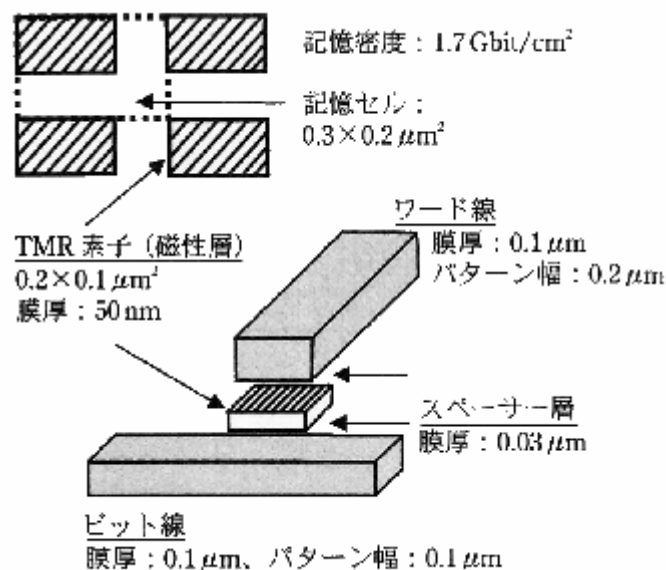
Gbit/cm²級のMRAMの実用性を検討するため、図1のようなTMR素子と配線構造を想定して、書き込み動作の計算機シミュレーションを行った。この図の構造(TMR素子パターン0.1μm×0.2μm、膜厚50nmのNiFe)の場合、メモリ素子密度は1.7 Gbit/cm²となる。

図2はワード線電流10mA、ビット線電流5mAで磁化反転を行った場合の、反磁界エネルギーと交換エネルギーの時間変化を示している。エネルギー障壁の高さは 1.4×10^{-11} ergであり静磁エネルギー項が障壁の主要因となっている。

素子の微細化により、記録ビットの熱揺らぎに対する安定性の確保(ポテンシャル障壁を高くする)と、書き込み電流密度の低下(磁化反転電流の低減)という相反する要求を満たさなければならない。磁性薄膜パターンを1軸磁気異方性Kuを持つ体積vの単磁区微粒子と考えると、熱揺らぎ限界に対するKuの値は 4×10^4 erg/cm³と見積もられる。この場合の磁化反転磁界は2.0 kA/mと計算され、本設計の条件では電流0.69 mA(電流密度 $=3.5 \times 10^6$ A/cm²)、動作消費電力1.8 mWと見積もられる。この電流密度はCu配線のエレクトロマイグレーション耐性の範囲内である。

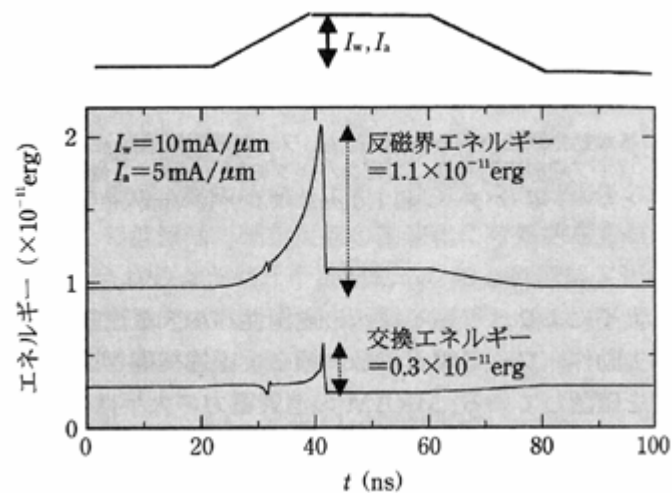
【図】

図1 Gbit 級 MRAM の設計例。



出典:「磁性ランダムアクセスメモリー(MRAM)の課題と可能性」、「応用物理第 69巻 第9号」、2000年9月1日、松山公秀著、社団法人応用物理学会発行、1078頁 図9 Gbit 級 MRAM の設計例。

図2 情報書き込み過程における記憶セルのエネルギー変化



出典:「磁性ランダムアクセスメモリー(MRAM)の課題と可能性」、「応用物理第 69 巻 第 9 号」、2000 年 9 月 1 日、松山公秀著、社団法人応用物理学会発行、1078 頁 図 10 情報書き込み過程における記憶セルのエネルギー変化. 2 安定磁化状態間に、反磁界エネルギーと交換エネルギーによる 1.4×10^{-11} erg のエネルギー障壁が存在する.

【出典／参考資料】

「磁性ランダムアクセスメモリー(MRAM)の課題と可能性」、「応用物理第 69 巻 第 9 号」、2000 年 9 月 1 日、松山公秀著、社団法人応用物理学会発行、1074—1079 頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－5 磁化反転過程のシミュレーション

【技術内容】

大容量化のために TMR 素子を小さくしていくと反磁界の影響が大きくなり、磁化反転に大きな磁場が必要になるため、書き込み電力の増大が問題となる。パターンサイズが μm オーダ以下になると形状磁気異方性が磁化過程に大きな影響を及ぼす。微細磁気構造の詳細を調べるために、マイクロマグネティックスに基づくシミュレーションが有用であり、実際に研究されている。

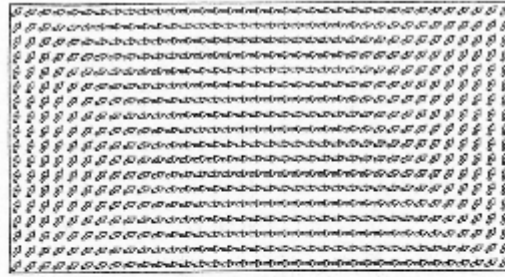
図 1 に $0.25 \times 0.5 \mu\text{m}^2$ 、5nm 厚の磁性薄膜パターンにおける磁化反転過程のシミュレーション結果を示している。初期緩和状態（図 1 (a)）において、約 $0.1 \mu\text{m}$ 幅の端部磁区が両端部に生じている。磁化反転はこの端部磁区が拡大する形で非一様に生じている（図 1 (b)）。このシミュレーションでは端部磁区の磁化ベクトルの方向が両端とも同じ上向きになっているが、互いに逆方向をむいた初期状態もありうる。このような端部磁区の形成のあり方がその後の磁化反転過程に影響し、ひいては微細パターンにおける磁化反転磁界のばらつきの一因と考えられ、端部を楕円形状や楔形状に加工することにより端部磁区の形成を抑制することが示されている。

図 2 に $0.1 \times 0.15 \mu\text{m}^2$ （膜厚 3nm）パタンの磁化反転過程における長軸方向磁化成分 M_x （飽和磁化 M_s で基準化）の時間変化を示している。磁化反転はパターン全体でほぼ同期して生じており、パターンサイズの微細化により磁化反転が一斉磁化回転モードに近くなっていることがわかる。図 1 に比べてパターンサイズは $1/2.5$ に縮小されているが、形状比と膜厚低減により反転磁界の増大は（スケール則の 2.5 倍でなく）20%程度に抑えられていて、スケーリング則を緩和するためにはパターン形状比の適正設計が必要ながわかる。

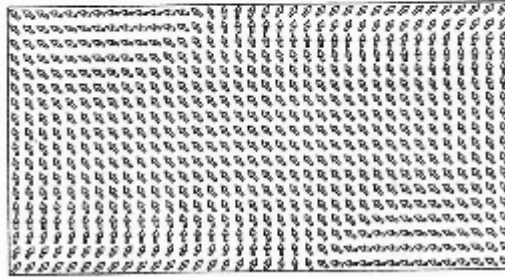
図 3 に評価用 MRAM のチップレイアウトおよびその写真を示す。テストチップではワード線とスピナルブ細線の交差部への磁区形成を磁気抵抗変化によって観測する。パターン幅 $0.4 \mu\text{m}$ 、配列周期 $1.2 \sim 2.2 \mu\text{m}$ のセンス線群と、パターン幅 $1.0 \mu\text{m}$ 、配列周期 $2.2 \sim 5.0 \mu\text{m}$ のワード線群で最大 $38\text{Mbit}/\text{cm}^2$ の記憶セル格子を形成している。

【図】

図 1 $0.25 \times 0.5 \mu\text{m}^2$ 薄膜パタンの不均一磁化反転



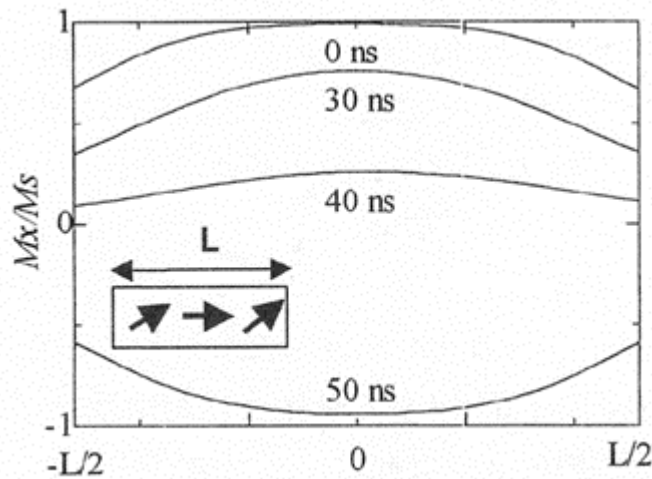
(a) $t = 0$ ns (Initial state)



(b) $t = 0.8$ ns

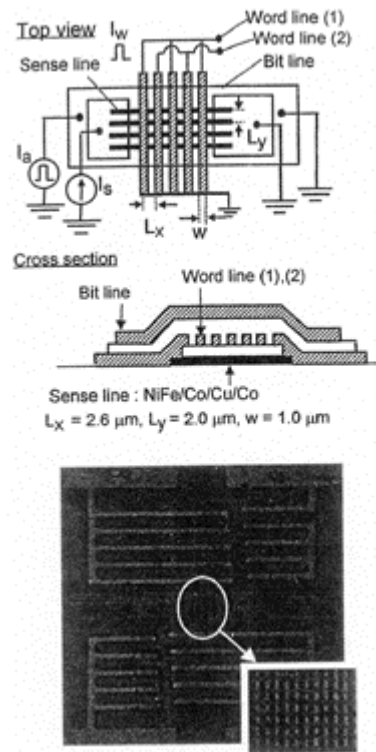
出典：「磁性ランダムアクセスメモリの現状と課題」、「日本応用磁気学会誌 Vol.25 No.2」、2001年2月1日、松山公秀著、社団法人日本応用磁気学会発行、53頁 Fig.3 Nonuniform magnetization reversal of a $0.25 \times 0.5 \mu\text{m}^2$ thin film pattern.

図2 $0.1 \times 0.15 \mu\text{m}^2$ 薄膜パタンの単一軸類似の磁化反転



出典：「磁性ランダムアクセスメモリの現状と課題」、「日本応用磁気学会誌 Vol.25 No.2」、2001年2月1日、松山公秀著、社団法人日本応用磁気学会発行、53頁 Fig.4 Single-domain-like magnetization reversal process of a $0.1 \times 0.15 \mu\text{m}^2$ thin film pattern.

図3 評価用 MRAM



出典：「磁性ランダムアクセスメモリの現状と課題」、「日本応用磁気学会誌 Vol.25 No.2」、2001年2月1日、松山公秀著、社団法人日本応用磁気学会発行、55頁 Fig.6 Schematic figure and photograph of a fabricated MRAM test chip.

【出典／参考資料】

「磁性ランダムアクセスメモリの現状と課題」、「日本応用磁気学会誌 Vol.25 No.2」、2001年2月1日、松山公秀著、社団法人日本応用磁気学会発行、51—58頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－6 Gbit 級 MRAM の書き込み条件（最小パタン寸法 $F=0.1\mu\text{m}$ での動作電流をシミュレーション）

【技術内容】

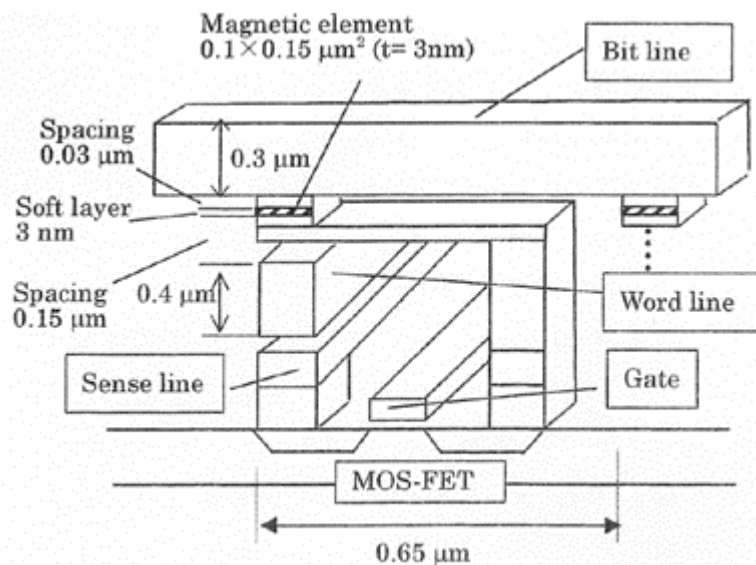
Gbit 級 MRAM の実現性について検討するため、IBM 社によって設計試作された TMR-MRAM を最小パタン寸法 $F=0.1\mu\text{m}$ でスケールダウンした場合の動作電流をシミュレーションによって見積もった。

図 1 はメモリセルの構造を示しており、記憶セル面積は、 $2F \times 6.5F = 0.13\mu\text{m}^2$ 、記憶密度は $750\text{ Mbit}/\text{cm}^2$ となる。

TMR の自由層として $0.1 \times 0.15\mu\text{m}^2$ 、膜厚 3nm のパーマロイ薄膜を仮定した場合、磁化反転に要する電流値は、 $I_w=12\text{mA}$ 、 $I_a=6\text{mA}$ であった。この電流値は電流密度にすると $23\text{MA}/\text{cm}^2$ となり、Cu 配線のエレクトロマイグレーション限界とされる $10\text{MA}/\text{cm}^2$ を大きく超えている。メモリ素子のアスペクト比を小さくすることにより動作電流を低減することは可能であるが、熱擾乱による磁化反転が問題となりうる。動作消費電力と情報安定性の相反的な要求を満たすような 3 次元的なセル形状の設計が重要である。

【図】

図 1 最小パタン寸法 $0.1\mu\text{m}$ の $750\text{ Mbit}/\text{cm}^2$ TMR-MRAM の設計



出典：「磁性ランダムアクセスメモリの現状と課題」、「日本応用磁気学会誌第 Vol.25 No.2」、2001 年 2 月 1 日、松山公秀著、社団法人日本応用磁気学会発行、56 頁 Fig.11 Design of a $750\text{ Mbit}/\text{cm}^2$ TMR-MRAM with a minimum feature size of $0.1\mu\text{m}$.

【出典／参考資料】

「磁性ランダムアクセスメモリの現状と課題」、「日本応用磁気学会誌第 Vol.25 No.2」、2001 年 2 月 1 日、松山公秀著、社団法人日本応用磁気学会発行、51－58 頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－7 MTJ の形状が書き込み電流に及ぼす影響のシミュレーション

【技術内容】

1-MTJ、1-トランジスタ構成のMRAMセルの書き込み電流に及ぼすMTJのサイズ、形状の影響をマイクロマグネティック（micromagnetic）シミュレーションにより解析した。

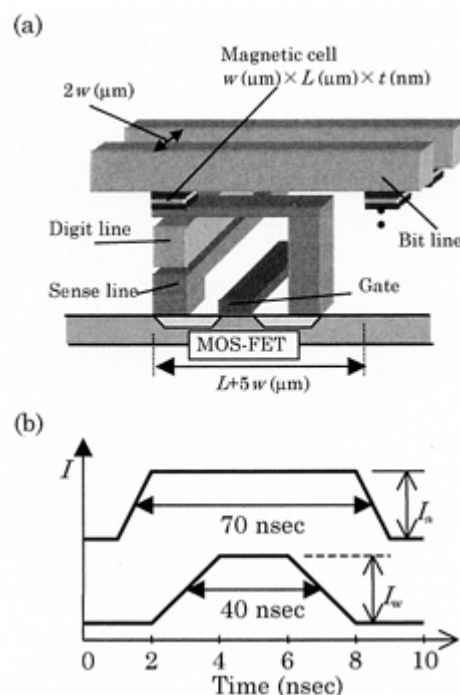
図1(a)は1-MTJ、1-トランジスタ構成のMRAMセルの模式図で、MTJのフリー層は長さ L 、幅 w の長方形で厚さは t である。セルは直交するディジット線とビット線に電流を流すことにより長手方向に磁化の方向を切り替える。ビット線の断面は $w \times 0.3 \mu\text{m}$ 、ディジット線の断面は $L \times 0.4 \mu\text{m}$ とし、ビット線とディジット線のセル表面からの隙間距離はそれぞれ0.05および $0.15 \mu\text{m}$ である。書き込み時のビット線電流 I_a とディジット線電流 I_w のタイミングチャートを図1(b)に示す。

セルの形状を固定（ $w = 0.1 \mu\text{m}$ 、 $L/w = 1.5$ 、 $t = 3 \text{ nm}$ ）して、ディジット線電流 I_w を変えながら書き込みが出来るビット線電流 I_a を計算した（図2(a)）。 I_w と I_a の和は $I_w = 11 \text{ mA}$ のとき最小となり、このとき $I_w = 2 I_a$ となった。以後の計算では、 I_a を I_w の1/2として計算し、書き込み電流を I_w で代表させた。

図2(b)および(c)に、セルサイズ w およびセル厚さ t による書き込み電流 I_w とエネルギー障壁 ΔE の変化を示す。書き込んだセルの熱的安定性を確保するために ΔE は $80 k_B T$ （ k_B =ボルツマン定数、 T =絶対温度）以上でなければならない。 w が小さくなると ΔE も下がるため、下限の w は図2(b)の破線で示すように、（ $t = 3 \text{ nm}$ のとき） $0.13 \mu\text{m}$ であり、このとき I_w は 9 mA となる。ソフト磁性層の厚さ t を減らすと ΔE も下がるため、 $w = 0.1 \mu\text{m}$ のときの下限の t は図2(c)から 3.5 nm であり、このとき I_w は 12 mA となる。

【図】

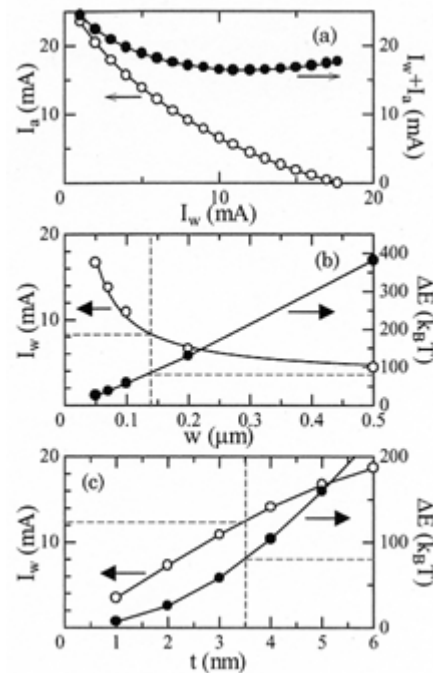
図1 (a) 1-MTJ、1-トランジスタ構成のMRAMセルの模式図、(b)書き込み時のビット線電流 I_a とディジット線電流 I_w のタイミングチャート



出典：「Size dependence of switching current and energy barrier in the magnetization reversal of rectangular magnetic random access memory cell」、*J. Appl. Phys.* Vol.93 No.10、2003

年5月15日、Y. Nozaki、K. Matsuyama著、American institute of Physics発行、7296頁 FIG. 1. (a) Schematic configuration of simulated 1-MTJ, 1-tranjsistor MRAM cell. (b) Timing diagram of orthogonal conductor currents I_w and I_a for a write operation of MRAM cell.

図2 (a) $w = 0.1\mu\text{m}$, $L/w = 1.5$, $t = 3\text{ nm}$ の長方形セルの書き込み電流 I_w と I_a の計算値。書き込み電流 I_w とエネルギー障壁 ΔE に及ぼす(b)セルサイズ w と(c)セル厚さ t の影響。セルのアスペクト比 L/w は1.5に固定した。



出典：「Size dependence of switching current and energy barrier in the magnetization reversal of rectangular magnetic random access memory cell」, 「J. Appl. Phys. Vol.93 No.10」、2003年5月15日、Y. Nozaki、K. Matsuyama著、American institute of Physics発行、7296頁 FIG. 2. (a) Calculated switching currents with both digit-line current I_w and bit-line current I_a for the rectangular cell ($w = 0.1\mu\text{m}$, $L/w = 1.5$, $t = 3\text{ nm}$). (b) Cell size w and (c) thickness dependence of switching current I_w and energy barrier ΔE required for switching. The aspect ratio L/w of the cell are fixed at 1.5.

【出典／参考資料】

「Size dependence of switching current and energy barrier in the magnetization reversal of rectangular magnetic random access memory cell」, 「J. Appl. Phys. Vol.93 No.10」、2003年5月15日、Y. Nozaki、K. Matsuyama 著、American institute of Physics 発行、7295-7297 頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－8 MTJ のアスペクト比が選択書き込みのための電流マージンに及ぼす影響

【技術内容】

MRAM セルの書き込みは、直交する 2 本の配線に電流を流しその交点で合成磁場によりセルの磁化を反転させる。反転させるためには最小の電流値が存在し、それ以上の電流を流すことになるが、電流を増やしすぎると目的以外のセル（最近接セル）を反転させることになる。すなわち選択書き込み電流にはターゲットセルを反転させる下限値と最近接セルを反転させる上限値がある。高密度化のためセルサイズを小さくしていくと、電流により発生する磁場がターゲットセル近傍のセルに及ぼす影響が相対的に大きくなり、上限値と下限値の差（書き込み電流マージン）が低下する。書き込み選択性をあげる手段の一つとして MTJ セルのアスペクト比を取り上げ検討した。

1-MTJ、1-トランジスタ構成の MRAM セルの書き込み電流に及ぼす MTJ アスペクト比が選択書き込みのための電流マージンに及ぼす影響をマイクロマグネチック (micromagnetic) シミュレーションにより解析した。

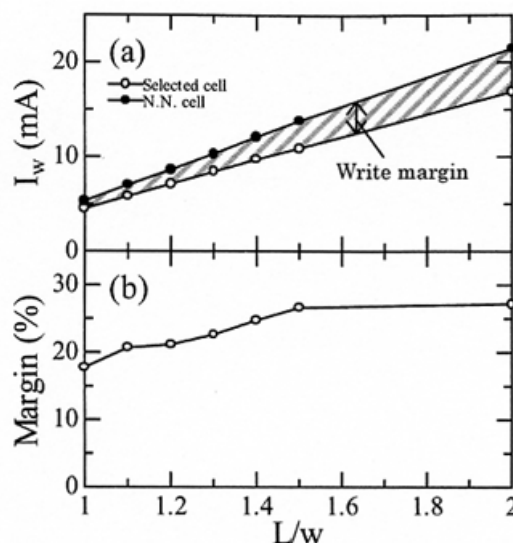
MTJ のフリー層は長さ L 、幅 w の長方形で厚さは t である。セルは直交するディジット線とビット線に電流を流すことにより長手方向に磁化の方向を切り替える。ビット線の断面は $w \times 0.3 \mu\text{m}$ 、ディジット線の断面は $L \times 0.4 \mu\text{m}$ とし、ビット線とディジット線のセル表面からの隙間距離はそれぞれ 0.05 および $0.15 \mu\text{m}$ である。

セル幅 w を $0.1 \mu\text{m}$ に、厚さ t を 3 nm に固定してアスペクト比 L/w を変えながらディジット線電流 I_w の上、下限値を求めた。ただしビット線電流 I_a は I_w の $1/2$ とした。

図 1 (a) にターゲットセルを反転させる I_w の下限値（白抜き）と最近接セルを反転させる I_w の上限値（黒丸）を示す。2 つの電流値の間の領域が、選択書き込みが行える電流範囲であり、これから計算したマージン（ $=2 \times (\text{上限値} - \text{下限値}) / (\text{上限値} + \text{下限値})$ ）を図 1 (b) に示す。マージンはアスペクト比が 2.0 と 1.5 の間では 27% であり、 1.5 から 1 までの間にアスペクト比の低下とともに 18% まで下がる。

【図】

図 1 (a) ターゲットセルを反転させる I_w （白抜き）と最近接セルを反転させる I_w （黒丸）および、(b) 選択書き込みのための電流マージンのアスペクト比による変化。



出典：「Size dependence of switching current and energy barrier in the magnetization reversal

of rectangular magnetic random access memory cell」,「J. Appl. Phys. Vol.93 No.10」、2003 年 5 月 15 日、Y. Nozaki、K. Matsuyama 著、American institute of Physics 発行、7297 頁 FIG.3. Aspect ratio dependence of (a) switching currents for selected and first nearest-neighbor (n.n.) cells and (b) the margin of I_w for a selective write operation.

【出典／参考資料】

「Size dependence of switching current and energy barrier in the magnetization reversal of rectangular magnetic random access memory cell」,「J. Appl. Phys. Vol.93 No.10」、2003 年 5 月 15 日、Y. Nozaki、K. Matsuyama 著、American institute of Physics 発行、7295-7297 頁

【技術分類】 1－9 MRAM／回路・デバイスシミュレーション

【 F I 】 H01L27/10,447; G11C11/15,110; G06F17/50,652

【技術名称】 1－9－9 MTJ のセル配置周期が選択書き込みのための電流マージンに及ぼす影響

【技術内容】

MRAM セルの書き込みは、直交する 2 本の配線に電流を流しその交点で合成磁場によりセルの磁化を反転させる。反転させるためには最小の電流値が存在し、それ以上の電流を流すことになるが、電流を増やしすぎると目的以外のセル（最近接セル）を反転させることになる。すなわち選択書き込み電流にはターゲットセルを反転させる下限値と最近接セルを反転させる上限値がある。

高密度化の限界を探索するためセルサイズとセル間隔が 100nm 以下の MRAM の数値シミュレーションにより書き込み電流マージンとセル間の静磁気相互作用による情報の安定性の劣化に及ぼす、セルサイズとセル配置の影響について検討した。

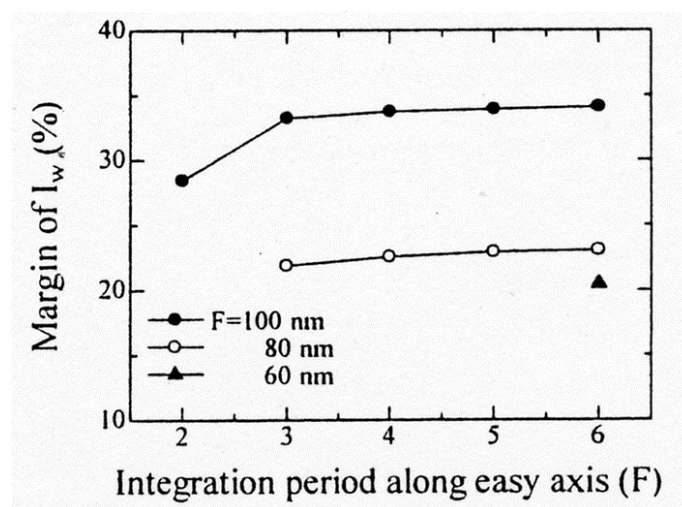
$F \times F \times t$ ($F=60, 80, 100\text{nm}$) の矩形 MRAM セルが困難軸方向に 2F 周期、容易軸方向に 2F から 6F 周期で 9×9 個配列している系の書き込みについてシミュレーション計算した。容易軸磁界を発生させるディジット線（幅 $F \times$ 厚さ 400nm）と困難軸磁界を発生するビット線（幅 $F \times$ 厚さ 300nm）と記憶セルとの距離はそれぞれ 150nm と 50nm である。浮遊磁界分布は surface charge model により計算した。

図 1 に動作電流マージン（ $=2 \times (\text{上限値} - \text{下限値}) / (\text{上限値} + \text{下限値})$ ）の集積度依存性を示す。セル間隔が $2F \times 6F$ の場合 $F=100\text{nm}$ で 34.1%、 $F=80\text{nm}$ で 23.1%と実用上必要とされる 20%以上になっているが、 $2F \times 2F$ のときは $F=80\text{nm}$ では選択書き込みできなかった。図中の $F=60\text{nm}$ 、 $2F \times 6F$ の点は、選択した導体線の両側の導体線に大きさが半分の逆方向の電流を流し、磁場の局所化を計った場合で、20.5%の動作余裕度が得られている。

図 2 はビット間干渉によるエネルギー障壁マージンの劣化の計算結果を示している。計算は、最近接セルの磁界が選択セルを減磁する方向に磁化されている場合について行った。集積度の増加により ΔE が減少していることがわかり、特に $F=60\text{nm}$ では一番劣化が少ない $2F \times 6F$ の場合でも 20%以上劣化しており、本方式以外のスピン電流注入や、熱アシスト方式など新しい書き込み方式の導入が必要であることを示している。

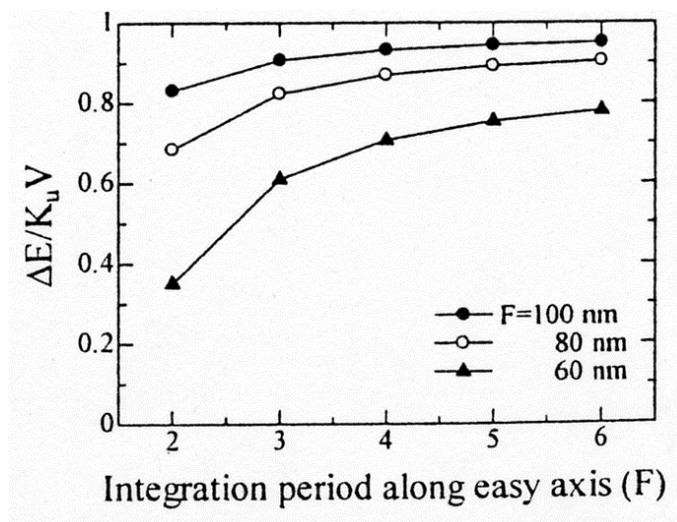
【図】

図 1 デザインルール F と容易軸方向のセル配置周期（X 軸）が書き込みマージンに及ぼす影響。



出典:「セル間の静磁氣的相互作用を考慮した MRAM 電流一致選択動作の計算機シミュレーション」、
「日本応用磁気学会学術講演概要集 第 28 回」、2004 年 9 月 21 日、能崎幸雄、寺田久範、松山公秀
著、社団法人日本応用磁気学会発行、221 頁 Fig.1 Design rule dependence of margin of I_w for
write operation in current coincident scheme.

図2 デザインルールFと容易軸方向のセル配置周期(X軸)がビット間干渉によるエネルギー障壁マージンの劣化 $\Delta E/K_u$ Vに及ぼす影響。



出典:「セル間の静磁氣的相互作用を考慮した MRAM 電流一致選択動作の計算機シミュレーション」、
「日本応用磁気学会学術講演概要集 第 28 回」、2004 年 9 月 21 日、能崎幸雄、寺田久範、松山公秀
著、社団法人日本応用磁気学会発行、221 頁 Fig.2 Design rule dependence of reduced energy
barrier $\Delta E/K_u$ V margin.

【出典／参考資料】

「セル間の静磁氣的相互作用を考慮した MRAM 電流一致選択動作の計算機シミュレーション」、
「日本応用磁気学会学術講演概要集 第 28 回」、2004 年 9 月 21 日、能崎幸雄、寺田久範、松山公秀著、
社団法人日本応用磁気学会発行、221 頁