

分周技術を応用した周波数通倍回路の一検討

○大石新悟*、藤本邦昭*、矢原充敏**、佐々木博文*
(九州東海大学 工学部* 東海大学福岡短期大学**)

1. まえがき

近年、電子情報機器の複雑化に伴い複数の基準信号の発生が可能な信号発生回路が求められている。通常これらの装置のクロック源として PLL を利用する場合が多い。本研究では PLL のように帰還ループを要しない方式による分周技術を応用した M^N 通倍回路の構成法について検討し、回路規模と速度の関係が明らかになったので報告する。

2. 回路構成と動作解析

図 1 は提案する M^N 通倍回路の構成である。図 2 と図 3 は図 1 のシフト回路に組込むバレルシフタとシフタの回路構成である。なお、紙面の都合によりバレルシフタとシフタは 2 ビットの構成を示したが実際はどちらも 32 ビットを用いている。図 4 は、その動作波形である。

M^N 通倍回路は、M 進カウンタ 1、バレルシフタもしくはシフタにより通倍に必要な分周比を決定する回路を構成しており、レジスタ、M 進カウンタ 2、一致回路は、出力用プログラマブル分周回路を構成している。M 進カウンタ 1 は、入力信号 1 周期間にクロック発生回路で発生した周波数 f_s の基準クロック e_s を計数し、4 ビットで 1 桁を表した M 進数のパラレルデータを出力する。図 2 のバレルシフタは、この出力データを組合せ回路で N 桁 ($4 \times N$ ビット) シフトさせることにより $1/M^N$ 倍し、分周比を決定するレジスタにこの値を書き込んでいる。従って、分周比 m は、

$$m = \frac{f_s}{M^N \times f_{in}} \quad (1)$$

となる。

基準クロック e_s は M 進カウンタ 2 でも常時計数しており、この値がレジスタに書き込まれた値 m と等しくなる度に一致回路が作動して M 進カウンタ 2 をリセットし、出力パルス e_{out} を発生する。従って、出力周波数 f_{out} は、

$$f_{out} = \frac{f_s}{m} = \frac{f_s}{\frac{f_s}{M^N \times f_{in}}} = f_{in} \times M^N \quad (2)$$

と表される。

図 2 のバレルシフタの代わりに図 3 のシフタを図 1 のシフト回路に組込んだ場合は基準クロック N 個分で N 桁 ($4 \times N$ ビット) シフトさせることで $1/M^N$ 倍している。なお、シフタは順序回路で構成されている。

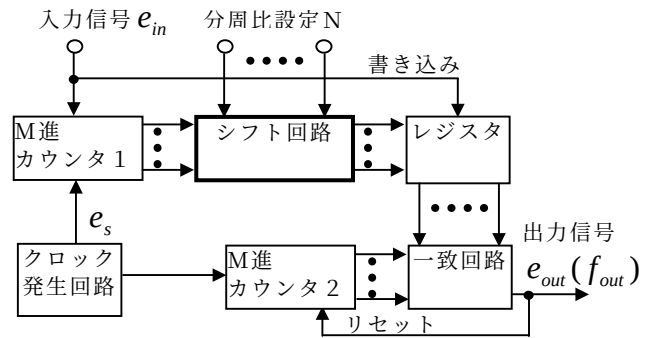


図 1 提案する M^N 通倍回路の構成

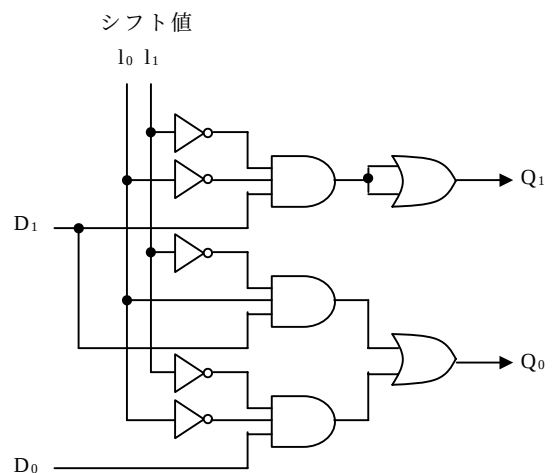


図 2 バレルシフタの回路構成

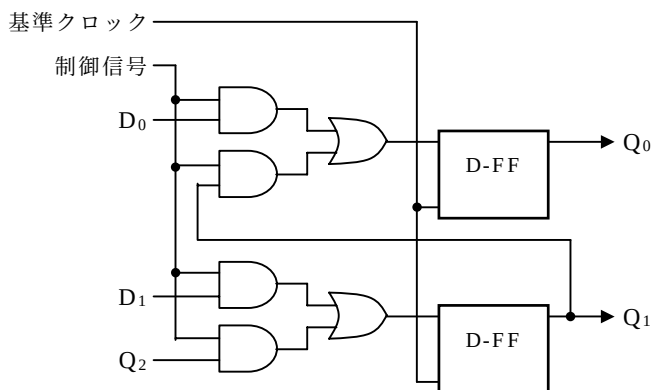


図3 シフタの回路構成

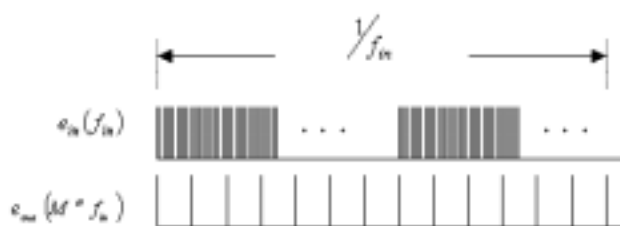


図4 提案する M^N 通倍回路の動作波形

3. 実験結果

提案回路を Verilog-HDL により記述し、FPGA に書き込み実験を行った。図5は、 3^3 通倍時の動作波形の例である。なお、この出力波形は図1の回路に T-FF を付加しデューティ比50%の出力が得られる構成とした。これより、デューティ比50%の $3^3/2$ 通倍出力となり、所期の動作が得られることが分かる。通倍比を変化させた場合も同様にデューティ比50%の $M^N/2$ 通倍の出力信号が得られることを確認した。

表1は、バレルシフタを用いた M^N 通倍回路とシフタを用いた M^N 通倍回路の回路規模と回路速度を比較検証した結果である。なお、この比較検証には MAX+plus II 10.2 BaseLine の ACEX1K EP1K10TC100-C を用いた。バレルシフタを用いた M^N 通倍回路の回路規模を示す使用セル数は 549cell で、回路速度を示す最高クロック周波数は 23.04MHz である。シフタを用いた M^N 通倍回路の回路規模を示す使用セル数は 460cell で、回路速度を示す最高クロック周波数は 9.70MHz である。

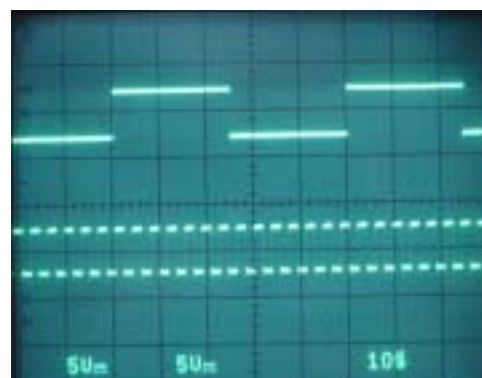


図5 3^3 通倍時の動作波形

表1 提案する M^N 通倍回路の規模と速度

	バレルシフタ	シフタ
回路規模	549cell	460cell
回路速度	23.04MHz	9.70MHz

4. まとめ

本稿では、分周技術を応用しバレルシフタもしくはシフタを用いた M^N 通倍回路を提案し所期の動作が得られることを FPGA による実験により確認した。バレルシフタを用いた M^N 通倍回路の回路速度はシフタを用いた方式に比べて約 2.4 倍速くなることを確認した。また、シフタを用いた M^N 通倍回路の回路規模はバレルシフタを用いた方式に比べて約 16% 縮小できることを確認した。

参考文献

- [1] 矢原充敏, 佐々木博文, 藤本邦昭, 高橋宣明: “パルス数カウント方式による高速引込み・広同期範囲全デジタル FLL” 東海大学紀要工学部 Vol. 40, No. 1, pp. 25-30 (2000)
- [2] Mitsutoshi YAHARA, Hirofumi SASAKI, Kuniaki FUJIMOTO “A Study on Dividing Ratio Changing All Digital Phase Locked Loop” Proceeding of ITC-CSCC2001, Vol.2, pp.712-715, 2001

問合せ先:

九州東海大学 工学部 佐々木博文

TEL/FAX (096)-386-2652

e-mail hasaki@stmail.ktokai-u.ac.jp