

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/26, H04B7/26@B

【技術名称】 3-1-2-1 DBF アンテナ受信系信号処理部の DSP による実装

【技術内容】

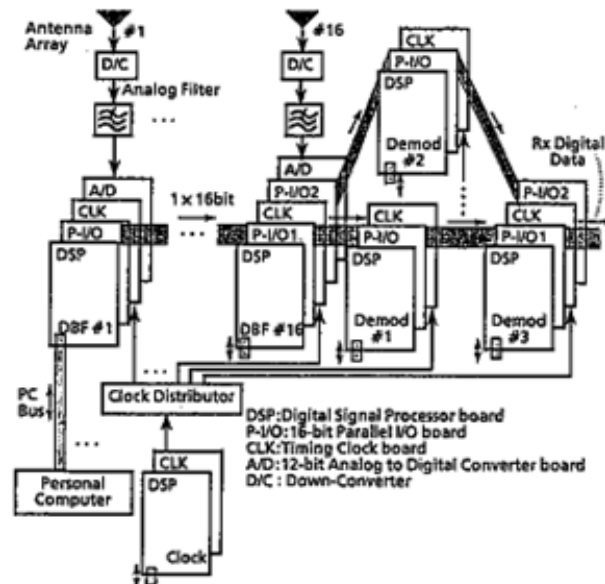
複数の汎用デジタル信号処理用プロセッサ (DSP) を用いたデジタルビームフォーミング (DBF) アンテナの受信系信号処理部 (DBF 受信装置) は、素子アンテナ毎の受信信号の処理を行う DBF ユニット (DSP ボード、A/D ボード、パラレル I/O ボード、クロックボードで構成)、復調処理を行う復調ユニット (DSP ボード、パラレル I/O ボード、クロックボードで構成)、及び共通のタイミングクロックを発生させるクロックユニット (DSP ボード、クロックボードで構成) からなる。

図 1 の例では、DBF ユニットの 16 系統備えており、16 チャンネルの制御が可能である。すなわち、最大 16 素子のアレーアンテナに対する信号処理を行うことができる。各素子での受信信号はダウンコンバータ (D/C) で周波数変換され、同期クロックにしたがってサンプリングされた後に、ビーム形成処理が行われる。ビーム形成のためのウェイト (素子毎の振幅・位相の情報) は、PC より所定の DSP に転送される。素子毎に I,Q 各成分の処理が行われ、パイプライン処理により順次加算後、次段の DBF ユニットへと転送されていく。そして、最後に復調部へと転送される。

なお、復調処理部は、プリアンブルレス PSK 信号の復調処理を想定し、FFT による搬送波位相補正を行うための 2 つのユニットと、データクロックタイミング抽出後にデータ判定を行うユニットの、計 3 つのユニットから構成されている。

【図】

図 1 DSP による DBF アンテナ受信系信号処理部の構成



出典：大滝 幸夫，中條 渉，上原 清彦，藤瀬 雅行：「移動体衛星通信用 DBF アンテナの試作」，図 5，電子情報通信学会技術研究報告，A・P92-32，pp.23-30，1992 年 5 月 22 日発行

【出典／参考資料】

- ・大滝 幸夫，中條 渉，上原 清彦，藤瀬 雅行：「移動体衛星通信用 DBF アンテナの試作」，電子情報通信学会技術研究報告，A・P92-32，pp.23-30，1992 年 5 月 22 日発行

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/26, H04B7/26@B

【技術名称】 3-1-2-2 DBF アンテナ送信系信号処理部の DSP による実装

【技術内容】

複数の汎用デジタル信号処理用プロセッサ（DSP）を用いたデジタルビームフォーミング（DBF）アンテナの送信系信号処理部（DBF 送信装置）は、マスタユニット（TxProc：DSP ボード、パラレル I/O ボード、クロックボードで構成）とビーム形成及び変調のための各素子信号の処理を行う DBF/Mod ユニット（DSP ボード、D/A ボード、パラレル I/O ボード、クロックボードで構成）、及び共通のタイミングクロックを発生させるクロックユニット（DSP ボード、クロックボードで構成）からなる。

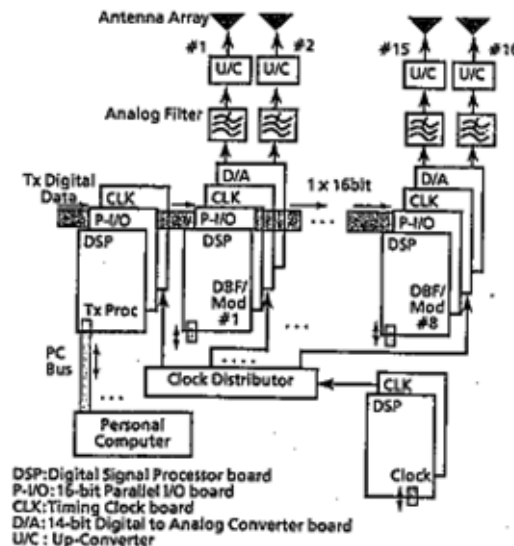
図1の例の場合、1ユニットで2チャンネルの処理を行う DBF/Mod ユニットを8系統備えているため、最大 16 素子のアレーアンテナに対する信号処理を行うことができる。

この DBF 送信装置では、まず固定ビームを形成するためのウェイト（素子毎の振幅・位相の情報）が PC から所定の DSP に転送される。変調データはパラレル I/O ボードを介して DBF/Mod ユニットに転送される。各 DBF/Mod ユニットでは、前段のユニットからの変調データを受け取り、後段のユニットに転送した後に、2 チャンネル分のビーム形成及び変調処理が行われる。その結果は D/A 変換され、その出力（アナログ信号）がアップコンバータ（U/C）で送信周波数に変換された後、アンテナ部に給電される。

なお、全ての DBF/Mod ユニットでは、これら一連の演算がパイプライン処理により行われ、全 DSP に共通供給されるクロックに同期してアナログ信号化される。

【図】

図1 DSP による DBF アンテナ送信系信号処理部の構成



出典：大滝 幸夫，中條 渉，上原 清彦，藤瀬 雅行：「移動体衛星通信用 DBF アンテナの試作」，図3，電子情報通信学会技術研究報告，A・P92-32，pp.23-30，1992年5月22日発行

【出典／参考資料】

- ・大滝 幸夫，中條 渉，上原 清彦，藤瀬 雅行：「移動体衛星通信用 DBF アンテナの試作」，電子情報通信学会技術研究報告，A・P92-32，pp.23-30，1992年5月22日発行

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/26, H01Q3/26@C, H04B7/26@B, H04B7/005

【技術名称】 3-1-2-3 サブバンド型アダプティブアレーアンテナ信号処理部の DSP による実装

【技術内容】

各素子アンテナで受信された RF 信号（アナログ信号）は、増幅や周波数変換等の処理が施された後に A/D 変換器でデジタル信号に変換され、FFT 処理にて帯域分割（サブバンド化）される。サブバンド型アダプティブアレーアンテナは、このサブバンド信号により次段の信号処理部においてアダプティブ信号処理が行われる。

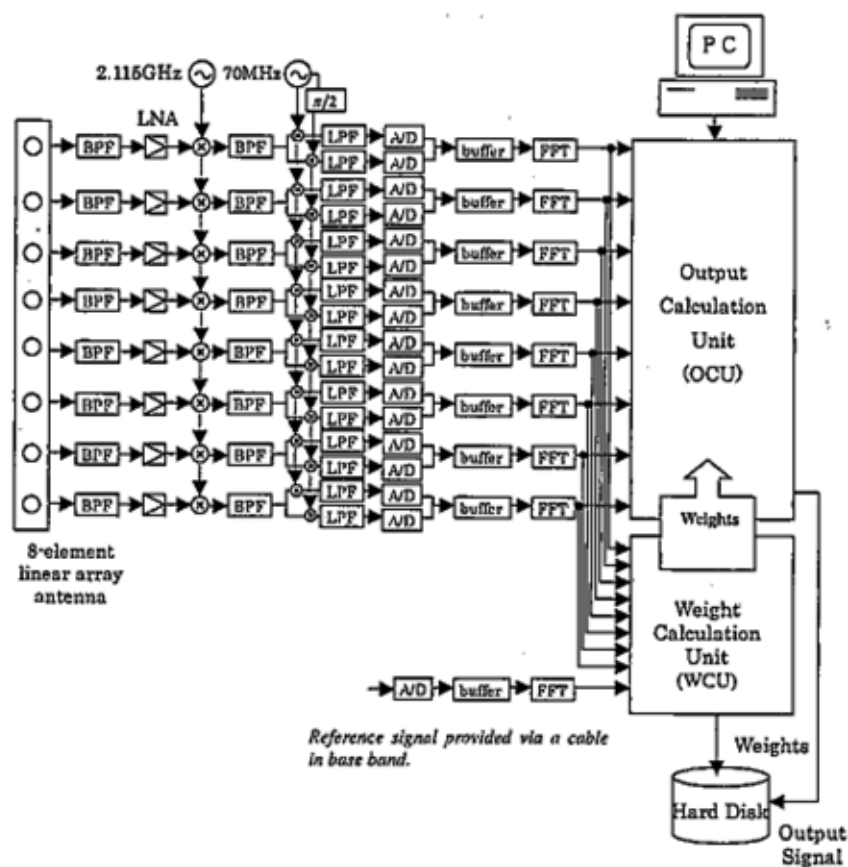
汎用 DSP（Digital Signal Processor）を用いてハードウェアに実装された信号処理部は、ウェイトの制御を行うウェイト計算部（WCU：Weight Calculation Unit）と、求められたウェイトを用いてアンテナ出力を計算する出力計算部（OCU：Output Calculation Unit）とからなり、求められたウェイト及びアンテナ出力はハードディスクに保存される。

信号処理ソフトウェアの編集及びコンパイルはパーソナルコンピュータ（PC）にて行われ、DSP にダウンロードする構成である。

なお、図 1 に示す試作例においては、13 個の DSP チップが用いられており、その内訳は表 1 の通りである。

【図】

図 1 DSP によるサブバンド型アダプティブアレーアンテナの構成



出典：神谷 幸宏，田野 哲，水口 芳彦，片山 正昭，小川 明，唐沢 好男：「サブバンド信号処理に基づくアダプティブアレーアンテナの開発」，図 3，電子情報通信学会，Vol.J83-A，

表 1 各部の信号処理に要する DSP チップ数

	<i>Signal Processing</i>	<i># of DSP</i>
WCU	FFT calculation	4
	RLS (32)	2
	Reference signal generation	1
	Data flow control	2
OCU	Realtime output calculation	2
	IFFT calculation	1
	Data flow control	1
<i>total</i>		13

出典：神谷 幸宏，田野 哲，水口 芳彦，片山 正昭，小川 明，唐沢 好男：「サブバンド信号処理に基づくアダプティブアレーアンテナの開発」，表 2，電子情報通信学会，Vol.J83-A，No.12，pp.1413-1424，2000 年 12 月

【出典／参考資料】

- ・神谷 幸宏，田野 哲，水口 芳彦，片山 正昭，小川 明，唐沢 好男：「サブバンド信号処理に基づくアダプティブアレーアンテナの開発」，電子情報通信学会，Vol.J83-A，No.12，pp.1413-1424，2000 年 12 月

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/26, H01Q3/26@C, H01Q25/00, H04B7/26@B, H04B7/005

【技術名称】 3-1-2-4 DBF アンテナの FPGA による実装

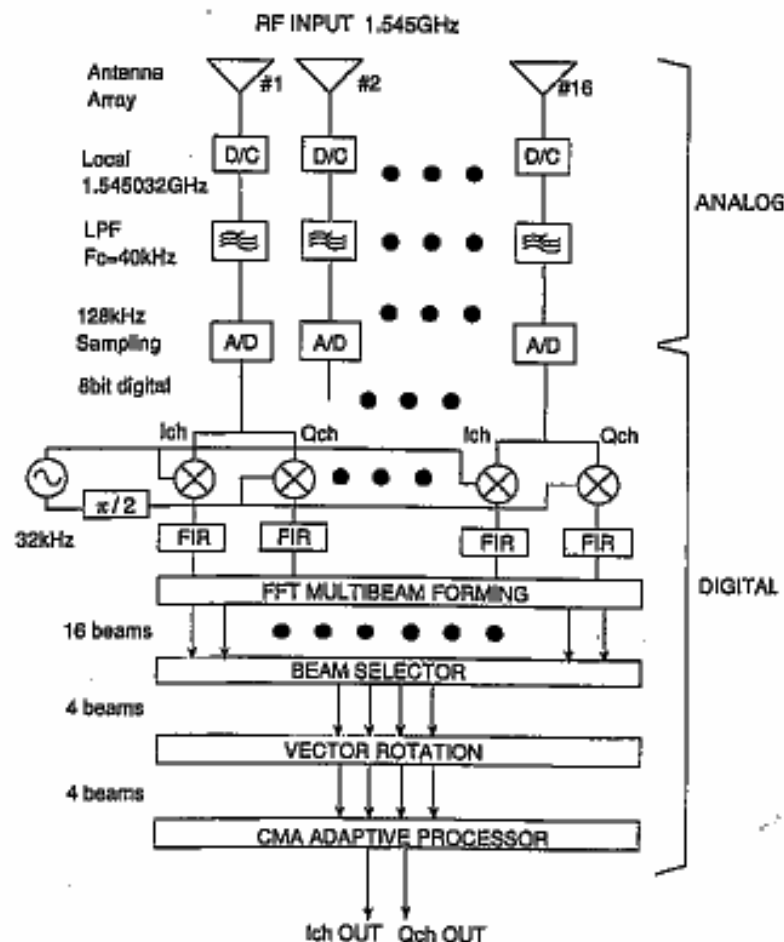
【技術内容】

デジタル信号処理によってアンテナのビーム制御等を行う DBF (Digital Beamforming) アンテナの高速・高機能化には、デジタル信号処理部の ASIC (Application Specific Integrated Circuit) 化が不可欠であり、その実装の一形態に FPGA (Field Programmable Gate Array) の利用がある。

例えば、図 1 の構成をもつ DBF アンテナの信号処理部が FPGA により実装されている。この DBF アンテナは、ビームスペースアダプティブアレー型の CMA アダプティブアレーアンテナであり、その信号処理部において、図 2 に示すマルチビーム形成や CMA 適応処理などが、図 3 のデジタル信号処理ボードで実行される。この信号処理ボードには 10 個の FPGA が実装されており、16 素子のアレーアンテナの処理が可能である。

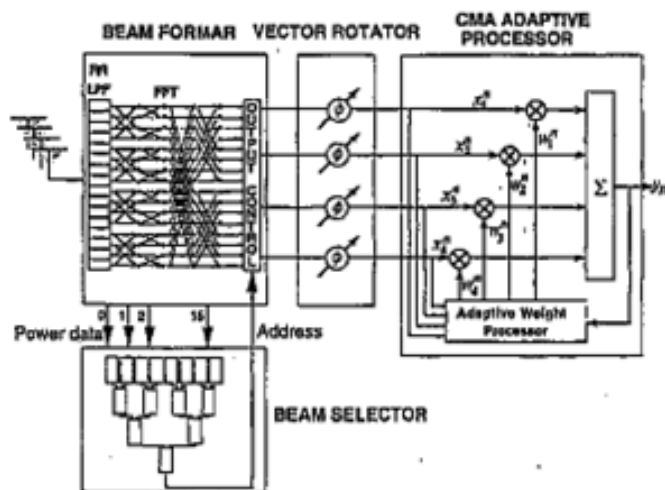
【図】

図 1 DBF アンテナの構成



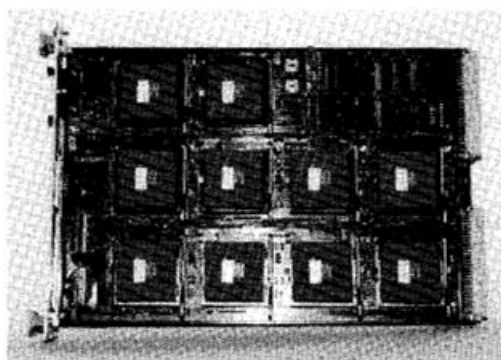
出典: Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA: 「An ASIC Implementation Scheme to Realize a Beam Space CMA Adaptive Array Antenna」, Fig.2, IEICE Trans. Commun., Vol.E78-B No.11 pp.1467-1473 1995/11

図2 信号処理部の全体構成



出典: Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA: 「An ASIC Implementation Scheme to Realize a Beam Space CMA Adaptive Array Antenna」, Fig.5, IEICE Trans. Commun., Vol.E78-B No.11 pp.1467-1473 1995/11

図3 FPGA ボードの外観



出典: Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA: 「An ASIC Implementation Scheme to Realize a Beam Space CMA Adaptive Array Antenna」, Fig.4, IEICE Trans. Commun., Vol.E78-B No.11 pp.1467-1473 1995/11

【出典／参考資料】

- 田中 豊久, 三浦 龍, 千葉 勇, 唐沢 好男: 「ASIC を用いた DBF マルチビームアンテナの開発」, 電子情報通信学会論文誌, Vol.J78-B2, No.9, pp.602-610, 1995 年 9 月
- Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA: 「An ASIC Implementation Scheme to Realize a Beam Space CMA Adaptive Array Antenna」, IEICE Trans. Commun., Vol.E78-B No.11 pp.1467-1473 1995/11
- Toyohisa TANAKA, Ryu MIURA, Yoshio KARASAWA: 「Implementation of a Digital Signal Processor in a DBF Self-Beam-Steering Array Antenna」, IEICE, Vol.E80-B No.1 pp.166-175, 1997/1
- 三浦 龍, 田中 豊久, 堀江 章夫, 関口 高志, 井上 隆, 唐沢 好男, 猪股 英行: 「車載 DBF セルフビームステアリングアレーアンテナによる衛星電波の追尾受信実験」, 電子情報通信学会論文誌, Vol.J80-B2, No.7, pp.547-557, 1997 年 7 月
- Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA: 「Interference Cancellation Characteristics of a BSCMA Adaptive Array Antenna with a DBF Configuration」, IEICE Trans. Commun., Vol.E80-B, No.9, pp.1363-1371, 1997/9

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/26, H01Q3/26@A, H04B7/26@B

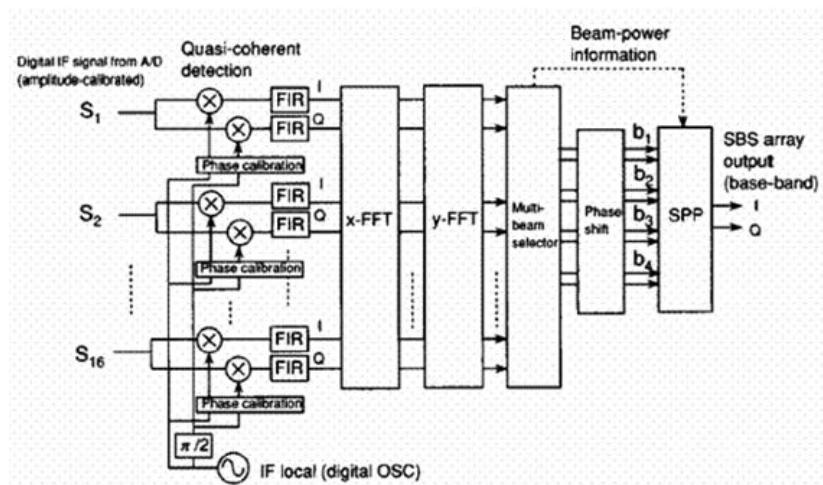
【技術名称】 3-1-2-5 セルフビームステアリングアレーアンテナ信号処理部の FPGA による実装

【技術内容】

到来波方向への自動的なビーム形成が可能で、変調方式に依存せず、高速・安定な到来波捕捉追尾機能を有するセルフビームステアリングアレーアンテナの信号処理部は、図1に示すように、準同期検波部、2次元空間FFTによるマルチビーム形成部、最大比合成（MRC）による自己同相化（SPP）から構成される。この信号処理部が図2に示すFPGAにより実装されている。この信号処理部は10個のFPGAで構成されており、8ビットの固定小数点演算によって上記各部の処理が行われる。

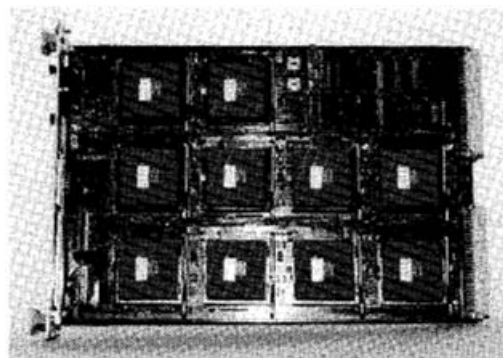
【図】

図1 セルフビームステアリングアレーアンテナの信号処理部の構成



出典：三浦 龍，田中 豊久，堀江 章夫，関口 高志，井上 隆，唐沢 好男，猪股 英行：「車載 DBF セルフビームステアリングアレーアンテナによる衛星電波の追尾受信実験」，電子情報通信学会論文誌，図 4，Vol.J80-B2，No.7，pp.547-557，1997 年 7 月

図2 FPGA ボードの外観



出典：三浦 龍，田中 豊久，堀江 章夫，関口 高志，井上 隆，唐沢 好男，猪股 英行：「車載 DBF セルフビームステアリングアレーアンテナによる衛星電波の追尾受信実験」，電子情報通信学会論文誌，図 3，Vol.J80-B2，No.7，pp.547-557，1997 年 7 月

【出典／参考資料】

- 田中 豊久, 三浦 龍, 千葉 勇, 唐沢 好男:「ASIC を用いた DBF マルチビームアンテナの開発」, 電子情報通信学会論文誌, Vol.J78-B2, No.9, pp.602-610, 1995 年 9 月
- Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA:「An ASIC Implementation Scheme to Realize a Beam Space CMA Adaptive Array Antenna」, IEICE Trans. Commun., Vol.E78-B No.11 pp.1467-1473 1995/11
- Toyohisa TANAKA, Ryu MIURA, Yoshio KARASAWA:「Implementation of a Digital Signal Processor in a DBF Self-Beam-Steering Array Antenna」, IEICE, Vol.E80-B No.1 pp.166-175, 1997/1
- 三浦 龍, 田中 豊久, 堀江 章夫, 関口 高志, 井上 隆, 唐沢 好男, 猪股 英行:「車載 DBF セルフビームステアリングアレーアンテナによる衛星電波の追尾受信実験」, 電子情報通信学会, Vol.J80-B2, No.7, pp.547-557, 1997 年 7 月
- Toyohisa TANAKA, Ryu MIURA, Isamu CHIBA, Yoshio KARASAWA:「Interference Cancellation Characteristics of a BSCMA Adaptive Array Antenna with a DBF Configuration」, IEICE Trans. Commun., Vol.E80-B, No.9, pp.1363-1371, 1997/9

【 F I 】 H01Q3/26, H01Q3/26@C, H01Q25/00, H04B7/005, H04B7/26@B

【技術内容】

【义】

The diagram illustrates a multi-band multi-mode receiver architecture. It is divided into three main functional blocks: ANT, RF BLOCK, and MODEM BLOCK.

- ANT:** Contains an ANT Switch connected to four antennas.
- RF BLOCK:** Contains four LNA stages (LNA0, LNA1, LNA2, LNA3) and four PA stages (PA0, PA1, PA2, PA3). The LNA stages are connected to the ANT Switch, and the PA stages are connected to the RF TX blocks.
- MODEM BLOCK:** Contains four RX DSPs, four TX DSPs, a Layer1 DSP, a Layer2 DSP, a TX FIFO, a TX CTRL, and a ROM. The RX DSPs are connected to the RF RX blocks, and the TX DSPs are connected to the RF TX blocks. The Layer1 DSP and Layer2 DSP are connected to the TX DSPs. The TX FIFO, TX CTRL, and ROM are connected to the TX DSPs.

木村滋，藤塚洋一郎，谷口敏夫，山本和弘：「高トラヒック地域における周波数不足解消を目指したアダプティブアレーアンテナ技術の開発[前編，後編]」，電磁環境工学情報 EMC，no.124-125，pp.37-42，Aug. 1998

・辻 宏之, 水野 光彦:「移動通信におけるアダプティブアレーアンテナ技術の応用」, 電子情報通信学会論文誌, Vol.J82-A, No.6, pp.779-791, 1999 年 6 月

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/00

【技術名称】 3-1-2-7 シストリックアレープロセッサ

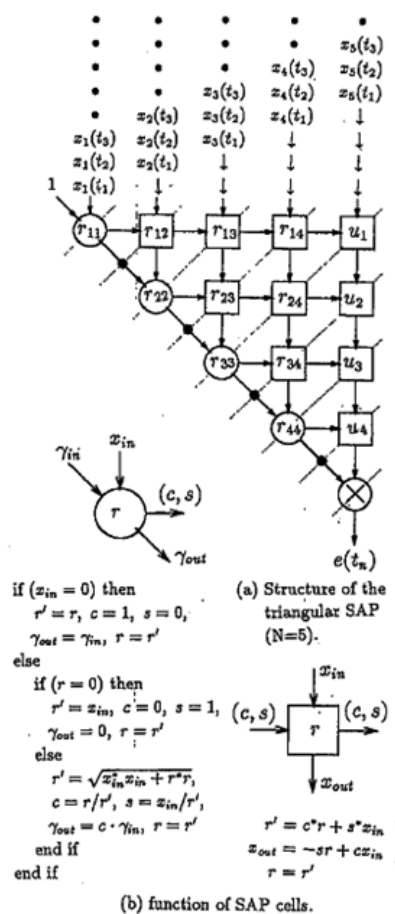
【技術内容】

シストリックアレープロセッサ（SAP）は、並列パイプライン処理にデータ処理におけるスループットを向上させるもので、同一構造・同一機能を有する SAP セルを規則正しく配置し、データの送受は隣接した SAP セル間のみで行われ、データと制御の流れを単純に規則的にして全体を同期して演算を行う処理装置である。

例えば、 $N=5$ の場合の三角形 SAP は、図 1 の通りである。

【図】

図 1 シストリックアレープロセッサの構造



出典：大宮 学，川端 竜也，小川 恭孝，伊藤 精彦：「シストリックアレープロセッサを用いたアダプティブアレーアンテナのマルチパス信号抑圧特性」，図 3，電子情報通信学会論文誌，Vol.J75-B2，No.11，pp.780-788，1992 年 11 月

【出典／参考資料】

- ・大宮 学，川端 竜也，小川 恭孝，伊藤 精彦：「シストリックアレープロセッサを用いたアダプティブアレーアンテナのマルチパス信号抑圧特性」，電子情報通信学会論文誌，Vol.J75-B2，No.11，pp.780-788，1992 年 11 月

【技術分類】 3-1-2 信号処理／実装技術／DSP・FPGA・ASIC

【 F I 】 H01Q3/26, H01Q3/26@C, H04B7/26@B, H04B7/005

【技術名称】 3-1-2-8 シストリックアレープロセッサを用いたアダプティブアレーアンテナ

【技術内容】

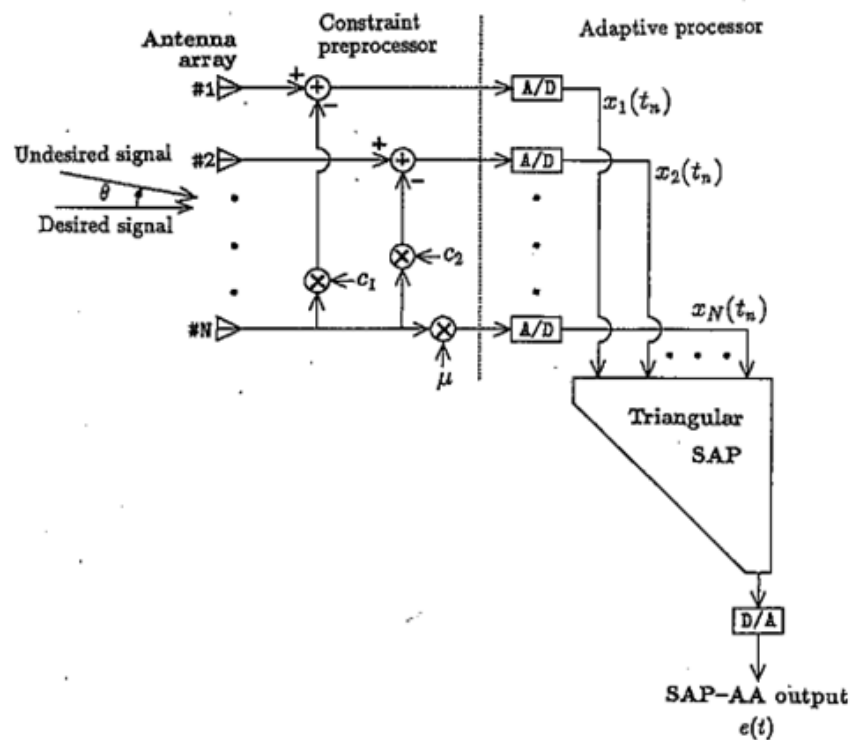
シストリックアレープロセッサ (SAP) を用いたアダプティブアレーアンテナ (SAP-AA) は、方向拘束を与える前処理部と三角形 SAP で構成されるアダプティブ処理部の 2 つの部分から構成される。

SAP は、同一構造・同一機能を有する SAP セルを規則正しく配置し、隣接した SAP セル間のみでデータの送受を行う。これによってデータと制御の流れを単純に規則的にして全体を同期して演算を行う処理装置である。

アレー上への入出力を逐次的に行うこと、アレー上での処理を並列的に行うこと、そしてこれらの動作がパイプライン化され重疊的に進められることが、SAP の特徴である。また、SAP は VLSI 設計に適しており、処理装置の小型・軽量化及び量産化を可能とする。

【図】

図 1 シストリックアレープロセッサを用いたアダプティブアレーアンテナの構成



出典：大宮 学，川端 竜也，小川 恭孝，伊藤 精彦：「シストリックアレープロセッサを用いたアダプティブアレーアンテナのマルチパス信号抑圧特性」，図 1，電子情報通信学会論文誌，Vol.J75-B2，No.11，pp.780-788，1992 年 11 月

【出典／参考資料】

- 大宮 学，川端 竜也，小川 恭孝，伊藤 精彦：「シストリックアレープロセッサを用いたアダプティブアレーアンテナのマルチパス信号抑圧特性」，電子情報通信学会論文誌，Vol.J75-B2，No.11，pp.780-788，1992 年 11 月