

## 通信用アナログ・デジタル集積回路の研究

代表研究者 小林 春夫 群馬大学工学部助教授

### 1. はじめに

通信用アナログ・デジタル集積回路の研究として次のような研究を行った。

通信用 AD 変換器の研究  
 通信用 DA 変換器の研究  
 携帯機器用電源回路の研究  
 CMOS RF 回路の研究  
 CMOS オペアンプ回路の研究  
 デジタル CMOS VLSI の低消費電力化の研究

また、これらの研究は次のような特徴を持っている。

#### トランジスタ・レベルからの

CMOS 回路設計技術：CMOS は現在の半導体産業の主流技術であり、したがって Bipolar よりも主に CMOS を用いた回路設計法の研究に注力した。

信号処理アルゴリズム技術：回路技術だけでなく、信号処理技術を用いて回路およびシステムの性能向上を図る研究を行っている。トランジスタの微細化と低消費電力化の要求に伴い、低電源電圧化が必然となり、アナログ回路の精度を出すのが回路技術だけでは困難になってきている。そこで信号処理技術を併用してアナログ・デジタル混載回路の高精度化を実現する。

関連する問題の理論解析：「インターリーブ AD 変換器のチャンネル間ミスマッチの影響」、「サンプリング回路における有限アパーチャ時間の影響」、「DA 変換器のグリッチ、ジッタの影響」等の理論解析は、産業界でアナログ・デジタル混載の通信用 LSI 設計のため必要な実際的な問題であるが、基礎的すぎて産業界の研究者・技術者はこの研究テーマに取り組みづらい。これは実際的であると同時に共通性・一般性のある問題であるので、大学でこの問題にアプローチし、結果を学会発表・論文で結果を広く公表していく。このような研究は大学の社会的使命の一つであると考えている。

### 2. 通信用 AD 変換器の研究

自然界の電圧、電流、音声等の信号および無線通信で用いられる電磁波等はすべてアナログ信号であり、デジタル信号処理とのインターフェースのアナログ・デジタル変換器（AD 変換器）、デジタル・アナログ変換器（DA 変換器）はこのために重要な回路で、近年ますますこれらの回路の高速化・高精度化・低消費電力化および低コスト化（CMOS 化）が求められている。

#### (a) 高速 8bit CMOS AD 変換器の設計・評価

高速 8bit CMOS AD 変換器チップの回路およびレイアウト設計を行ない、試作は MOSIS を通して行った。これらのチップを測定し（特性はまだ不十分ながらも）動作を確認できた。このように比較的大規模のアナログ・フルカスタム CMOS IC を日本の大学で設計・動作させた例はほとんどない（図 1）。

#### (b) CMOS AD 変換器の入力容量は非線形であることが知られており、またそれが高周波特性劣化の要因になることが定性的に知られている。その非線形性の理由・原因、定量的な値は知られていないので、今回これを回路シミュレ

ーション、デバイス理論を用いて調べて明確にした。(図2)

- (c) 通信用 AD 変換器では複数正弦波入力に対する応答、とくに相互変調歪の評価が重要になる(図3)。しかしそのための評価アルゴリズムは十分開発されてはいない。そこで通信用 AD 変換器の性能評価のためのマルチ・トーン入力に対するカーブ・フィット・アルゴリズムを新たに開発し、有効性をシミュレーションで確認した。このアルゴリズムは産業界へ技術移転の予定である。
- (d) 高速 AD 変換器を実現するためには、複数の比較的遅い AD 変換器を用いて位相のずれたクロックで動作させ、入力をデマルチプレックス、出力をマルチプレックスさせるインターリーブ AD 変換器方式(図4)が有効であることが知られている。しかしここでは各チャンネル間 AD 変換器の特性のミスマッチが全体のインターリーブ AD 変換器システムを劣化させる(図4、5)。そこでその特性のミスマッチ(オフセット、ゲイン、タイミング、帯域、線形性)の影響を解析し、さらにその補正アルゴリズムを開発した。
- (e) AD 変換器の特性で、オフセット、ゲインは比較的補正が容易であるが、非線形性は補正が困難であることが知られている。そこで AD 変換器のデジタル出力から非線形性を補正するデジタル補正アルゴリズムをあらたに2種類(乱数法および平均値法)開発した。これらの補正アルゴリズムを用いることで非線形性が補正され、AD 変換器の信号ノイズ比(SNR)およびスプリアス・フリー・ダイナミックレンジ(SFDR)が向上できることがシミュレーションで確認できた。

サンプリング周波数 200MHz  
 分解能 8bit  
 消費電力 200mW 以下  
 電源電圧 3V  
 チップ面積 1.9mm x 2.9mm  
 テクノロジ 0.35 μm CMOS Process

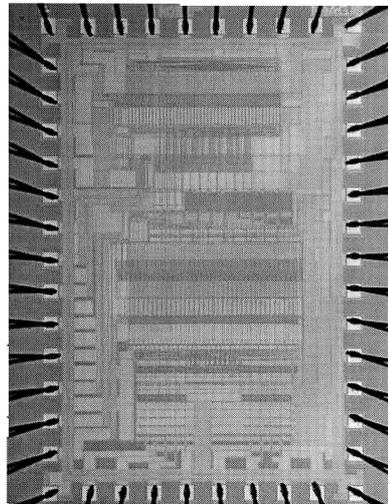


図1 CMOS AD 変換器 チップ写真(右)目標仕様

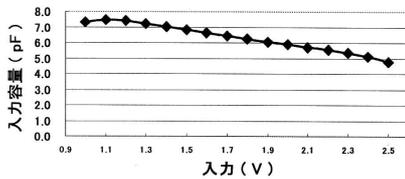


図2 回路シミュレーションで得られた CMOS ADC 入力容量の非線形性

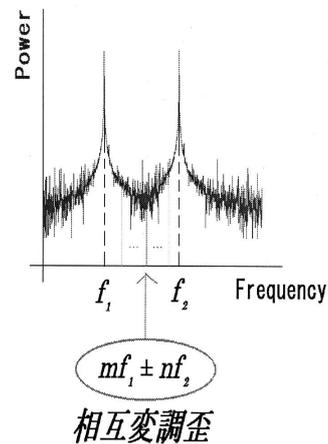


図3 2 トーン信号テストと相互変調歪

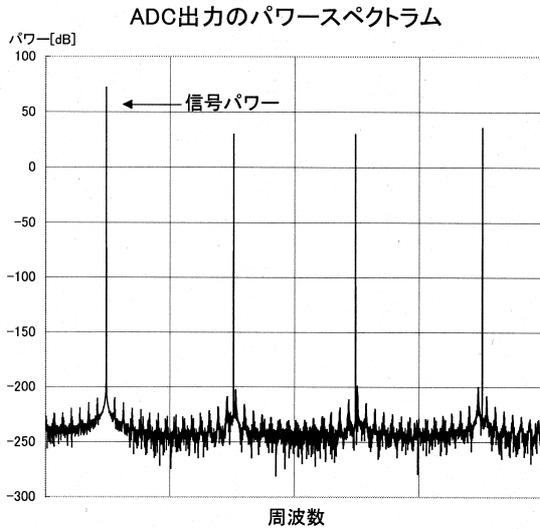


図4 インターリーブ AD 変換器システムでのゲイン・ミスマッチによる周波数特性におけるスプリアス成分

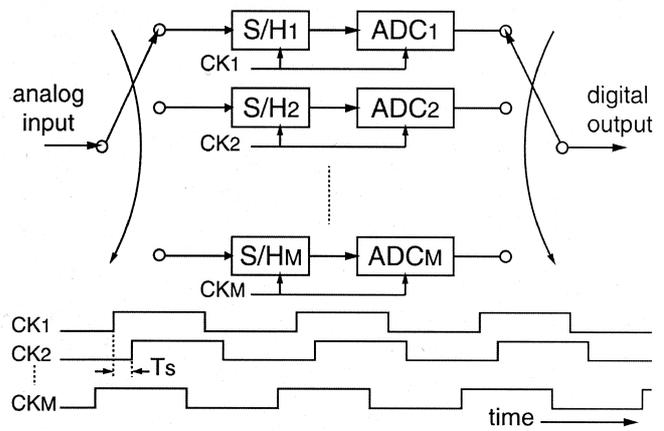


図5 インターリーブ AD 変換器システム

このようにデジタル信号処理のアプローチにより、アナログ回路を含んだシステムの精度を向上させるのは微細加工 CMOS 技術の進展につれ、今後ますます重要な技術になってくると考えている。このアルゴリズムは産業界へ技術移転の予定である。

- (f) AD 変換器の高周波特性を向上させるため、AD 変換器の前段に用いるサンプリング回路 (Track/Hold 回路) を CMOS で開発した。高速性を確保するためオープン・ループ構成とし、高精度を確保するためブーツストラップを用いたサンプリングスイッチを使用した。(図6)
- (g) トラック・ホールド回路のような信号波形のサンプリングを行う回路においては、サンプリングによる時間 (アパーチャ時間) が長いと高周波信号が正確にサンプリングできない (図7)。そこでアパーチャ時間と高周波信号のサンプリングの精度との関係式を導出し、シミュレーションで正当性を確認した。

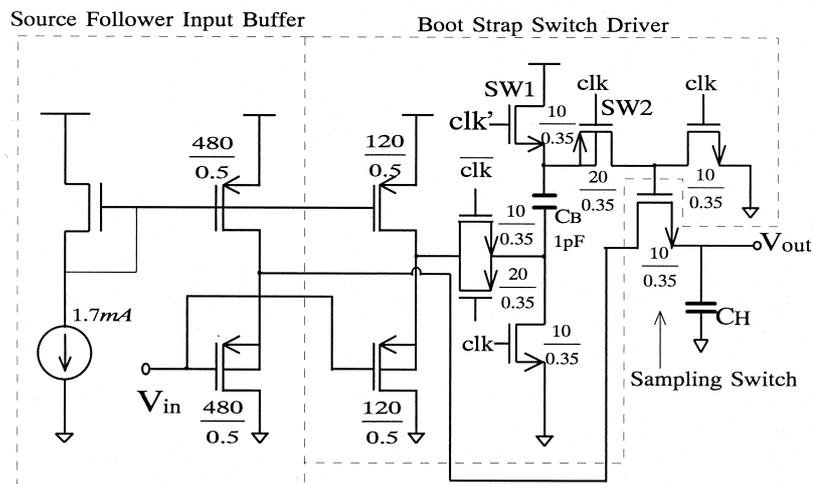


図6 開発した CMOS Track/Hold 回路の回路図

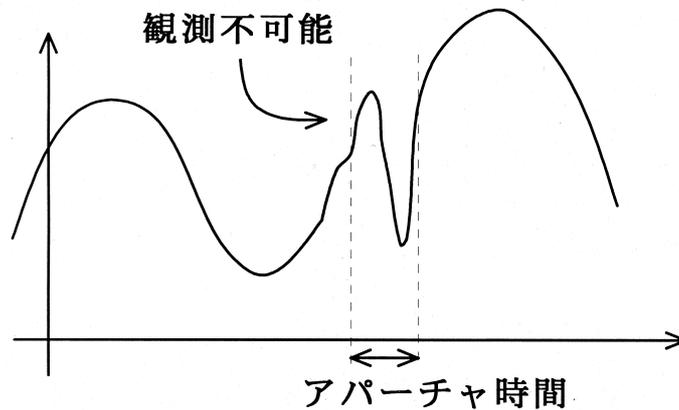


図7 アパーチャ時間と高速信号のサンプリング。  
カメラのシャッター時間が長いと高速で動作する物体がぼけるのと同様に、  
アパーチャ時間が長いと高速信号がなまってサンプリングされる。

### 3. 通信用 DA 変換器の研究

DA 変換器はデジタル信号をアナログ信号に変換する回路で、通信システムでは信号の送信回路部に用いられるキー・コンポーネントである。しかしその特性に関しては AD 変換器ほどよく調べられていないので、今回それを調べた。

(a) DA 変換器のタイミングの非理想特性の一つであるサンプリング・クロック・ジッタの DA 変換器への影響（誤差パワーの公式の導出、SNR への影響）を解析した。（図 8）

(b) DA 変換器のもう一つのタイミングの非理想特性の一つであるクロック・スキューとそれによって引き起こされるグリッチの DA 変換器の特性（周波数特性、SNR、SFDR）への影響を調べた。（図 9）

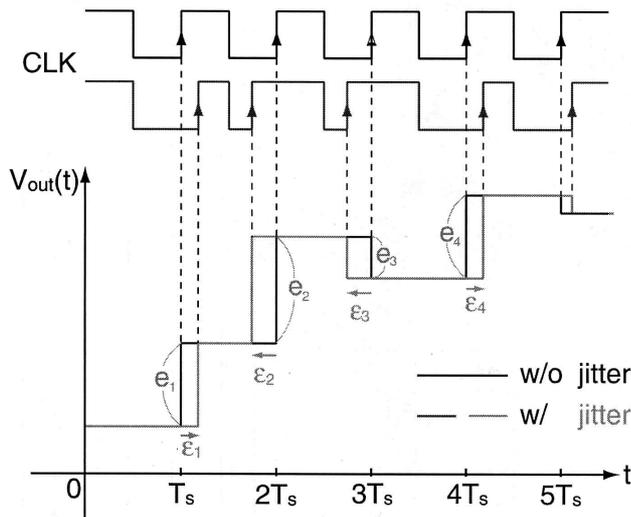


図 8 サンプリング・ジッタによる DA 変換器の出力誤差

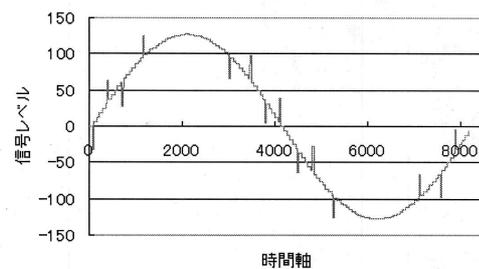


図 9 内部のクロックタイミング・スキューにより生じたグリッチを含む DA 変換器正弦波出力。（パルス上の部分がグリッチで、DA 変換器の SNR、SFDR 特性の劣化になる。）

#### 4. 携帯機器用電源回路の研究

電源回路は古くから研究・実用化されているが、近年の携帯電話等の携帯機器への応用のため、より高効率・大電流出力・小型化・低コスト化・低ノイズ化が求められ、技術革新が要求されている。ここでは代表的な電源回路であるスイッチング・レギュレータ電源回路とチャージポンプ回路の研究を行った。

(a) スwitchング・レギュレータ電源回路：昇圧型・降圧型および負電圧発生用のスイッチング・レギュレータ電源試作回路をプリント板上に作成し、基礎実験を行った。また、スイッチング・ノイズを低減する方式を新たに確認し、有効性を回路シミュレーションで確認し、その回路を試作した(図10)。

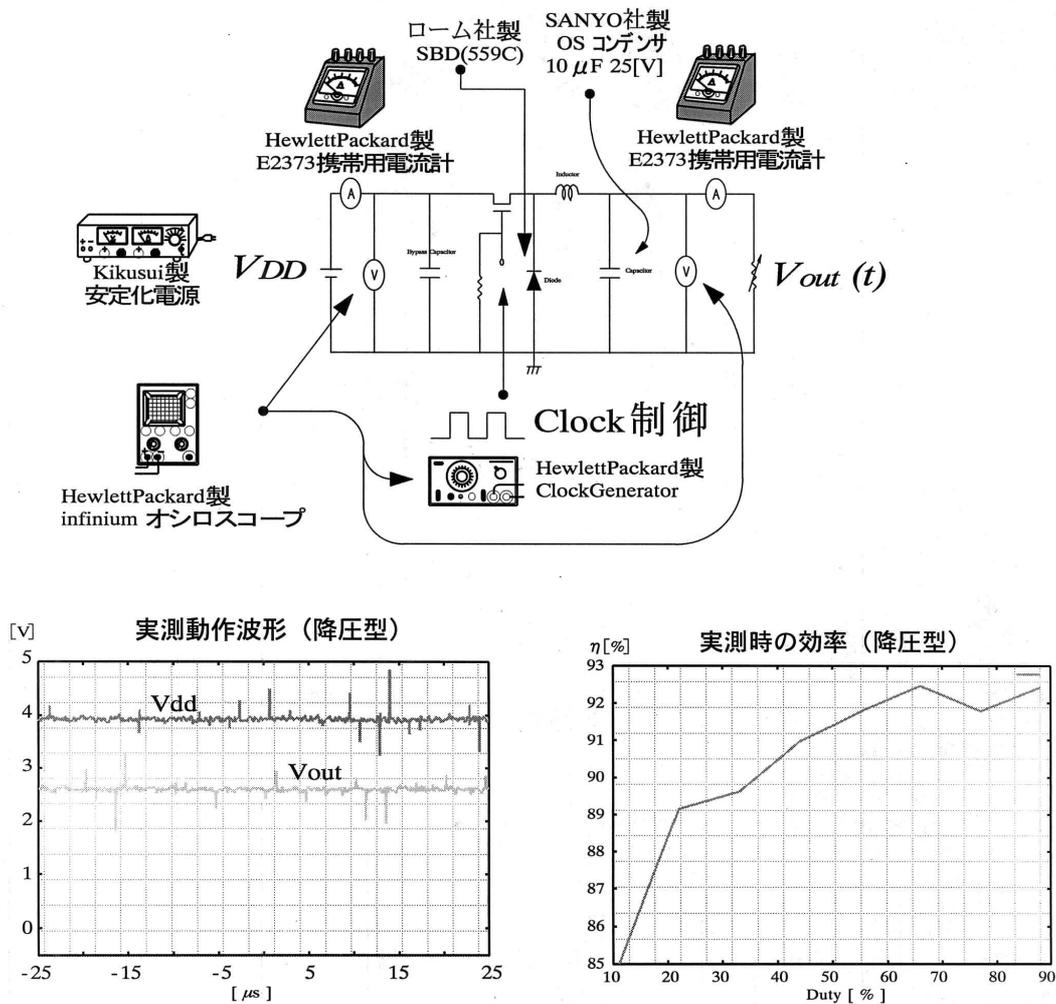


図10 降圧型スイッチング・レギュレータ電源回路の試作と評価

(b) チャージポンプ電源回路： スイッチ MOS トランジスタのゲートをブートストラップすることにより Dickson 型チャージポンプ回路を改良し高効率を実現する回路方式を考案し、回路シミュレーションで有効性を確認した。(図11)

Dickson 型チャージポンプ回路の電圧および消費エネルギーの過渡解析を、状態空間法を用いて行なう手法を確立した。

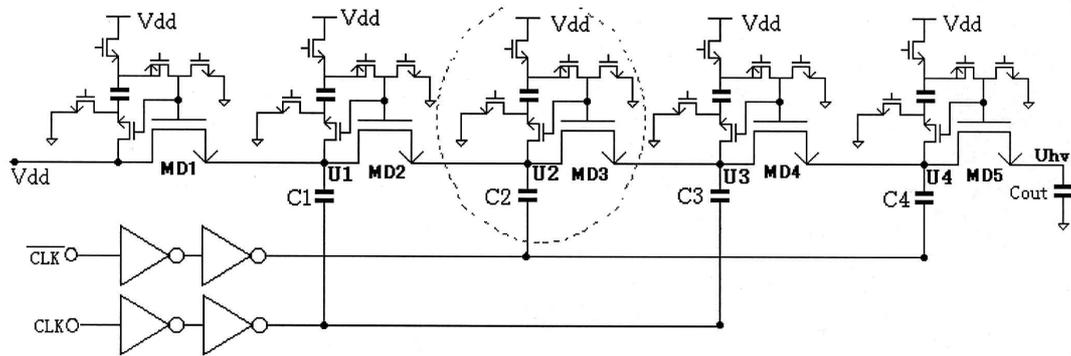


図11 提案するチャージ・ポンプ回路

## 5 . CMOS RF 回路の研究

現在産業・技術とも急速に伸びている携帯電話等の無線システムのアナログ・フロントエンド部回路の CMOS での実現のための調査・基礎的な研究を行った。

(a) 要素回路 (ポリフェーズ・フィルタ (図12)、ミキサ、発振回路、パワー・アンプ) の調査・解析・シミュレーションでの動作確認を行った。

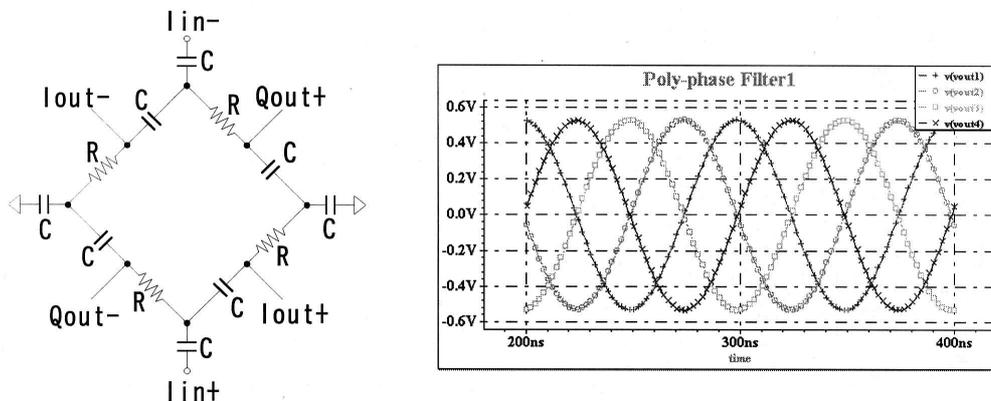


図12 I, Q 信号発生のためのポリフェーズ・フィルタ回路 (左) とその回路に対し差動正弦波を lin に入力した場合の lout, Qout 出力のSPICE シミュレーション結果 (右)。位相が90度ずれた I, Q 差動信号が lout, Qout に出力されていることわかる。

(b) 無線通信システムの受信部 RF 回路の Weaver 型、Hartley 型、Low IF, Direct Conversion 等のアーキテクチャの調査・シミュレーションでの動作確認を行った。

## 6 . CMOS オペアンプ回路の研究

ベースバンド・アナログ信号処理回路のキー・コンポーネントである CMOS オペアンプの低電圧 (1V以下) 動作可能な構成、高速・広帯域化のための回路構成を検討した。具体的には以下の通り。

- (a) インダクタンス L を用いてオペアンプの位相補償を行い、オペアンプの広帯域化を実現する方式を提案した。
- (b) PID 制御の考えを適用した高速高利得オペアンプ構成を提案した。
- (c) 1V 以下の低電源電圧で動作する、(ゲート入力でなく) 基板入力の CMOS 増幅回路の検討を行ない、シミュレーションで動作を確認した。(図13)
- (d) AD 変換器用の高ゲインアンプの設計法・解析法を確立した。

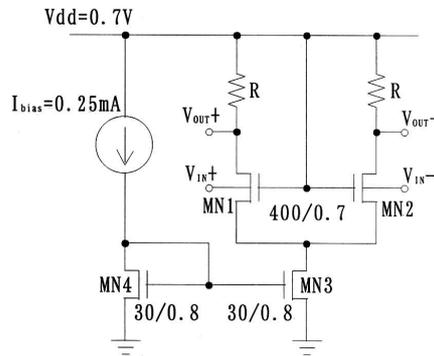


図13 基板入力 CMOS 増幅回路の回路図  
基板電圧を変えると MOS トランジスタの閾値電圧が変わる (Body 効果) を利用している。

## 7. デジタル CMOS VLSI の低消費電力化の研究

デジタル CMOS VLSI がますます大規模かつ高速クロック動作になるにつれ、その消費電力が大きな問題になりつつある。この消費電力は (クロック周波数  $f$ )  $\times$  (負荷容量  $C$ )  $\times$  (電源電圧  $V_{dd}$  の 2 乗) に比例するので、従来の低消費電力化手法は  $f$ ,  $C$ ,  $V_{dd}$  を小さくすることであった。しかし近年これとは全く異なる観点から低消費電力化をはかる方式として断熱的論理回路 (adiabatic logic circuit) が提案され、一部 LSI としても実現されている。そこでこの断熱的論理回路を調査・解析し、新しい回路方式を提案・シミュレーションによる動作確認を行った。また断熱的論理回路に使用するための電源回路 (DC-AC 変換器) の動作特性解析を行った。

### < 発表資料 >

題名	掲載誌・学会名等	発表年月
High-Speed ADC System with HBTs for Measuring Instruments Application	Computer Standards & Interfaces, Elsevier Publishers	2000年6月
Dynamic Power Dissipation of Track/Hold Circuit	IEICE Trans on Fundamentals	2000年8月
折り返し補間型アーキテクチャを用いた 3V200MS/s 8bitCMOS AD変換器の設計	電子情報通信学会集積回路研究会	2000年9月
Highly-Efficient Low-Voltage Operation Charge Pump Circuits using Bootstrapped Gate Transfer Switch	電気学会論分誌C (電子情報システム部門誌)	2000年10月
Finite Aperture Time and Sampling Jitter Effects in Wideband Data Acquisition Systems	Automatic RF Techniques Group 56th Measurement Conference	2000年12月
A New Coherent Sampling System with a Triggered-Time Interpolation	IEICE Trans on Fundamentals	2001年3月
Explicit Analysis of Channel Mismatch Effects in Time-Interleaved ADC Systems	IEEE Trans on Circuits and Systems	2001年3月
ADC Standard and Testing in Japanese Industry	Computer Standards & Interfaces, Elsevier Publishers	2001年3月
High-Speed CMOS Track/Hold Circuit Design	Analog Integrated Circuits and Signal Processing	2001年4月
Sampling Clock Jitter Effects in Digital-to-Analog Converters	Measurement	in press
Highly-Efficient Charge Pump Circuits with Large Output Current Load for Mobile Equipment Application	IEICE Trans Electron	in press