

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04C3/00@J, G04G1/00,302

【技術名称】 5 - 2 - 2 - 1 I C 実装

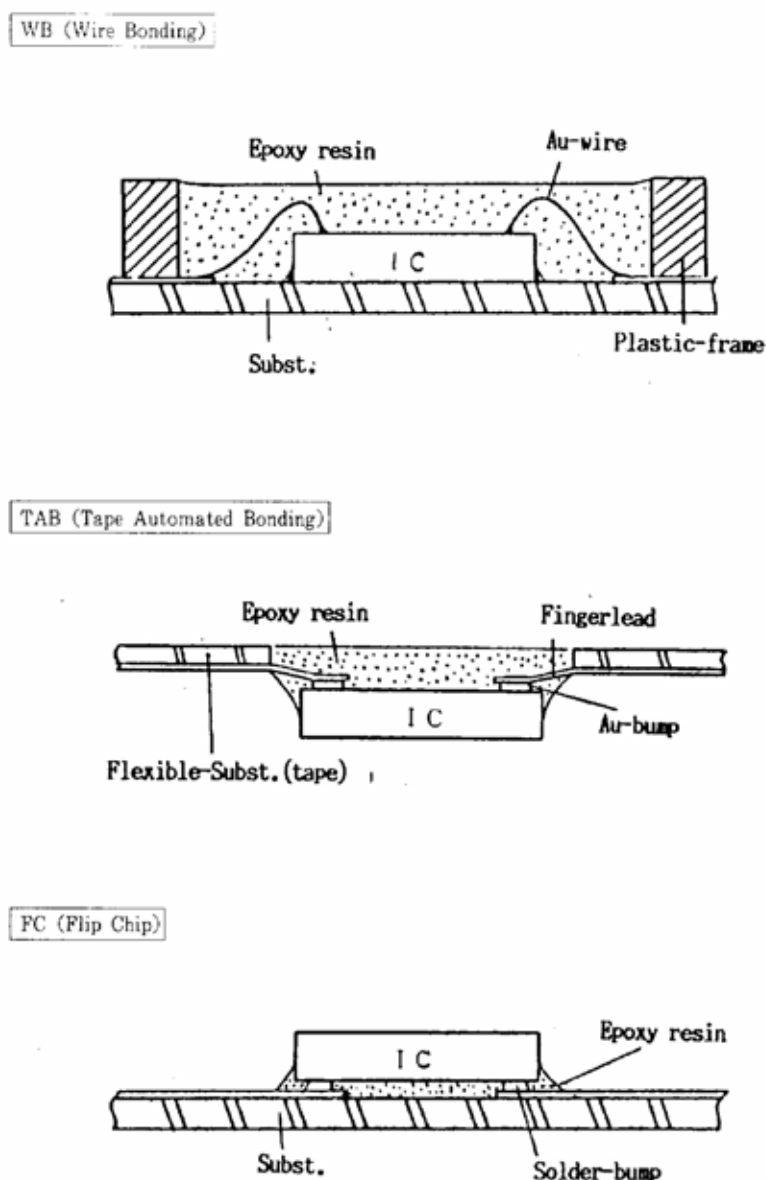
【技術内容】

時計の回路ブロックは小型、薄型、高密度、低コスト化、さらに外光、落下衝撃などの環境ストレスから IC を始めとした電子部品を保護など、幾つもの背反する特性を求められている。それらの特性確保の鍵となる電子部品、特に IC 実装の技術である。

IC 実装の機能的使命は、IC と外部との電氣的接続を確保すること、IC を機器に確実に固定すること、IC を外部環境から守ることと、IC の発熱を容易に外部に発散させることの 4 つである。

図 1 に、IC と回路基板との接続構造を示す。

【図】図 1 時計 IC の接続構造



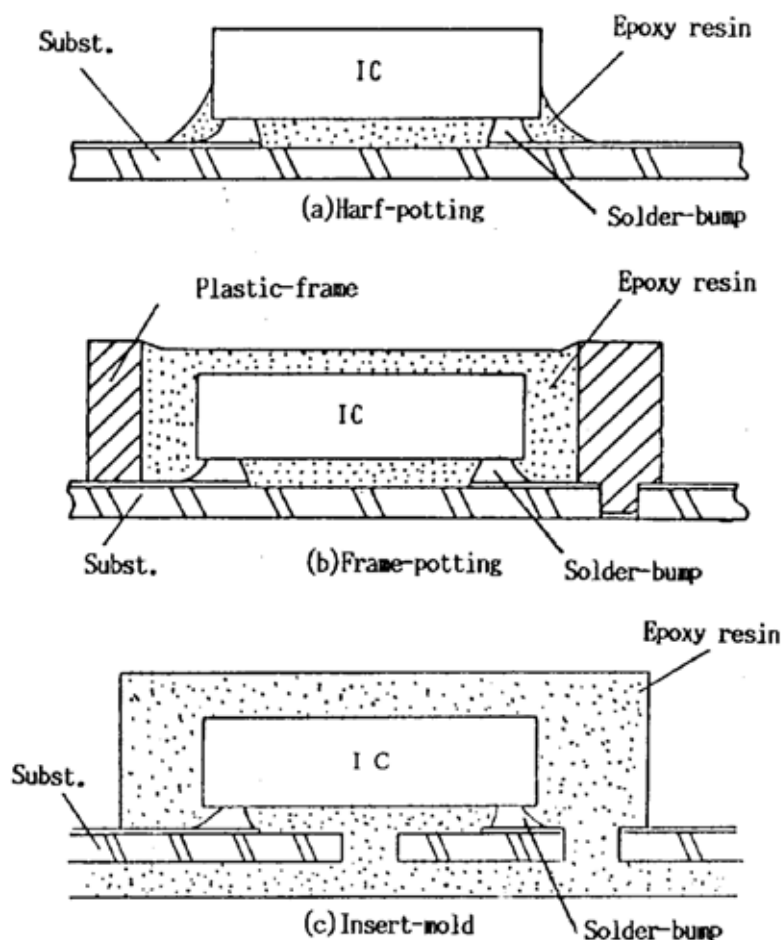
出典 1、「2 頁 Fig.1 IC Interconnection Method」

時計での IC の接続構造は、薄型・小型が要求されるため、図 1 に示すとおり、裸の IC チップを基板に直接実装しており、外部との接続は“WB (Wire Bonding) 方式”、“TAB (Tape Automated Bonding) 方式”、“FC (Flip Chip) 方式”の内のどれかが用いられてきているが、薄型・小型化に向けた様々な技術開発により、低コスト化の可能性も高い FC 方式が主流になっている。

また、IC チップは水分・ゴミに弱く光でも誤動作するため、エポキシ樹脂で封止 (パッケージ) されるのが一般的である。

図 2 に、FC 接続におけるパッケージ構造を示す。

【図】図 2 IC のパッケージ構造



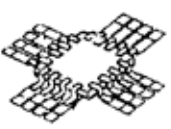
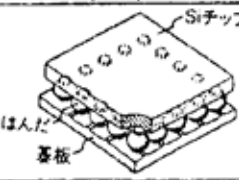
出典 1、「4 頁 Fig.2 IC Packaging Structure」

時計での IC 封止構造は、基板ごとに型に入れてモールド成形する“Insert - mold”や、IC の周囲をプラスチックの枠で囲み、その中を樹脂で充填する“Frame - potting”が採用されていたが、耐光性に関する技術確立を経て、IC の素子面と基板のすき間だけに樹脂を流し込む薄型化とコストダウン要求に最適な“Half - potting”に移行しつつある。

図 1 における WB、TAB と FC を比較すると、表 1 のとおりで、各方式は対象の機器における実装密度などの要求に合わせて採用されるが、製造数量も採否決定の重要要素である。すなわち、WB は WB 装置に IC パッド位置と基板配線位置をティーチングすればよく、特別な装置類を必要としないため少量

多品種の IC 実装に適しているのに対し、FC ではバンプ形成工程を必要とするため、同一品種の IC を大量実装する場合に適している。

【表】表 1 WB 法、TAB 法、FC の比較

|                                        | ワイヤボンディング<br>(W.B.)                                                               | テープキャリア<br>(T.A.B)                                                                | フリップチップ<br>(F.C)                                                                   |
|----------------------------------------|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|------------------------------------------------------------------------------------|
| 接 続 構 造                                |  |  |  |
| 接 続 強 度                                | 5~10 g/点                                                                          | >50 g/点                                                                           | >50 g/点                                                                            |
| 最小電極径                                  | ≒70 μm                                                                            | ≒50 μm                                                                            | ≒80 μm                                                                             |
| 最小ピッチ                                  | ≒135 μm                                                                           | ≒80 μm                                                                            | ≒250 μm                                                                            |
| 接続可能領域                                 | 外周のみ                                                                              | 外周のみ                                                                              | 全面 (CCB)                                                                           |
| 接続可能<br>最大端子数<br>(10 mm <sup>2</sup> ) | 300                                                                               | 500                                                                               | 1600                                                                               |
| 実 装 密 度                                | 低                                                                                 | 中                                                                                 | 高                                                                                  |

出典 2、「55 頁 表 7 高密度実装法の比較」

【出典 / 参考資料】

出典 1:「IC の封止構造における耐光性について」,「日本時計学会誌 No.130」,「1989 年 9 月」,「長野睦、佐藤哲夫、古谷敏雄 (シチズン時計) 著」,「日本時計学会発行」, 1 - 14 頁

出典 2:「マイクロ接合技術とその電子部品実装への応用」,「日本時計学会誌 No.116」,「1986 年 3 月」,「仲田周次 (大阪大学) 著」,「日本時計学会発行」, 38 - 63 頁

参考資料 1:

- ・ 出典: NEC ELECTRONICS / 製品情報 / IC パッケージ / パッケージの基礎 (NEC)
- ・ 著者名: NEC エレクトロニクス
- ・ 表題: パッケージ
- ・ 掲載者: NEC エレクトロニクス株式会社
- ・ 検索: 2005 年 1 月 18 日
- ・ アドレス: [http://www.necel.com/pkg/ja/pk\\_01.html](http://www.necel.com/pkg/ja/pk_01.html)

参考資料 2:「腕時計の FC 実装技術」,「マイクロメカトロニクス Vol.45 No2」,「2001 年 6 月」,「村田靖 (シチズン) 著」,「日本時計学会発行」, 37 - 42 頁

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04C3/00@J, G04G1/00,302

【技術名称】 5 - 2 - 2 - 2 部品実装

【技術内容】

時計の回路基板への素子の実装であって、特に IC 以外の電子部品を実装する技術である。

電子機器の部品実装は部品を直接プリント基板に導電固定する技術である SMT の開発により、半導体 IC と SMT 実装の組合わせに進化し、これを軸に小型・薄型化と低コスト化に向けて進化を続けている。最近ではさらに進んで、多層基板の中に素子を内蔵する技術も実用化されている。

図 1 に SMT への進化を示す。時計の部品実装においても初期の頃はリード挿入方式で示すように、リードを基板の穴に通しはんだ付けをしていたが、SMT が開発され、面実装方式で示すようにチップ部品や半導体 IC の超小型パッケージをプリント基板に直接搭載する方法へ移っている。

【図】図 1 SMT への進化

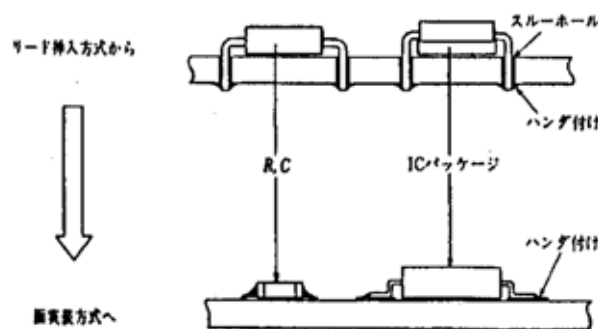


図 2 プリント基板の実装方式が変わる

出典 1、「31 頁 図 2 プリント基板の実装方式が変わる」

一方、低コスト化に向け電子部品のプリント基板へのはんだ付けの自動化が進められた。特徴は、図 2 に示す、全体加熱一括多点処理である「リフローはんだ付け方式」と、リード線およびラグ板以外は加熱できない水晶振動子などに向けた局部加熱のポイント処理である「加熱ツールはんだ付け方式」の併用である。

【図】図2 はんだ付け方法

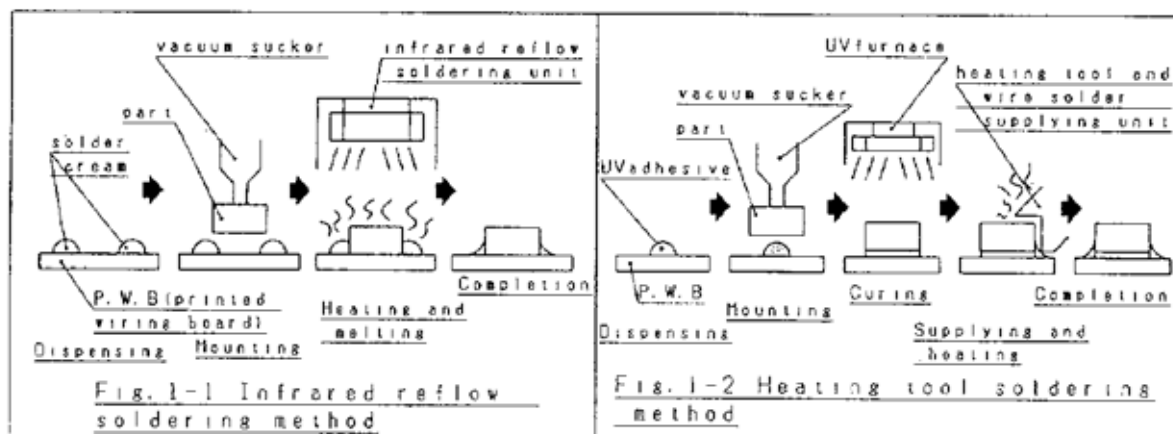


Fig. 1 Soldering methods

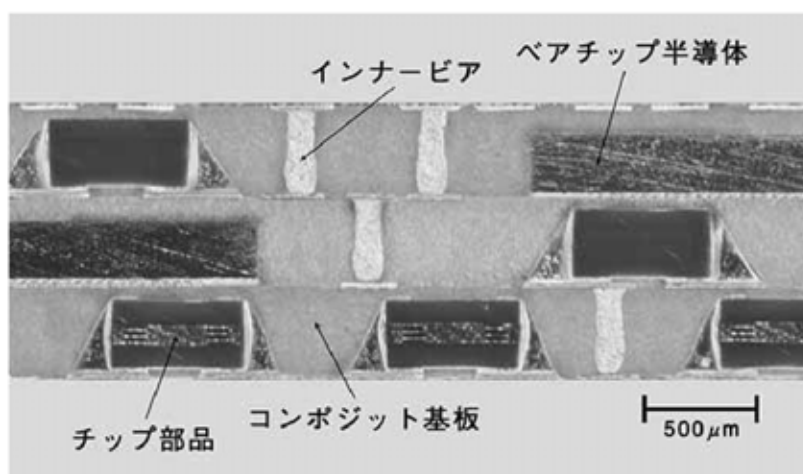
出典 2、「2 頁 Fig.1 Soldering methods」

なお、上記を可能とする基幹の技術はマイクロ接合技術といわれ、超音波接合法、熱圧着法、はんだ付け法、接着法が主なもので、これらに関する研究成果が適宜活用されて、電子回路の軽薄短小化と品質安定の両立が進められている。

最近では、多層基板内に部品を内蔵する実装方法が開発されている。内蔵の方式は2通りで、一つは従来の SMT チップ部品を用いる方法で、もう一つは抵抗やコンデンサーを膜として基板内に形成する方法である。

図 3 に、SMT チップ部品を基板に内蔵した例の断面写真を示す。

【図】図3 チップ部品を基板に内蔵した例



出典 3、「添付写真」

参考資料 1 には、受動素子を多層基板内に膜で形成する技術も紹介されている。

【出典 / 参考資料】

出典 1 : 「最近の小型電子機器実装技術の新展開」, 「日本時計学会誌 No.128」, 「1989 年 3 月」, 「本多進 (徳山曹達) 古山幸子 (シチズン時計) 著」, 「日本時計学会発行」, 27 - 62 頁

出典 2 : 「時計回路の部品はんだ付の自動化」, 「日本時計学会誌 No.141」, 「1992 年 6 月」, 「古山徹、古谷敏雄、竹本巳喜男 (シチズン時計) 著」, 「日本時計学会発行」, 1 - 12 頁

出典 3 :

- ・ 出典 : 松下電器 TOP / ニュース / 2002 年度 9 月 / 9 月 9 日
- ・ 著者名 : 松下電器産業(株)
- ・ 表題 : 新・3 次元実装モジュール「SIMPACT™」を開発
- ・ 掲載年月日 : 2002 年 9 月 9 日、掲載者 : 松下電器産業(株)
- ・ 検索 : 2005 年 3 月 1 日
- ・ アドレス :

<http://panasonic.co.jp/corp/news/official.data/data.dir/jn020909-1/jn020909-1.html>

参考資料 1 : 「ここまで来た部品内蔵基板 一般部品並みの耐環境性を実現」, 「日経エレクトロニクス no.889」, 「2004 年 12 月 20 日」, 「福岡義孝 (ウェイスティ) 著」, 「株式会社日経 PB 発行」, 139 - 147 頁

参考資料 2 : 「マイクロ接合技術とその電子部品実装への応用」, 「日本時計学会誌 No.116」, 「1986 年 3 月」, 「仲田周次 (大阪大学) 著」, 「日本時計学会発行」, 38 - 63 頁

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04G1/00,308

【技術名称】 5 - 2 - 2 - 3 C S P ( C h i p S i z e P a c k a g e )

【技術内容】

半導体パッケージの 1 種であって、パッケージ上がりの大きさを半導体チップの大きさに限りなく近づける技術である。

CSP の技術と構造の進化は携帯電話機の進歩とともにあるといえる。これらは時計にも順次応用される可能性が高い。

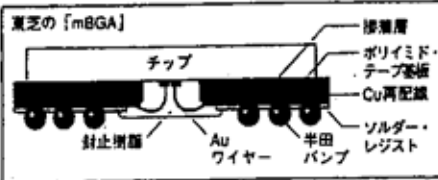
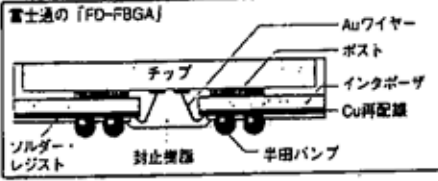
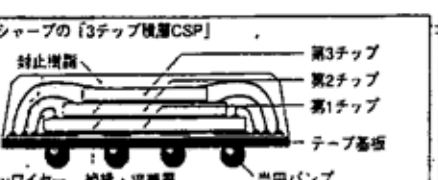
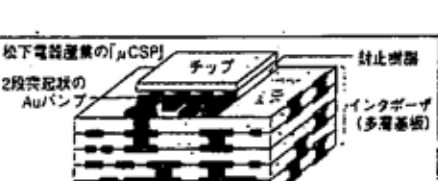
CSP は、第 1 世代（アナログ方式）、第 2 世代（デジタル方式）、第 2.5 世代（CDMA 方式）を経て第 3 世代（IMT2000 方式）に至っている携帯電話機の進化とともにある。特に、IMT2000 方式の回路構成はパソコンと同等の機能と複雑さが要求されているうえ、「電池駆動による小型軽量化」と「低コスト化」は携帯電話機の必須の解決課題であることから、その達成に向けて「高速化・多機能化・低コスト化」に向けた各種のタイプが開発されてきている。

携帯電話機の半導体パッケージはビルドアップ PWB( プリント配線板 ) 対応の CSP が主流である。

図 1 に、「各種 CSP 技術の構造と狙い」をそれぞれの主力目標と低コスト化に向けた主な実現手段とともに示す。

【図】図 1 各種 CSP 技術の構造と狙い

(I) 各種 CSP 技術の構造と狙い

| 主力目標  | CSP の種類     | 構造例                                                                                                        | 低コスト化に向けた主な実現手段                                                                               |
|-------|-------------|------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------|
| ●高速化  | Face Down 型 |  <p>富士通の「mBGA」</p>       | <p>TSOPと共通の設備を採用</p> <p>低コストのインタポーズを採用</p> <p>接層層の厚さを削減</p> <p>高精度なプロセスを不要に</p> <p>工程数を削減</p> |
| ●多機能化 | 積層型         |  <p>シャープの「3チップ積層CSP」</p> | <p>既存の製造設備を活用</p> <p>従来材料を活用</p> <p>低コストのインタポーズを採用</p> <p>製造効率を改善</p>                         |
| ●高速化  | Flip Chip 型 |  <p>松下電器産業の「μCSP」</p>   | <p>樹脂製のインタポーズを採用</p> <p>既存のワイヤー・ボンダーで形成する2段突起状のAuパンプを採用</p>                                   |
| ●高速型  | W-CSP 型     |  <p>富士通の「SuperCSP」</p> | <p>チップの縮小による低コスト化が可能</p> <p>製造量を増大化</p> <p>材料使用量を削減</p> <p>部品・材料を共通化</p> <p>ウニーハダシステムを共通化</p> |

出典 1、「41 頁 (1) 各種 CSP 技術の構造と狙い」

なお、携帯電話機の「電池駆動による小型軽量化」と「低コスト化」は時計、とりわけ腕時計においても同様の必須課題で、時計業界では先行する携帯電話機から CSP 技術を学び、採り入れようとする動きが顕著である。

【出典 / 参考資料】

出典 1:「高密度実装技術から見た次世代デジタル・モバイル技術動向 - IMT - 2000 を中心として -」,「マイクロメカトロニクス Vol.44 No.2」,「2000 年 6 月」,「宮代文夫(東芝ケミカル)著」,「日本時計学会発行」,35 - 41 頁

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04G1/00,308

【技術名称】 5 - 2 - 2 - 4 WLP (Wafer Level Package)

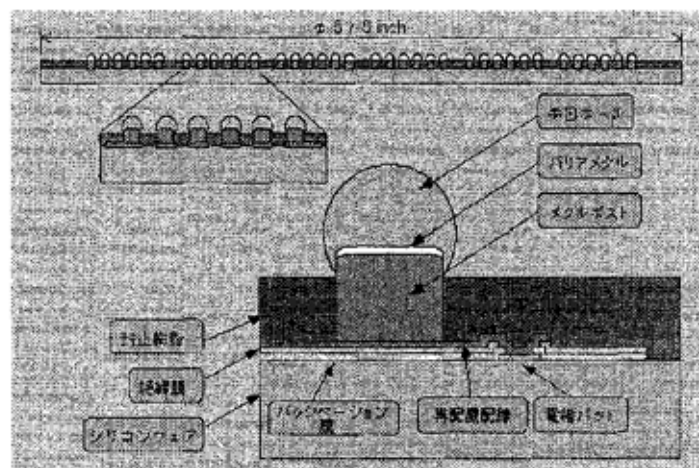
【技術内容】

小型化が要求される腕時計型機器や携帯電話機などの携帯機器で多く使用されるようになってきた半導体のパッケージであって、ウエハー状態で組立てを行い、組立ての最終工程でダイシングをして個片化することで、ICチップと同じ大きさまで小型化できる表面実装可能なパッケージを実現する技術である。

WLP は、W - CSP (Wafer Level Chip Size Package) とも言い、CSP の一種である。

図 1 に、腕時計タイプのデジタルカメラで採用された画像保存用 8Mbit フラッシュメモリーの WLP の構造を示す。チップ回路面の保護絶縁膜上に再配置配線と呼ばれる配線やメタルポストを形成し、実装端子をエリア上に配置する。また、メタルポスト上には金属の拡散を防ぐバリアメタル層が形成してある。樹脂封止は圧縮成形法によって行われ、テンポラリーフィルムと呼ばれるシートを用いて樹脂封止を行うことにより、メタルポストが樹脂層から突出した構造となる。実装端子となるはんだボールはこのメタルポストの上に搭載される。この構造により、従来パッケージである SON タイプに実装した場合に比べ、体積比で 32.45% の小型化が実現できたうえ、メタルポストが樹脂層から突出した構造を持っているため、はんだボールとの接触面積が大きくなり信頼性の向上にもつながっている。

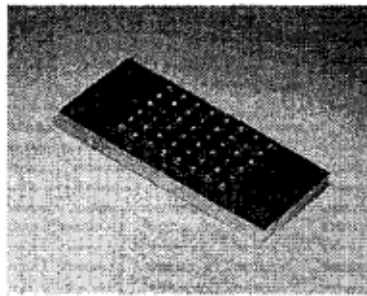
【図】 図 1 WLP の構造例



出典 1、「80 頁 Fig.8」

図 2 は、図 1 で示した 8Mbit フラッシュメモリーの WLP 実物サンプルの写真である。

【図】図 2 WLP サンプルの写真



出典 1、「80 頁 Fig.7」

【出典 / 参考資料】

出典 1:「リストカメラの開発」,「マイクロメカトロニクス Vol.45 No.2」,「2001 年 6 月」,「阿部博之(カシオ計算機)著」,「日本時計学会発行」, 75 - 82 頁

参考資料 1:

- ・ 出典: セイコーインスツルメンツ ニュースリリース
- ・ 著者名: セイコーインスツルメンツ
- ・ 表題: WLP パッケージ 2 ワイヤ EEPROM「S - 24C04 / CS16 / CS64」の発売
- ・ 掲載年月日: 2003 年 7 月 28 日、掲載者: セイコーインスツルメンツ株式会社
- ・ 検索: 2005 年 1 月 11 日
- ・ アドレス: <http://speed.sii.co.jp/pub/corp/pr/newsDetail.jsp?news=624>

参考資料 2:「MEMS パッケージングの設計製造」,「精密工学会誌 Vol.70 No.9」,「2004 年 9 月」,「江刺正喜(東北大学)著」,「精密工学会発行」, 1137 - 1141 頁

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04G1/00,302, G04G9/00,301@Z

【技術名称】 5 - 2 - 2 - 5 COG(Chip on Glass)

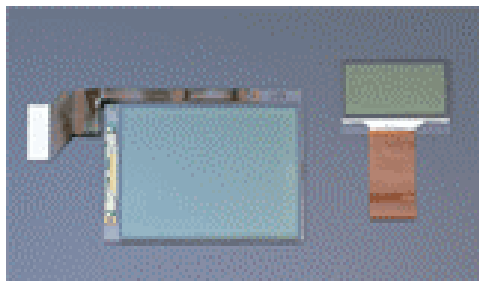
【技術内容】

COG (Chip on Glass) は、液晶パネル表示装置を用いる電子時計における高密度実装として最適な方式の一つであって、液晶パネルのガラス基板上にドライバー IC を直接実装し、高細密化や薄型、軽量、コンパクト化のため接続ピッチのファイン化に対応する技術である。

LCD モジュールは、液晶パネル、LCD ドライバー、バックライトなどの周辺部材から構成されており、これらは高密度実装技術、ヒートシール接続、アセンブル技術などを駆使することによりモジュールとしてまとめられ、電子時計、携帯電話機、パームトップ PC などの携帯機器の表示装置として搭載・使用されている。LCD モジュールに使用される高密度実装技術としては COF、COG、TAB、COB の 4 種が実用化されており、これらは使用目的に合わせて選択されるが、この中でも COG はスリムチップのベア IC を LCD モジュールのガラス基板上に実装するため、薄型・軽量化に有効であるとともに、パーツのローディングから LCD 検査まで一貫自動化ラインに対応することができ製造上も有利な構造である。

図 1 は、COG の構成が分かるサンプル図を示す。左側のモジュールは、青色の液晶パネル部の左側に搭載されている白色の部品が IC チップであり、右側のモジュールは、薄緑色の液晶パネル部の下側に IC チップが搭載されている。

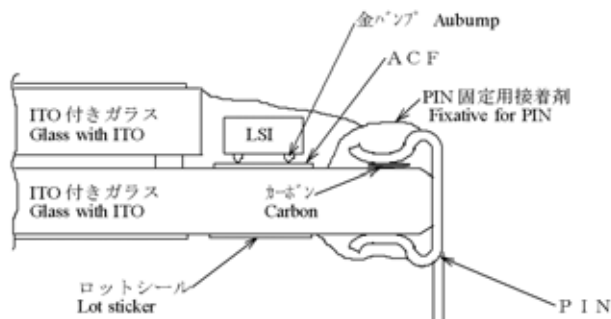
【図】 図 1 COG の構成を示すサンプル図



出典 1、「6 頁 COG Chip on Glass」

図2は、COGにおけるLCDとICの位置関係を示す断面図である。この図は、ガラス基板の周辺部の構成が図1とは違っているが、液晶パネルのガラス基板（下側のITO付きガラス）の上面にドライバーIC（LSI）が直接搭載されている。

【図】図2 COGの構成を示す断面図



出典2、「2頁 COGの構造 Structure of COG Module」

【出典／参考資料】

出典1：「高密度実装技術」,「SII カスタム LCD モジュール製品カタログ 2004 - 2005」,「2004年9月」,「セイコーインスツル著」,「セイコーインスツル株式会社発行」,6 - 9頁

出典2：「COGの構造」,「COG MODULE Products & Designing Ver.3.1」,「2001年6月7日」,「ナノックス著」,「ナノックス株式会社発行」,2頁

参考資料1：

- ・ 出典：セイコーインスツル／電子デバイス／カスタムモジュール／COG カスタム LCD モジュール
- ・ 著者名：セイコーインスツル
- ・ 表題：COG カスタム LCD モジュール (Chip on Glass)
- ・ 掲載年月日：2005 年、掲載者：セイコーインスツル株式会社
- ・ 検索：2005 年 1 月 11 日
- ・ アドレス：<http://speed.sii.co.jp/pub/compo/custom/productdetailJ.jsp?recordID=70>

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04G1/00,302, G04G1/00,303

【技術名称】 5 - 2 - 2 - 6 COF(Chip on Film)

【技術内容】

配線パターンの狭ピッチ化を実現する回路実装方法の一つであって、フレキシブルな配線基板（FPC基板）上にデバイスホールを作ることなくドライバーICおよび周辺回路を搭載する技術で、液晶パネル表示装置を用いる電子時計の回路実装としても最適な技術である。

COF(Chip on Film)とはChip on FPC とも言い、配線パターンの狭ピッチ化が進み、従前のTCP(Tape Carrier Package)方式ではフライングリード(デバイスホール内の銅箔接続端子)の変形が起こりやすくなったため、その対策として開発された。

TCP と COF の外観写真と上面図、断面図の比較を図 1、図 2 に示す。COF はテープを使用したパッケージであるため、外見上は TCP とほとんど変わらないが、薄くフレキシブルな絶縁フィルム材にニッケル合金をスパッタリングすることで導電性を持たせたあと銅メッキを施す製法による柔らかい配線基板（FPC 基板）をベースとしているため、相対的に硬い回路基板をベースとする TCP では必須であったデバイスホールを設けることなく、IC を配線基板に直接導通固定することが出来る。

【図】図 1 TCP と COF の外観

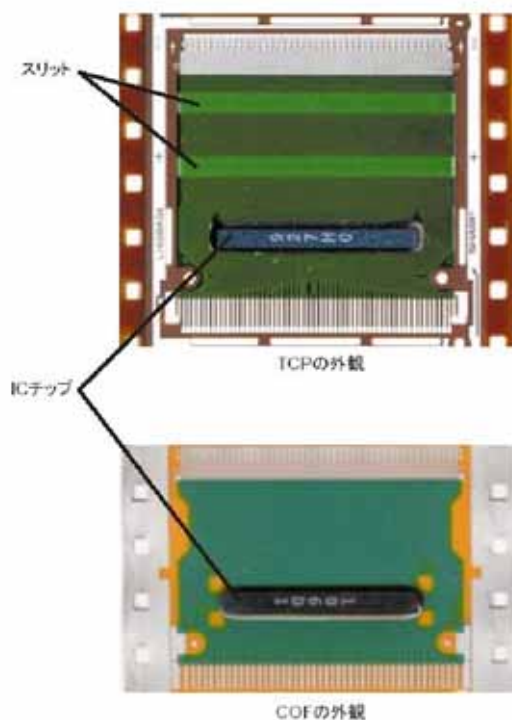


図 1 TCP と COF の外観

出典 1、「56 頁 図 1 TCP と COF の外観」

【図】図2 TCP と COF の構造比較

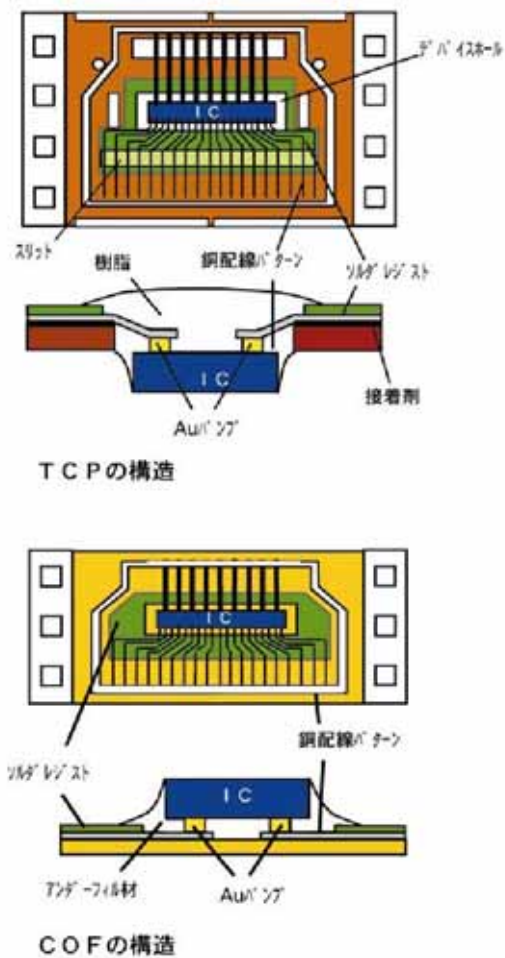
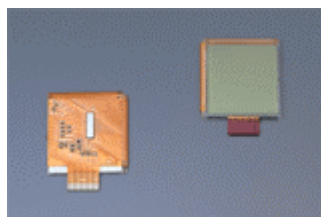


図2 TCP と COF の構造比較

出典 1、「57 頁 図2 TCP と COF の構造比較」

図3に、COFの構成を示すサンプル図を示す。緑色で示す液晶パネル部の裏面に配置されたFPC上にICチップや周辺回路用チップが搭載されている様子が示されている。

【図】図3 COFの構成を示すサンプル図



出典 2、「6 頁 COF Chip on FPC」

以上、COFはFPC基板上にドライバーICおよび周辺回路部品を搭載する高機能モジュールを可能と

し、時計のみならずパソコン、PDA、携帯電話など電子機器類の高機能化や小型・薄型化に寄与している。

【出典 / 参考資料】

出典 1 : 「リール to リール方式による液晶ドライバの COF (Chip On Film) 技術」, 「シャープ技報 第 80 号」, 「2001 年 8 月」, 「豊沢健司、中村仲栄、福田和彦、千川保憲 (シャープ) 著」, 「シャープ株式会社発行」, 56 - 59 頁

出典 2 : 「高密度実装技術」, 「SII カスタム LCD モジュール製品カタログ 2004 - 2005」, 「2004 年 9 月」, 「セイコーインスツル著」, 「セイコーインスツル株式会社発行」, 6 頁

参考資料 1 : 「高精細 LCD に対応した COF 用 TAB テープ」, 「日立電線 No.21」, 「2002 年 1 月」, 「小泉良一、伊藤英樹、松本雄行、宮本宣明、水野雅裕、珍田聡 (日立電線) 著」, 「日立電線株式会社発行」, 47 - 52 頁

参考資料 2 :

- ・ 出典 : セイコーインスツル / 電子デバイス / カスタムモジュール / COF カスタム LCD モジュール
- ・ 著者名 : セイコーインスツル
- ・ 表題 : COF カスタム LCD モジュール (Chip on FPC)
- ・ 掲載年月日 : 2005 年、掲載者 : セイコーインスツル株式会社
- ・ 検索 : 2005 年 1 月 11 日
- ・ アドレス : <http://speed.sii.co.jp/pub/compo/custom/productdetailJ.jsp?recordID=549>

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04G1/00,302, G04G1/00,303

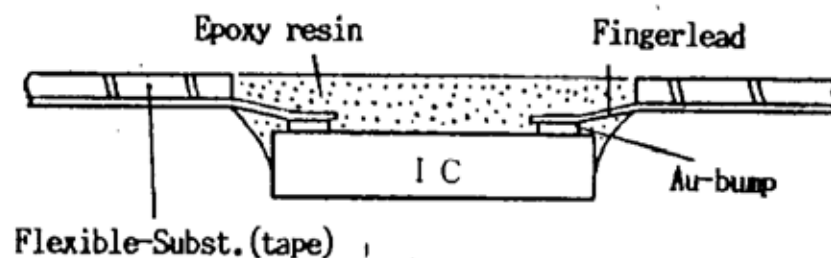
【技術名称】 5 - 2 - 2 - 7 TAB (Tape Automated Bonding)

【技術内容】

多機能化、薄型・小型化が要求される機器類の電子回路で使用される IC 実装方式の一種であって、従来のプラスチックモールドパッケージに比べ耐光性などに弱点もあるが、ケースに囲まれた時計や電卓では必要な信頼性が確保でき、IC チップの多ピン化、大型化にも対応できる実装技術である。

基本構成は、図 1 のとおりで、IC より大きめの穴（デバイスホール）を有するテープ状のフレキシブル基板を用いる。配線パターンの先端をフィンガーリードとしてデバイスホールから突き出すように形成しておく。一方、IC 側にはアルミ電極上にバンパと呼ばれる金の突起電極を形成しておく。ボンディングは、IC のバンパとフィンガーリードとを位置合わせし、熱圧着で全端子同時に接続する。次に、実装後の IC を外部環境から保護するため、エポキシ樹脂で IC を封止する。

【図】 図 1 TAB (Tape Automated Bonding) の基本構成



出典 1、「2 頁 Fig.1 IC Interconnection Method の TAB (Tape Automated Bonding) の図」

TAB 方式は、1970 年に米国 GE 社によって提唱された "Mini Mod 方式" が原形で、永年一部のコンピューター用など限られた用途で使われてきたが、現在では、液晶ドライバーを中心に時計用、電卓用、IC カード用などの薄型・多ピン実装用として用いられている。信頼性の面では、フィルム材を始め使用している材料や構造上、従来のプラスチックモールドパッケージに比べて同等の水準を保つには限界があるが、IC のピン数増加と共にパッドピッチの縮小、IC サイズの大型化に対応する実装技術としてさらなる発展が期待されている。

TAB 方式の生産方法は、フィルムキャリアを用いた一列方式が基本であるが、低コスト化を目指した幅広のフィルムキャリアによる大量生産方式も報告されており、その対比を図 2 に示す。

左側が幅広、右側が従来のフィルムキャリアである。

【図】図2 一列方式 TAB と幅広フィルム方式 TAB の対比

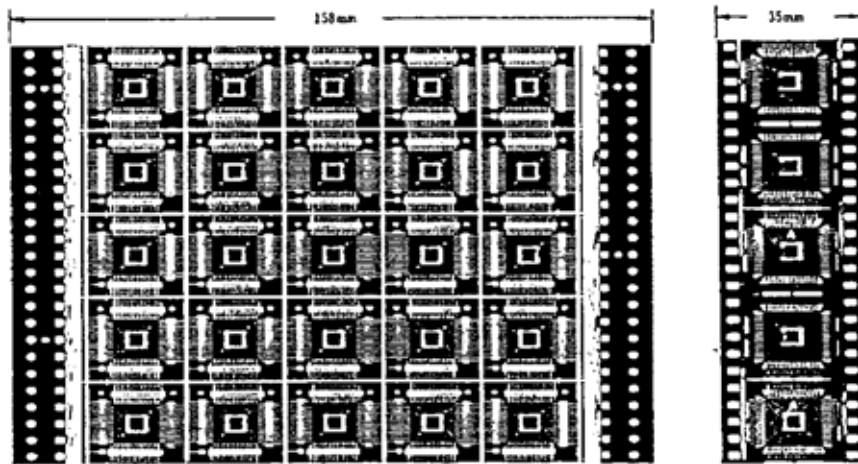


Fig. 2 158mm width tape carrier

出典 2、「7 頁 Fig.2 158mm width tape carrier」

さらに、究極のローコスト TAB 方式としてバンプレス TAB 方式の開発も報告されており、その構造を従来構造のバンプ付き TAB 構造と対比して図 3 に示す。

【図】図3 バンプレスとバンプ付きの TAB 構造比較

バンプレス TAB

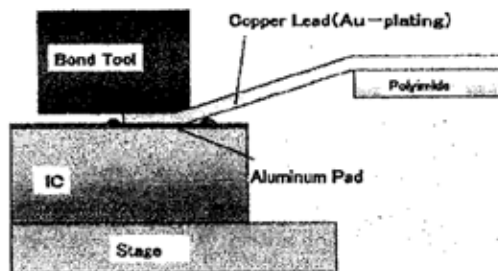


Fig.2 Bumpless-TAB structure

バンプ付き TAB

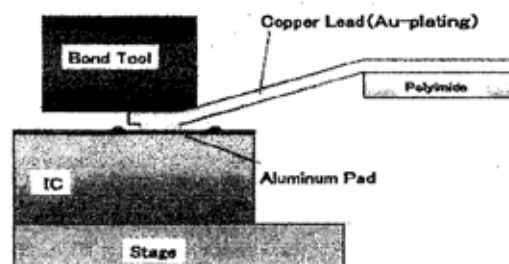


Fig.1 B-TAB (Bump-TAB) structure

出典 3、「19 頁 Fig.2、Bumpless - TAB structure、Fig.1、B - TAB (Bump - TAB) structure」

#### 【出典 / 参考資料】

出典 1:「IC の封止構造における耐光性について」,「日本時計学会誌 No.130」,「1989 年 9 月」,「長野睦、佐藤哲夫、古谷敏雄 (シチズン時計) 著」,「日本時計学会発行」, 1 - 14 頁

出典 2:「158mm 幅の TAB (Tape Automated Bonding) 技術」,「日本時計学会誌 No.137」,「1991 年 6 月」,「鈴木彰 (カシオ計算機) 著」,「日本時計学会発行」, 1 - 11 頁

出典 3:「バンプレス TAB 実装技術開発」,「マイクロメカトロニクス学術講演会講演論文集 2001 年秋季」,「2001 年 9 月 7 日」,「田村修一、関重彰、斎藤秀隆 (セイコーエプソン) 著」,「日本時計学会発行」, 19 - 20 頁

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04C3/00@J, G04G1/00,302

【技術名称】 5 - 2 - 2 - 8 狭ピッチ・高密度化

【技術内容】

時計の回路基板への実装に関し、スペースの限られた時計内部により多くの電子部品を、機能を損うことなく組み込むための技術である。

電子機器の軽薄短小化と高密度化の進展は、半導体による LSI 化技術と SMT (面実装技術) という 2 つの基本技術から成る電子回路の軽薄短小化技術とともにある。

このことを軽薄短小化技術の代表的実装技術である COF (チップオンボード) 用配線基板の用途の拡大状況から俯瞰すると、図 1 のとおりで、時計、カメラなどの民生分野からコンピューター、移動体通信分野まで広がってきており、さらに進化が見込まれている。

【図】 図 1 COB の用途拡大の体系図

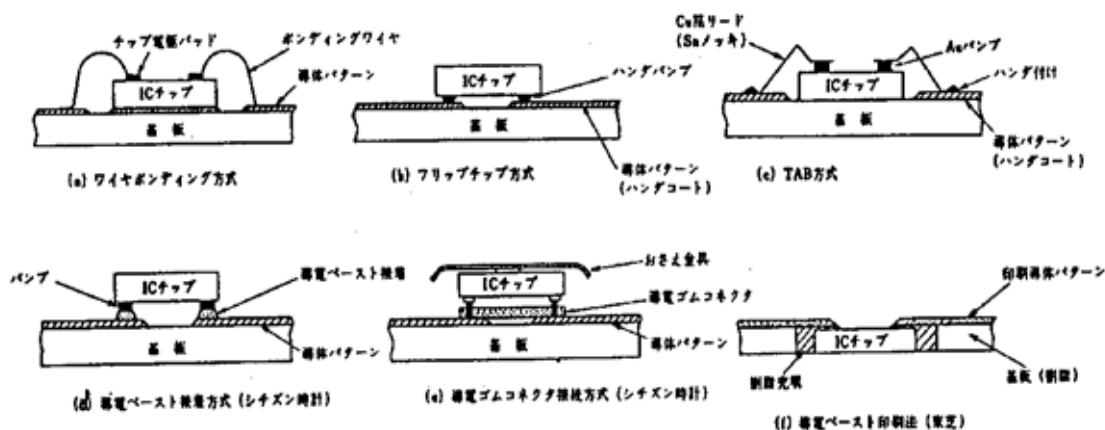


出典 1、「84 頁 図 2 用途拡大の体系図」

一方、図 2 に示すように、LSI のベアチップ実装は基板上への組み込みから始まったが、プリント

基板に直接組み込む各種方式が急速に伸びてきて、電子機器の軽薄短小化の狙いにコスト・品質等の観点も交えて選択採用されている。

【図】図2 ペアチップ実装の変遷



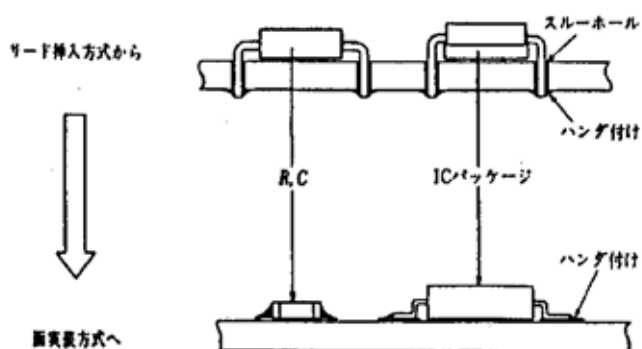
出典 2、「38 頁 図 11 ペアチップ実装は多様化方向へ」

図 3 に、電子部品実装方式の変遷、図 4 に部品側の SMT 対応の様子を示す。

電子部品類の実装は、電極部にリードを持ちそれをプリント基板のスルーホール部に挿入して裏面でハンダ付けする方法(図 3 上図)から SMT 方式(図 3 下図)へと変化し、対応する部品類も図 4 (a) に示すとおり、リードレスのチップコンデンサーや微小リードのミニトランジスタが出現し、平面付けが実現している。

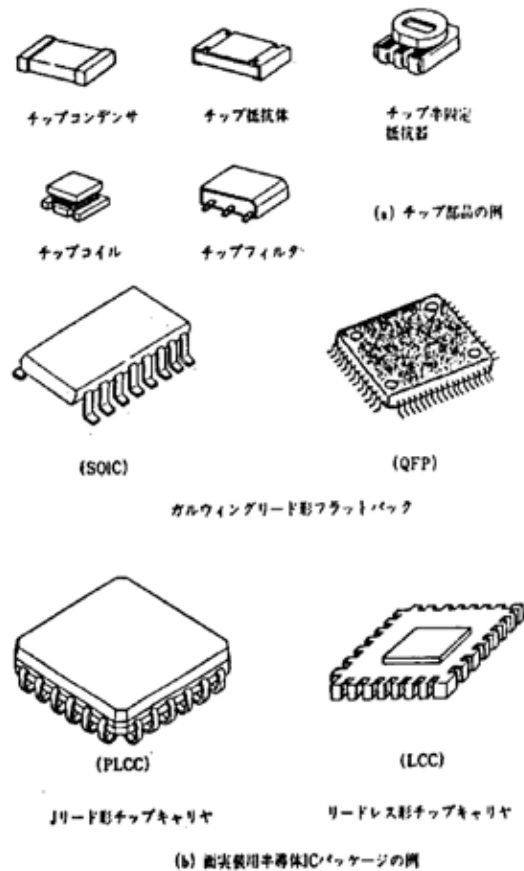
また、半導体パッケージでは、図 4 (b) に示すとおり狭ピッチで微小リードを持った 4 方向フラットパック (QFP) が有効とされてきているが、さらにピン数が多くなるとリードレス (LCC など) が有力になる可能性もある。

【図】図3 電子部品実装方式の変遷



出典 2、「31 頁 図 2 プリント基板の実装方式が変わる」

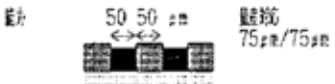
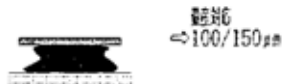
【図】図 4 部品側の SMT 対応



出典 1、「32 頁 図 3 部品は面実装タイプへ」

なお、COB の製造プロセスは、銅の不要部分をエッチングにて除去してしまうサブトラクティブ法と必要パターンを化学銅により析出させるアディティブ法の 2 種に大別される。ファインパターンに優れ狭ピッチ実装に適した回路やパッドの提供という面では、表 1 に示すとおりアディティブ法が優位である。(表 1 の左側がアディティブ法)

【表】表1 アディティブ基板とサブトラクティブ基板の特性比較

| 項 目                               |        | AAP®/10                                                                                                                                      | サブトラクティブ法                                                                          |
|-----------------------------------|--------|----------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------|
| 精<br>度                            | パターン厚み | ±2~3 μm                                                                                                                                      | ±10~20 μm                                                                          |
|                                   | パターン幅  | ±5~10 μm                                                                                                                                     | ±20~40 μm                                                                          |
| パターン形成能力                          |        |                                                             |  |
| 実装信頼性                             |        |  <p>ハンダブリッジが生じにくい</p>                                       |  |
| パッド形状                             |        | 長方形                                                                                                                                          | 台 形                                                                                |
| パッドピッチ                            |        | ~0.15 ピッチ<br>何れもレジストダム有り                                                                                                                     | ~0.5 ピッチ<br>(0.5ピッチ以下はダム無し)                                                        |
| 電気絶縁性<br>実装信頼性<br>化学安定性<br>B g 特性 |        | 10 <sup>11</sup> Ω以上 (85℃/85%/24V/1000Hr, 75 μm 樹脂)<br>300サイクル以上 (260℃20S-15S-25℃15S, 0.3mmφ, Cu25 μm, 1.6mm)<br>塩メチ, シアン化カリウム等に安定<br>B g 可能 |                                                                                    |

出典 1、「92 頁 5. 2) AAP / 10 の特性」

【出典 / 参考資料】

- 出典 1:「チップオンボード用プリント配線基板の技術動向」,「日本時計学会誌 No.151」,「1994 年 12 月」,「中川吉明 (イビデン) 堀脇桂 (カシオ計算機) 著」,「日本時計学会発行」, 78 - 99 頁
- 出典 2:「最近の小型電子機器実装技術の新展開」,「日本時計学会誌 No.128」,「1989 年 3 月」,「本多 進 (徳山曹達) 古山幸子 (シチズン時計) 著」,「日本時計学会発行」, 27 - 62 頁

【技術分類】 5 - 2 - 2 電子回路 / 実装 / 回路実装

【 F I 】 G04G1/00,308

【技術名称】 5 - 2 - 2 - 9 耐光性向上

【技術内容】

IC に光が当たった場合の消費電流増加、歩度シフト、発振停止などの問題に対し、その影響を軽減する実装技術である。

アナログ時計においては、通常は光が直接 IC に当ることはないので簡単な封止構造でも問題は無いが、ケース裏ボタンを開けた場合などに IC に光が当り問題となることがある。

時計用 IC の封止構造は、図 1 に示すようにハーフポッティング、フレームポッティング、インサートモールドの 3 種があり、歴史的には耐光性に優れたインサートモールド、フレームポッティング方式から始まったが、時計の薄型・小型・ローコスト化要求に向け、時計に必要な十分な耐光性に関する調査研究が進み、その結果、ハーフポッティング方式に移行しつつある。

【図】 図 1 時計用 IC の封止構造

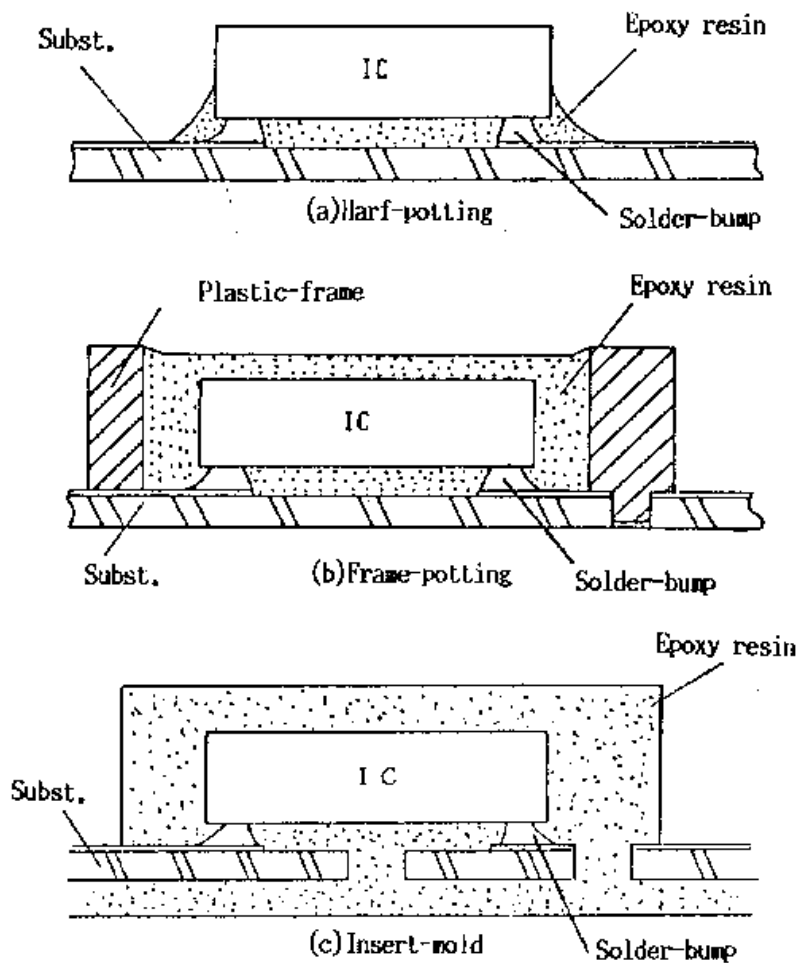


Fig. 2 IC Packaging Structure

出典 1、「4 頁 Fig.2 IC Packaging Structure」

ハーフポッティング方式で必要十分な時計 IC の耐光性を確保するには、ムーブメント構造による遮光、IC 自身の耐光性向上や添加剤効果も交えた封止樹脂の遮光性向上による複合的な対策が必要であり、そのためには以下の事実を配慮する必要がある。

- (1) IC に影響を及ぼす波長は 900 ~ 1,300nm の近赤外線である。
- (2) エポキシ樹脂は赤外線を透過する。
- (3) ハーフポッティングした IC では裏面、側面からの光の影響があり、特に側面からの光の影響が大きい。

ハーフポッティングの適用に当たっては、製造会社毎に耐光性規格を作成し、これをクリアーした時計を設計・製造している。

表 1 ではある時計メーカーの耐光性規格を、図 2 には IC の封止構造の違いによる照射光の強さと IC の消費電流の関係に関する添加剤効果も交えた調査事例を示し、図 3 ではハーフポッティングした IC の光を受ける面と特性劣化との関係を示す。

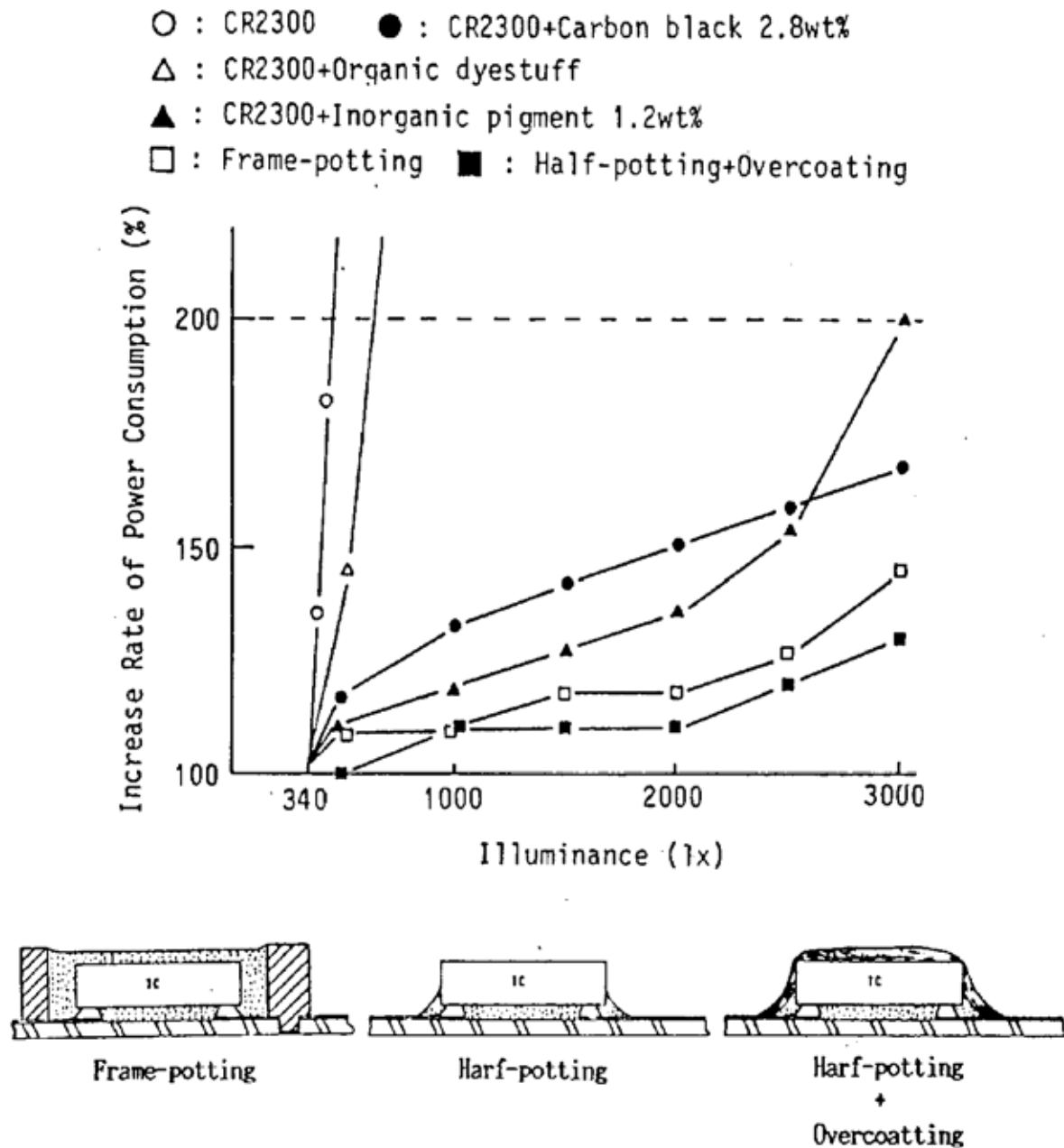
【表】表 1 ある時計メーカーの耐光性規格

|                          | Light source      | Irradiation conditions                                                          | Determination standard                                                      |
|--------------------------|-------------------|---------------------------------------------------------------------------------|-----------------------------------------------------------------------------|
| Continuous irradiation   | Incandescent lamp | *Irradiated in the worst direction<br>*Illuminance 3000 lx                      | $I_b \leq 2I_a$<br>$ T_b - T_a  \leq \frac{1}{2}T_n$                        |
| Intermittent irradiation | Incandescent lamp | *Irradiated in the worst direction<br>*Irradiation 100μsec<br>*Energy 49.6W.sec | $ T_c - T_a  \leq \frac{1}{2}T_n$<br>Shift of rate $\leq +2\text{sec}$<br>— |

I: Power Consumption      T: Rate  
b: During irradiation      c: After irradiation  
dT: Allowance of rate      a: Before irradiation

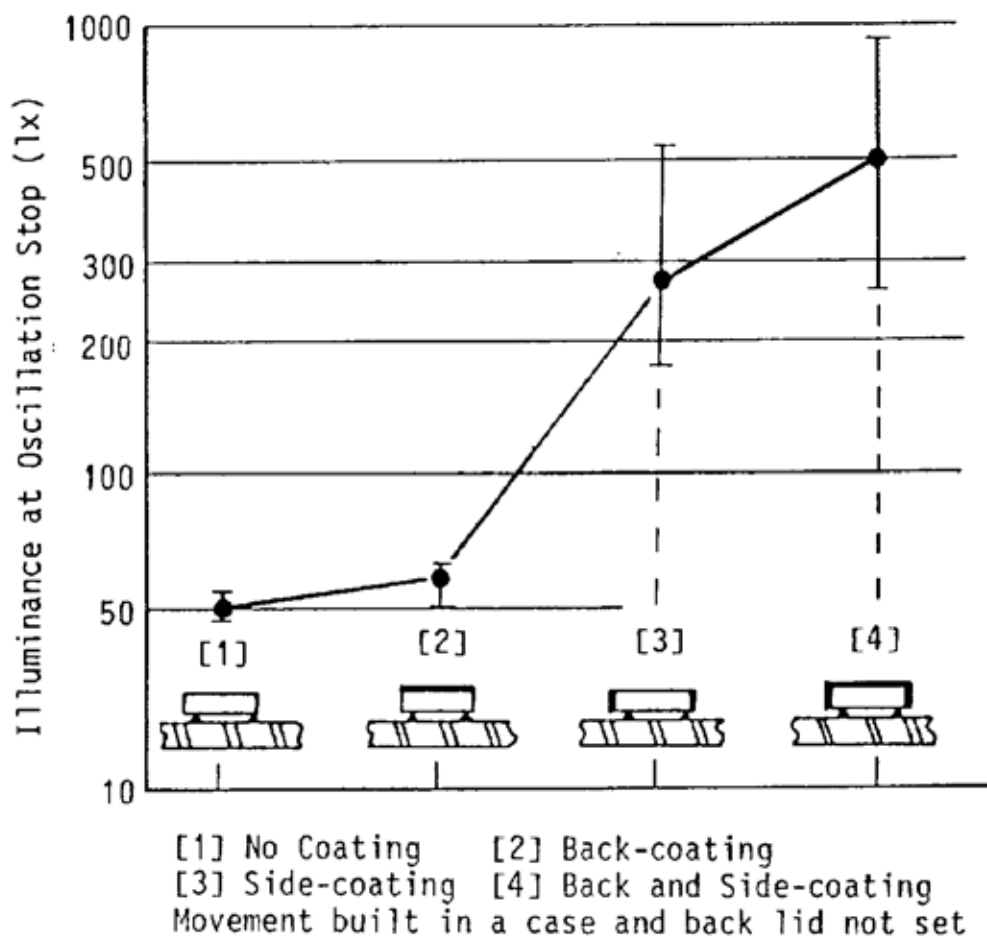
出典 1、「5 頁 Table 1 Light - resistance Quality Standard (CITIZEN WATCH)」

【図】図2 ICの封止構造の違いによる照射光の強さとICの消費電流の関係の調査事例



出典 1、「8 頁 Fig.5 Increase Rate of Power Consumption by Illuminance」

【図】図3 ハーフポッティングした IC の光を受ける面と特性劣化の関係



出典1、「11頁 Fig.7 Influence of Irradiation Direction to IC」

【出典 / 参考資料】

出典1：「ICの封止構造における耐光性について」、「日本時計学会誌 No.130」、「1989年9月」、「長野睦、佐藤哲夫、古谷敏雄（シチズン時計）著」、「日本時計学会発行」、1 - 14頁