

ZnO/ZnMgO Hetero-MISFET における

ゲート絶縁膜の検討と特性評価*

早藤 剛生**・小池 一步・佐々 誠彦・矢野 満明・井上 正崇

工学研究科 電気電子工学専攻

(2007年9月29日受理)

Gate Insulator Dependences of ZnO/ZnMgO Hetero-MISFET Characteristics

by

Takeo HAYAFUJI**, Kazuto KOIKE, Shigehiko SASA,

Mitsuaki YANO, Masataka INOUE

Major in Electrical and Electronic System Engineering, Graduate School of Engineering

(Manuscript received September 29, 2007)

Abstract

This paper reports on the high performance capability of hetero-metal-insulator-semiconductor field effect transistors (hetero-MIS FETs) fabricated using ZnO/ZnMgO heterostructures prepared by molecular beam epitaxy (MBE) and the dependence of the transistor characteristics on the gate insulator. We studied how the characteristics depend on the structure and evaluated the stability of the transistors for gate dielectrics of Al₂O₃ or HfO₂. The 1- μ m gate device showed transconductance of as high as 54 mS/mm for Al₂O₃ and 71 mS/mm for HfO₂, which are the highest values ever reported for ZnO-based FETs.

キーワード; 酸化亜鉛, アルミナ, ハフニア, MIS型電界効果トランジスタ

Keyword; Zinc oxide (ZnO), Al₂O₃, HfO₂, Metal-Insulator-Semiconductor Field Effect Transistor, FET

* 第67回応用物理学会学術講演会にて口頭発表 (2006年8月31日, 立命館大学)

** 大阪工業大学大学院工学研究科電気電子工学専攻

1. 研究背景と目的

近年、情報社会とされているようにインターネットの発展などにより誰でも、いつでも、どこでも情報を入手することが出来るユビキタスネットワーク社会が実現しようとしている。

エレクトロニクス分野においては高度な情報処理や通信技術などの研究が行われており、その中核を担う半導体デバイスはさらなる高性能・多機能な新材料への研究にも期待が高まっている。半導体デバイスは主に大規模集積回路(Large Scale Integration), 発光デバイス, 高速デバイスなどがあり、その中核を担う半導体材料としてシリコン(Si)が用いられてきた。Siは地殻埋蔵量の多さや物理的・化学的に優れた性質があり、古くから研究が盛んに行われ、微細加工の技術進歩により大きな発展を遂げている。しかし、発光デバイス, 高速デバイスについてはSiの性質上困難となる。その要求を達成するためにガリウム砒素(GaAs)などに代表される化合物半導体材料によって補うことで、今日の巨大な産業を築き上げてきた。

このような技術の発展と同時に考えなければならない問題として、地球環境に対する問題がある。現在、地球汚染や資源・エネルギーの枯渇化などが大きな問題とされている。半導体分野もこの問題を解決するために環境適合性の高い半導体材料の研究が盛んに行われるようになってきている。

その半導体材料の一つとして生態系への親和性、環境調和性が高く、地殻埋蔵量が豊富な酸化亜鉛(ZnO)が最近注目を浴びている。ZnOは古くからゴムの加硫促進剤、顔料、陶磁器など粉末での利用が盛んに行われてきた。近年、結晶化技術の向上により、高品質なZnO薄膜やバルク結晶が実現できるようになった。このことによりZnOの半導体への用途は大幅に広がり、多機能性を利用したデバイス応用(図1)が期待されている。ZnOはバンドギャップエネルギーが室温において約3.4 eVである直接遷移型

半導体であり、励起子結合エネルギーが約60 meVと室温の熱エネルギー(25 meV)と比較して非常に大きい。そのため、室温でも安定した励起子が存在し、高効率な発光デバイスが作製可能である。現在、他の研究機関においてZnOホモ接合による青色発光ダイオードが報告されている¹⁾。また、ZnOは低温で成膜可能なことから現在、液晶ディスプレイなどに用いられている透明導電膜材料であるITO(Indium Tin Oxide)の代替材料²⁾や高い透明性を活かした透明TFT^{3, 4, 5)}の研究成果も報告されている。

我々の研究系ではこの環境適合性の高いZnOに注目し、これまでに分子線エピタキシー(Molecular Beam Epitaxy)法を用いて、ZnO薄膜を成膜し、薄膜トランジスタ(Thin Film Transistor)の作製を行ってきた⁶⁾。また、ZnO膜のさらなる高性能化を実現するためZnO/ZnMgOヘテロ構造にすることで2次元電子ガス(Two Dimensional Electron Gas)層を形成し⁷⁾、チャネル層に取り入れたhetero-MIS-FET(ヘテロ接合MIS型電界効果トランジスタ)の作製に成功している^{8, 9)}。我々は将来的に現在研究している高性能トランジスタを利用した生態適合性の高いバイオセンサーの開発も目標している¹⁰⁾。

本論文では高性能hetero-MIS FETの作製に向けて、異なるゲート絶縁膜(Al_2O_3 , HfO_2)を用いたFETを作製し、その特性評価・絶縁膜の検討を行った。

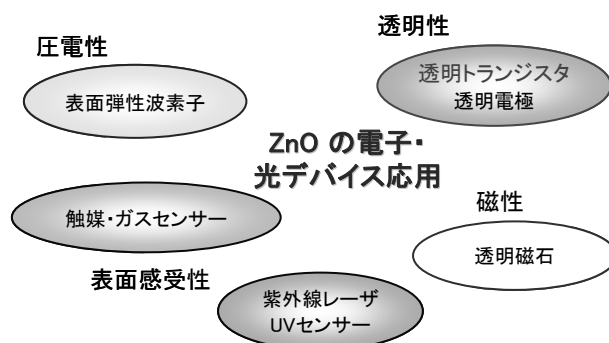
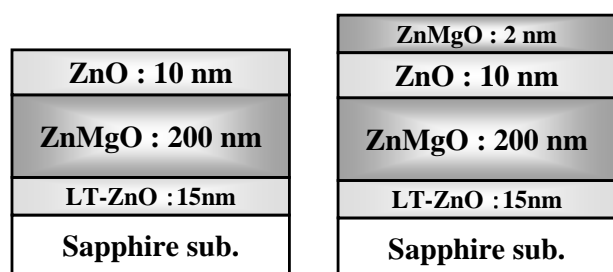


図1 酸化亜鉛の多機能性

2. 試料の作製

本研究で作製したhetero-MIS-FETは分子線エピタキシー法によりa面サファイア基板上にバッファ層としてLT-ZnO, ZnMgOを介してチャンネル層となるZnOを成長し, ZnO/ZnMgOヘテロ構造に発生する2DEGをチャンネル層として利用した試料(以後, キャップ層なし), さらにチャンネル層を形成後キャップ層としてZnMgO層を2 nm成長した試料(以後, キャップ層: 2 nm)を用いた. 図2にキャップ層の無いものおよびキャップ層を持つ試料の断面構造を示す. また, 試料のホール測定結果を表-1に示す.



(A) キャップ層なし (B) キャップ層: 2 nm

図2 試料構造

表-1 ホール測定結果

試料	キャップ層なし		キャップ層: 2 nm	
	300	77	300	77
温度 [K]	300	77	300	77
シート抵抗 [$k\Omega/\square$]	6.2	5.6	2.8	1.7
移動度 [cm^2/Vs]	134	211	183	367
キャリア濃度 [cm^{-2}]	7.5×10^{12}	5.2×10^{12}	1.2×10^{13}	1.0×10^{13}

次にトランジスタの加工方法について述べる. 加工にはフォトリソグラフィ技術を用いた. まず, 素子分離(アイソレーション)をECRプラズマエッチング装置により, CH_4 , CF_4 混合ガスを用いて行った. そして, 真空蒸着法とリフトオフによってオーミック電極(In/Au)形成し, 窒素雰囲気中 $400^\circ C$, 1分間のアニール(熱処理)を施し合金化を行った.

次に, 電子ビーム(Electron Beam: EB)蒸着装置によりゲート絶縁膜, ゲート電極(Ti/Au)を形成した. ゲート絶縁膜としてはhigh-k(高誘電率)材料である Al_2O_3 あるいは HfO_2 を50 nm蒸着した.

3. 測定結果および考察

TLM(Transmission Line Method)法を用いて2端子間抵抗の測定を行った. その結果を図3に示す. この測定に使用した試料の幅は $100 \mu m$ で, 端子間距離は $2 \mu m$ から $20 \mu m$ まで変化させた. TLM測定の結果からコンタクト抵抗, シート抵抗を求めた結果を表-2に示す.

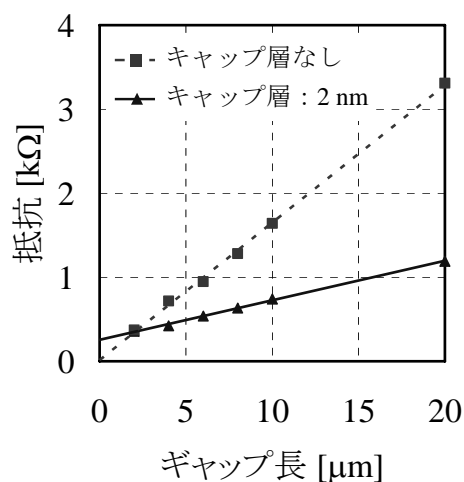


図3 2端子間抵抗の測定結果

表-2 2端子測定結果

試料	キャップ層なし	キャップ層: 2 nm
コンタクト抵抗 [Ωmm]	1.5	13
シート抵抗 [$k\Omega/\square$]	16.5	4.61

キャップ層: 2 nmの試料のシート抵抗はホール測定の結果より高くなっていることがわかった. これはオーミックの蒸着あるいは合金化の過程でチャンネル層となるZnO層に何らかの影響があったためと考えられる.

続いて作製したトランジスタの V_{DS} - I_D 特性, V_G - I_D 特性の測定を室温(300 K)で行った(図4). このときのゲート幅 W , ゲート長 L , ゲート-ソース(G-S)間距離はそれぞれ $50 \mu m$, $1 \mu m$, $1 \mu m$ である. また, V_G - I_D 特性のD-S(ドレイン-ソース)間の電圧 V_{DS} は $4.0 V$ とした.

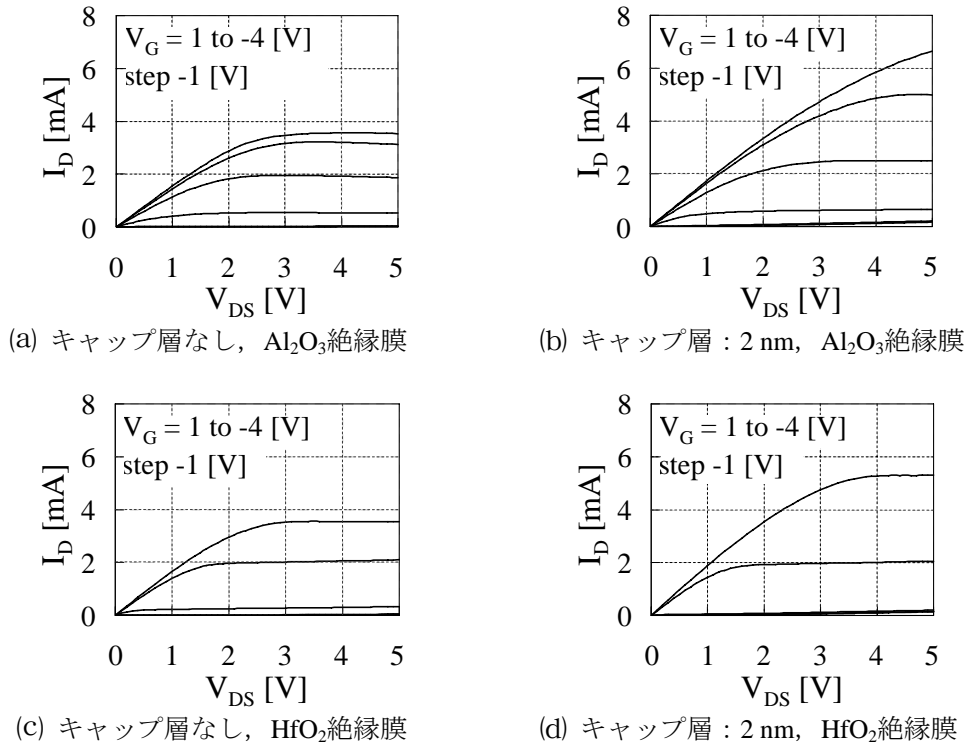


図4 $V_{\text{DS}}\text{-}I_{\text{D}}$ 特性

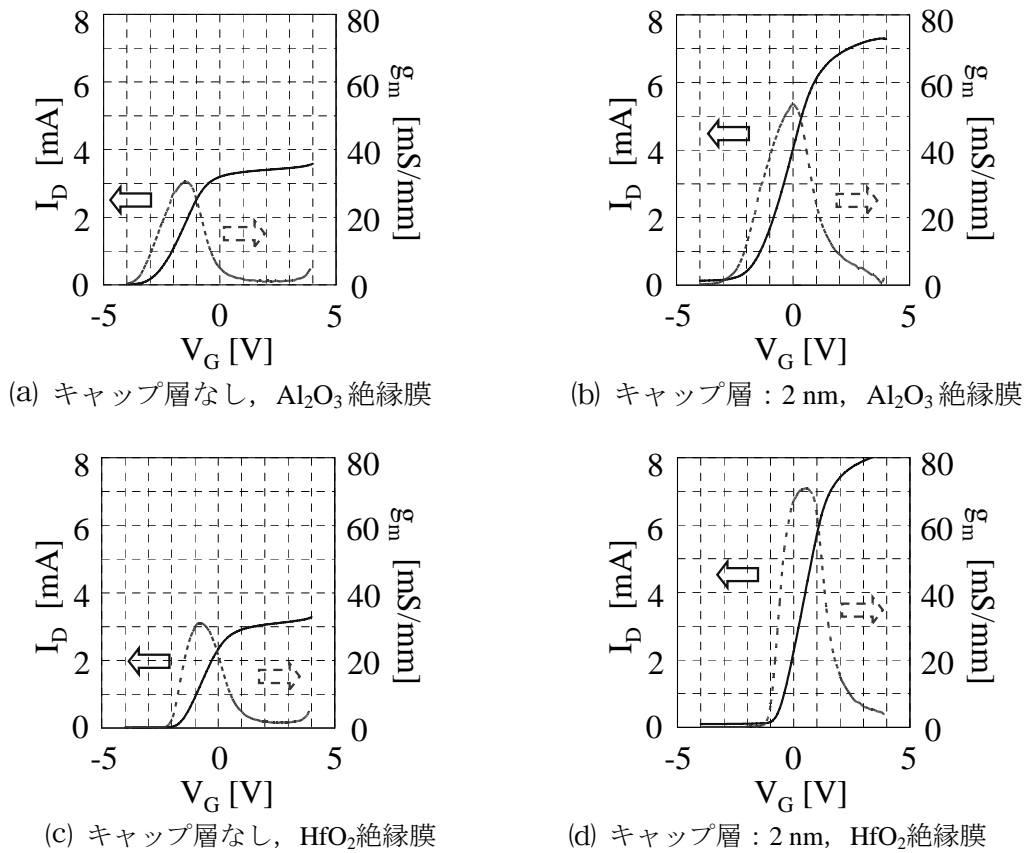


図5 $V_{\text{G}}\text{-}I_{\text{D}}$ 特性 ($V_{\text{DS}}=4.0\text{ V}$)

V_{DS} - I_D 特性より $V_{DS}=2.0$ V付近でドレイン電流が飽和していることが確認でき、典型的なトランジスタ特性を示した。図5は、図4のそれぞれに対応する V_G - I_D 特性(伝達特性)と伝達コンダクタンスを示したものである。どちらの絶縁膜の場合にも、ZnMgOキャップ層がある場合に、高いドレイン電流が得られている。伝達コンダクタンスもキャップ層がある場合が高く、 Al_2O_3 ゲートで54 mS/mm、ゲートでは71 mS/mmとZnOを母体としたトランジスタで従来の約3倍の値となる非常に高い値が得られた。また、キャップ層有りの場合には、 Al_2O_3 に比べ HfO_2 はより低いしきい値電圧を示した。

キャップ層有りの試料が高いドレイン電流を示した理由は、ゲート絶縁膜をEB蒸着によって形成したため、キャップ層なしのデバイスでは絶縁膜とZnO界面に素子特性に影響を及ぼす変成層が形成されたのではないかと考えられる。また、この結果はキャップ層によってその影響が軽減できることを示している。

ここで、チャンネル層の特性を評価するため、飽和領域における電界効果移動度(μ_{FET})を求める。

μ_{FET} は

$$\mu_{FET} = \frac{2LI_D}{WC_0(V_G - V_{TH})^2} \quad (1)$$

より求めることができる¹¹⁾。このとき、 C_0 はゲートの単位面積当たりの静電容量、 V_{TH} はしきい値電圧を示す。また、キャップ層:2 nmの場合、 C_{eff} はゲート絶縁膜、ZnMgOキャップ層、ZnOチャンネル層(2DEGが形成されていると考えられる部分約1 nmを除く)から構成されていると考えた(図6)。このとき各層のゲート絶縁膜の比誘電率は Al_2O_3 : 9¹²⁾、 HfO_2 : 20¹³⁾とした。

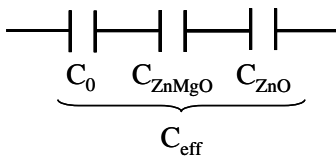


図6 合成静電容量 (キャップ層: 2 nm)

キャップ層なしと有りの $L=1$ μ mのデバイスの μ_{FET} を、それぞれのゲート絶縁膜について計算した結果を表-3に示す。

表-3 μ_{FET} の導出結果

試料	キャップ層なし		キャップ層: 2 nm	
	Al_2O_3	HfO_2	Al_2O_3	HfO_2
gm [mS/mm]	30.6	31.0	53.7	71.0
V_{TH} [V]	-3.65	-2.15	-2.75	-1.2
C_{eff} [mF/m ²]	1.33	2.46	1.28	2.31
μ_{FET} [cm ² /Vs]	120	110	170	240

計算結果ではキャップ層: 2 nmの有無によって μ_{FET} に大きな違いが生じた。これはゲート絶縁膜の比誘電率、特性の違いによるものではなく、先にも述べたようにゲートを形成するときにZnOチャンネル層あるいは界面への影響が関与していると推測される。また、キャップ層: 2 nm、ゲート絶縁膜: HfO_2 のデバイスはホール測定結果に比べ高い移動度を示した。この素子では図5から分かるように、 V_G が正のときに最大のgmを示しているため、通常では2DEG層はZnOチャンネル層の下部に形成されると考えているが、この層以外にもZnO層の表面側に電流が流れているとも考えられる。その結果、計算に用いた C_{eff} は、 C_{ZnO} の寄与が無くなるため、より大きな値となり、式(1)より電界効果移動度が低下すると考えられる。その影響を考慮し、計算を行うと得られる電界効果移動度は170 cm²/Vsであり、ホール測定結果と比較的よい一致を示した。ただし、 C_0 、 C_{ZnMgO} 、 C_{ZnO} を直接測定できていないため、今回の計算では C_{eff} を一定として計算結果を示している。

さらに、試料の安定性に関するゲート絶縁膜の影響を調べるためにキャップ層: 2 nm、ゲート長 $L=1$ μ m、ゲート-ソース間距離 1 μ mのデバイスで図7に示すようにゲート電圧を4.0~-4.0 V(①)、逆に-4.0~4.0 V(②)と変化させてドレイン電流の測定を行い、ヒステリシス特性について考察した。

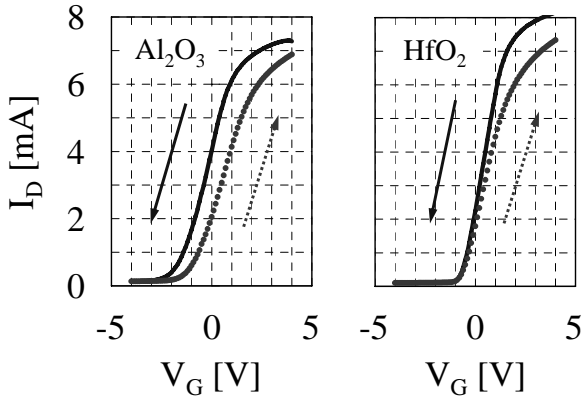


図7 ヒステリシス特性 (キャップ層 : 2 nm)

図7よりヒステリシス特性(伝達特性のゲート電圧に対するシフト)はゲート絶縁膜にHfO₂を用いた方が小さくなることがわかった。また、この特性はキャップ層の有無に係わらず同様の傾向が見られている。

図7の①および②に対応するしきい値電圧を求め(図8)、ヒステリシス特性の原因とその定量的な評価を試みた。

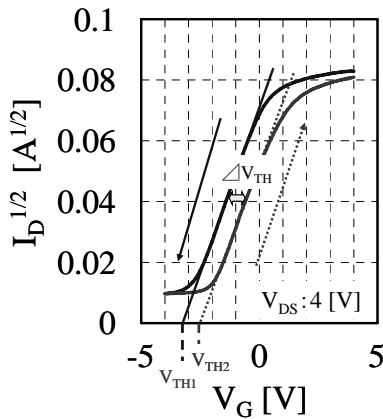


図8 ゲート電圧の変化の方向を変えたときの各しきい値電圧

図7のヒステリシス特性の方向が反時計回りであることからヒステリシスの原因は、酸化物絶縁膜中に可動イオンが存在しているためと考えられる。したがって、Al₂O₃絶縁膜にはHfO₂絶縁膜より多くの膜中電荷が存在すると考えられる。

しきい値電圧の差 ΔV_{TH} ($\Delta V_{TH} = V_{TH1} - V_{TH2}$)から可動イオン濃度(Q_{ion})の導出を行った。

まず、 V_{TH} のゲート長依存性について図9に示す。

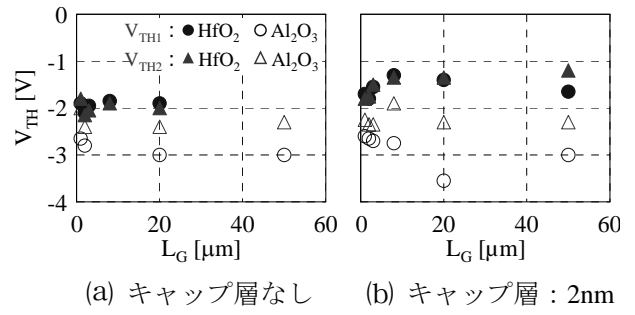


図9 V_{TH} のゲート長依存性

図9でAl₂O₃とHfO₂を比較すると ΔV_{TH} はHfO₂の方が小さいことがわかる。また、ゲート長に対して、 ΔV_{TH} の値はほとんど一定であり、ゲート長には依存性しないという結果が得られた。この結果を使って Q_{ion} は次式によって算出した。

$$Q_{ion} = C_0 \Delta V_{TH} \quad (2)$$

導出した Q_{ion} を表-4に示す。ここで計算に用いた ΔV_{TH} は異なるゲート長の ΔV_{TH} の平均値とした。

表-4 Q_{ion} の計算結果

試料	キャップ層なし		キャップ層 : 2 nm	
	Al ₂ O ₃	HfO ₂	Al ₂ O ₃	HfO ₂
ゲート絶縁膜	Al ₂ O ₃	HfO ₂	Al ₂ O ₃	HfO ₂
ΔV_{TH} [V]	0.6	0.08	0.6	0.1
Q_{ion} [cm ⁻²]	5.0×10^{11}	1.2×10^{11}	4.8×10^{11}	1.4×10^{11}

計算結果よりHfO₂の Q_{ion} はAl₂O₃と比較し、約1/4程度と低くなることがわかった。この結果はFET特性の安定性において重要でありHfO₂絶縁膜を用いることで高い安定性が実現できることを示している。

4. まとめ

ZnO/ZnMgOへテロ構造に発生する2DEGをチャネル層に取り入れたhetero-MIS FETを異なるゲート絶縁膜(Al₂O₃, HfO₂)およびZnMgOキャップ層(2nm)有り、無しの構造で試作した。その結果、キャップ層有りのゲート長1 μ m、スペーサ長1 μ mの素子

で、従来報告されている g_m の2倍を超える高い g_m が得られた。また、 V_{DS} - I_D 特性の測定結果からゲート絶縁膜として Al_2O_3 を使用した素子に比べて HfO_2 を用いた素子では、高い g_m が得られ、ヒステリシスが大幅に低減していることが確認された。そして、キャップ層：2 nm，ゲート絶縁膜に HfO_2 を用いたデバイスで最大 $g_m=71\text{mS/mm}$ ， $\mu_{FET}=240\text{cm}^2/\text{Vs}$ という非常に高い値を実現した。これは今後の透明エレクトロニクスの進展にとって重要な成果である。

参考文献

- 1) A. Tsukazaki et al., Jpn. J. Appl. Phys. vol.44, L643 (2005).
- 2) 山本哲也 他, 月刊ディスプレイ 6月号(2004).
- 3) R. L. Hoffman et al., Appl. Phys. Lett. vol.82, 733 (2003).
- 4) S. Masuda et al., J. Appl. Phys. vol.93, 1624 (2003).
- 5) J. Nishi et al., Jpn. J. Appl. Phys. vol.42, L347 (2003).
- 6) 中島貴史 他, 2005年春季応用物理学会関係連合講演会, 30p-E-7.
- 7) K. Koike et al., Jpn. J. Appl. Phys. vol.43, L1372 (2005).
- 8) K. Koike et al., Jpn. J. Appl. Phys. vol.44, 3822 (2005).
- 9) S. Sasa et al., Appl. Phys. Lett. vol.89, 053502 (2006).
- 10) K. Koike et al., Jpn. J. Appl. Phys. vol.46, L865 (2007).
- 11) S. M. ジー, 半導体デバイス p172 (2005).
- 12) I. S. Jeon et al., Jpn. J. Appl. Phys. vol.42, 1222 (2003).
- 13) E. P. Gusev et al., Appl. Phys. Lett. vol.83, 5223 (2003)